

## « فصل سوم »

## ترانزیستورهای اثر میدان

( مطابق فصل سوم کتاب الکترونیک عمومی ۲ )

## هدف کلی:

آزمایش نرم‌افزاری ترانزیستورهای اثر میدان و کاربرد آن با استفاده از نرم‌افزار مولتی‌سیم

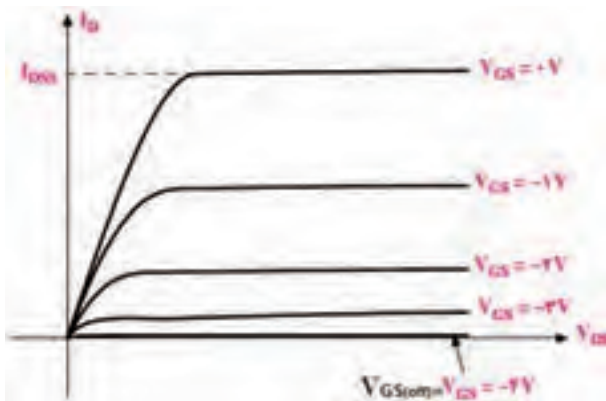
## هدف های رفتاری:

در پایان این آزمایش که با استفاده از نرم‌افزار مولتی‌سیم اجرا می‌شود از فراگیرنده انتظار می‌رود که:

- ۵- نقطه‌ی کار JFET را در مدار تأمین بایاس با روش تقسیم ولتاژ در نرم‌افزار به دست آورد.
- ۶- مقدار بهره‌ی ولتاژ و اختلاف‌فاز بین ولتاژ ورودی و خروجی تقویت‌کننده‌ی سورس مشترک را به وسیله‌ی اسیلوسکوپ در نرم‌افزار اندازه‌گیری کند.
- ۷- مدار تقویت‌کننده‌ی گیت مشترک را ببندد و بهره‌ی ولتاژ مدار را به دست آورد.
- ۸- مدار تقویت‌کننده‌ی درین مشترک را ببندد و بهره‌ی ولتاژ و اختلاف‌فاز را اندازه‌گیری کند.

- ۱- منحنی مشخصه‌های خروجی و انتقالی ترانزیستور JFET را مشاهده کند.
- ۲- ولتاژ و جریان‌های مورد نیاز در انواع بایاسینگ ترانزیستور JFET را با استفاده از نرم‌افزار اندازه‌گیری کند.
- ۳- مدار تأمین بایاس ثابت ترانزیستور JFET را با نرم‌افزار ببندد.
- ۴- نقطه‌ی کار JFET را در مدار بایاس سرخود در نرم‌افزار اندازه‌گیری کند.

## ۳-۱- آزمایش ۱: منحنی مشخصه‌های ترانزیستور JFET



شکل ۳-۱ منحنی مشخصه‌ی خروجی JFET

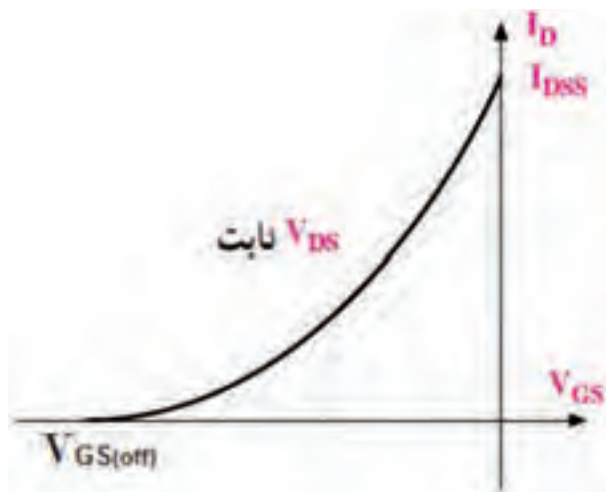
۳-۱-۱ در ترانزیستور JFET تغییرات جریان درین وابسته به تغییرات دو عامل  $V_{GS}$  و  $V_{DS}$  است. منحنی مشخصه‌ی خروجی JFET شکل ۳-۱، تغییرات  $I_D$  بر حسب  $V_{DS}$  با پنج مقدار  $V_{GS}$  که در هر مرحله ثابت در نظر گرفته شده است را نشان می‌دهد.

برای به دست آوردن جریان درین باید ولتاژ کانال A را بر مقاومت  $R_D$  تقسیم کنید.

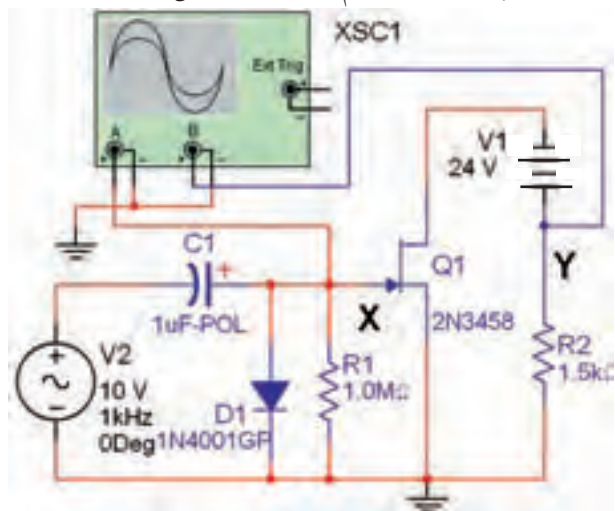
۳-۱-۴ در مدار شکل ۳-۲ ولتاژ  $V_{GS}$  را روی مقدار  $V_{DS} = 2V$  ولت تنظیم کنید و جریان  $I_D$  را برای  $V_{DS} = 2V$  اندازه گیری و یادداشت کنید.

$$V_{DS} = \dots\dots\dots V \quad I_D = \dots\dots\dots mA$$

۳-۱-۵ منحنی مشخصه انتقالی ترانزیستور JFET مطابق شکل ۳-۴ است. این منحنی تغییرات جریان  $I_D$  را بر حسب ولتاژ معکوس  $V_{GS}$  در حالتی که  $V_{DS}$  ثابت است نشان می دهد.

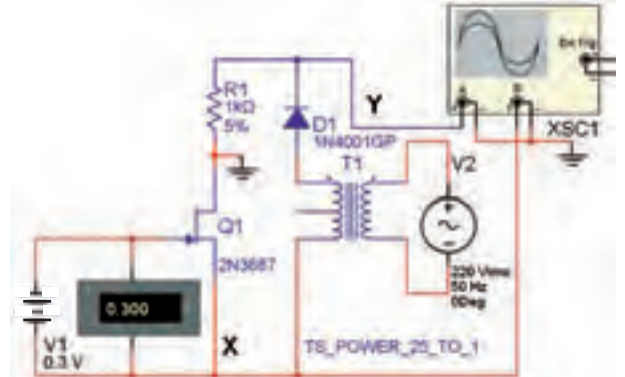


شکل ۳-۴ منحنی مشخصه انتقالی ترانزیستور JFET برای مشاهده منحنی مشخصه انتقالی روی صفحه سیلو سکوپ موجود در نرم افزار، مدار شکل ۳-۵ را ببینید.



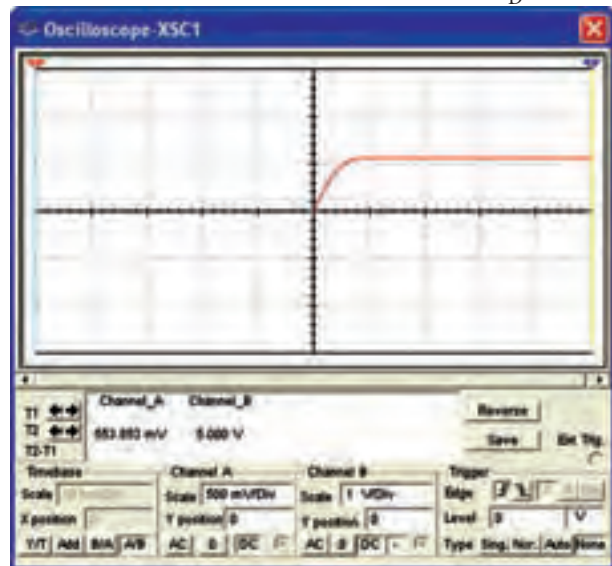
شکل ۳-۵ مدار عملی جهت مشاهده منحنی مشخصه انتقالی

۳-۱-۲ برای مشاهده منحنی مشخصه خروجی JFET مدار شکل ۳-۲ را ببینید.



شکل ۳-۲ مدار عملی جهت مشاهده منحنی مشخصه خروجی JFET

۳-۱-۳ شکل ۳-۳ منحنی مشخصه ترانزیستور را در ربع اول صفحه نمایش اسیلوسکوپ نشان می دهد. چنانچه دکمه  $CH_{inv}$  را فعال نکنید منحنی مشخصه در ربع دوم ظاهر می شود زیرا ولتاژ صفحات انحراف X اسیلوسکوپ نسبت به زمین منفی تر است و جریان  $I_D$  از مقاومت  $R_D = 1K\Omega$  عبور می کند.



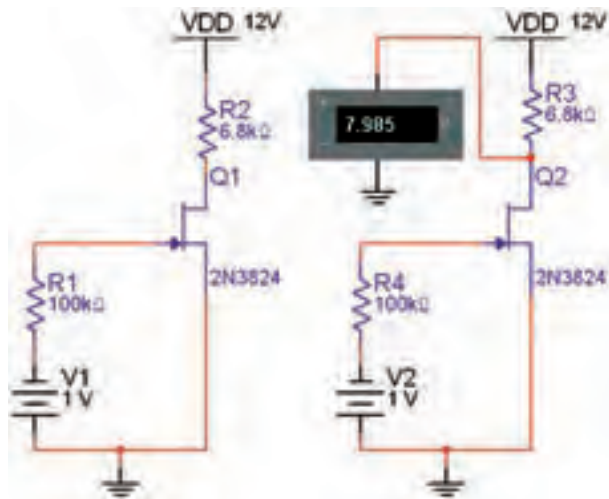
شکل ۳-۳ منحنی مشخصه خروجی JFET در ربع اول جریان  $I_D$  از مقاومت  $R_D = 1K\Omega$  عبور می کند و ولتاژ را برای کانال A (Y) تولید می کند. این ولتاژ اشعه را در جهت عمودی به صفحه سیلو سکوپ منحرف می کند. ولتاژ کانال B (X) همان ولتاژ درین - سورس  $V_{DS}$  است.

در این مدار به دلیل این که مقاومت ورودی ترانزیستور JFET خیلی بزرگ است از جریان گیت ( $I_G$ ) که ناچیز است، می توانیم صرف نظر کنیم و بنویسیم:

$$V_{GS} + V_{GG} = 0 \quad V_{GS} = -V_{GG}$$

۳-۲-۲ مدار شکل ۳-۸ را بر روی میز کار نرم افزار

ببندید.



شکل ۳-۸ مدار عملی بایاس ثابت

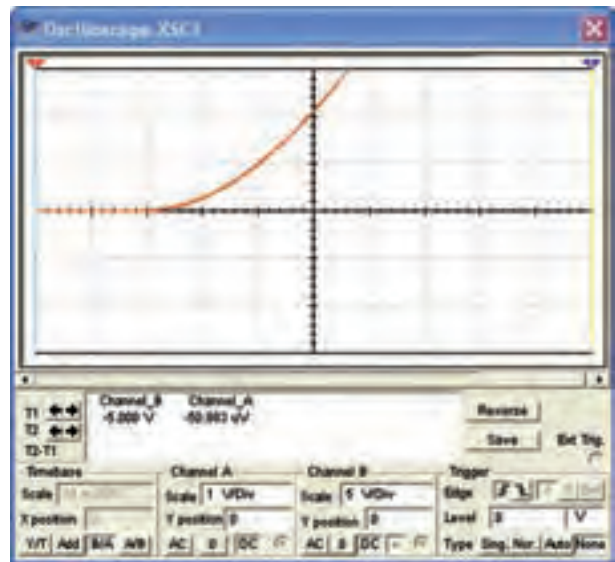
۳-۲-۳ با استفاده از مولتی متر DC ولتاژهای خواسته شده و جریان درین را مطابق جدول ۳-۱ اندازه گیری کنید و مقادیر را در جدول بنویسید.

جدول ۳-۱ مقادیر نقطه‌ی کار بایاس ثابت

واحد	مقدار	کمیت
		$V_G$
		$V_S$
		$V_{GS}$
		$V_D$
		$I_D$

۳-۲-۴ مدار شکل ۳-۹ بایاس سرخود ترانزیستور JFET را نشان می دهد.

۳-۱-۶ مدار شکل ۳-۵ را فعال کنید و اسیلوسکوپ را مطابق شکل ۳-۶ تنظیم کنید.



شکل ۳-۶ تنظیم اسیلوسکوپ جهت مشاهده‌ی دقیق منحنی مشخصه‌ی انتقالی ترانزیستور JFET

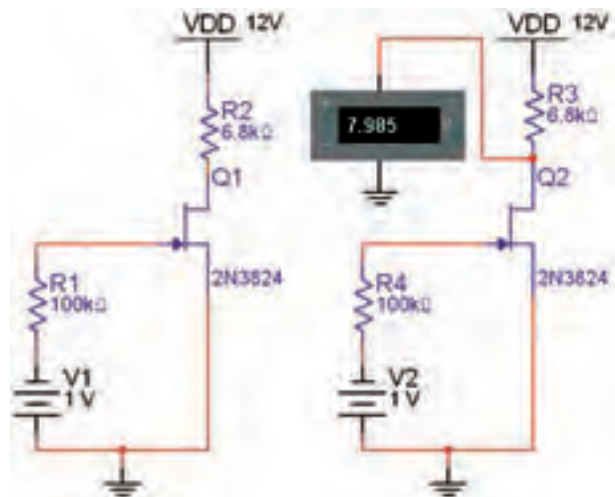
۳-۱-۷ مقدار ولتاژ گیت - سورس آستانه ( $V_{GS(off)}$ ) و جریان درین - سورس اشباع ( $I_{DSS}$ ) را اندازه گیری و یادداشت کنید.

$$V_{GS(off)} = \quad \text{V} \quad I_{DSS} = \quad \text{mA}$$

## ۳-۲ آزمایش ۲: بایاسینگ ترانزیستور JFET

۳-۲-۱ مدار بایاسینگ ثابت در شکل ۳-۷ نشان داده

شده است.



شکل ۳-۷ مدار بایاس ثابت

۳-۲-۶ مقادیر نقطه‌ی کار ترانزیستور را اندازه‌گیری کنید و مقادیر را در جدول ۳-۲ بنویسید.

جدول ۳-۲ مقادیر نقطه‌ی کار بایاس سرخود JFET

کمیت	مقدار	واحد
$V_G$		
$V_S$		
$V_{DS}$		
$V_D$		
$I_D$		
$I_S$		

۳-۲-۷ تغذیه‌ی JFET با روش تقسیم ولتاژ در شکل ۳-۱۱ نشان داده شده است.



شکل ۳-۱۱ مدار بایاس با تقسیم‌کننده‌ی ولتاژ JFET

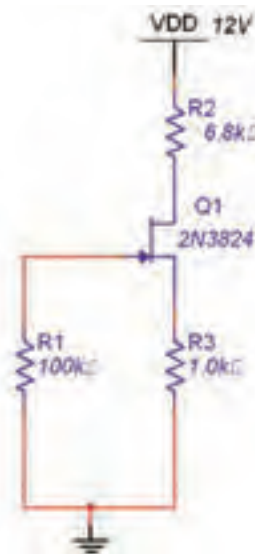
مقدار ولتاژ  $V_{GS}$  با توجه به روابط زیر به دست می‌آید:

$$V_{GS} = \frac{R_2}{R_1 + R_2} \cdot V_{DD}$$

$$V_{GS} = V_G - I_D R_S$$

### میدانیم

ولتاژ  $V_G$  مثبت است. برای این که  $V_{GS}$  منفی شود باید مقدار  $R_S$  را طوری محاسبه کنیم که ولتاژ دو سر آن به حدی بیش از مقدار  $V_G$  برسد تا گیت به طور صحیح بایاس شود.



شکل ۳-۹ مدار بایاس سرخود JFET

در این بایاس  $I_G = 0$  است بنابراین می‌توانیم بنویسیم:

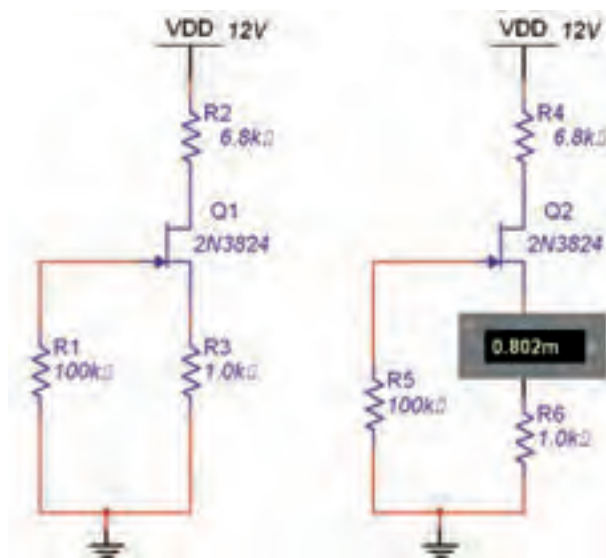
$$V_{GS} + R_S I_D = 0 \quad V_{GS} = -I_D R_S$$

ولتاژ گیت سورس از ولتاژ معکوس سورس تأمین می‌شود.

۱۷۰

۳-۲-۵ مدار بایاس سرخود JFET شکل ۳-۱۰ را بر

روی میز کار نرم‌افزار ببندید.



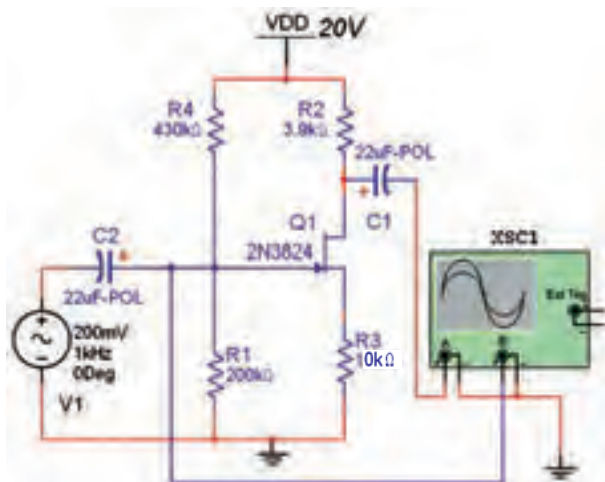
شکل ۳-۱۰ مدار عملی بایاس سرخود

## برای هنرجویان علاقه‌مند:

سه نوع بایاس JFET را با هم مقایسه کنید. برتری‌های آنها را در مقایسه با هم بنویسید و موارد کاربرد آنها را شرح دهید.

### ۳-۳ آزمایش ۳: تقویت‌کننده با ترانزیستور JFET

۳-۳-۱ یکی از کاربردهای مهم ترانزیستورهای اثر میدان FET مدارهای تقویت‌کننده است. تقویت‌کننده‌های FET به صورت سورس مشترک، گیت مشترک و درین مشترک می‌گیرند. در تقویت‌کننده سورس مشترک سیگنال ورودی به پایه‌ی گیت داده می‌شود و سیگنال خروجی تقویت شده از پایه‌ی درین دریافت می‌گردد. شکل ۳-۱۳ مدار تقویت‌کننده‌ی سورس مشترک را نشان می‌دهد.

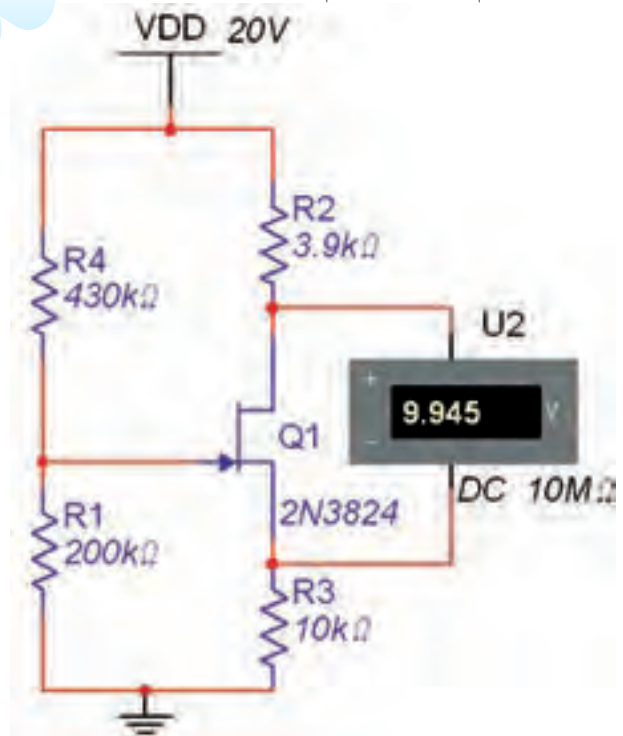


شکل ۳-۱۳ مدار تقویت‌کننده‌ی سورس مشترک

۳-۳-۲ مدار تقویت‌کننده‌ی سورس مشترک شکل ۳-۱۳ را ببندید.

۳-۳-۳ به وسیله‌ی اسیلوسکوپ شکل ۳-۱۴ مقدار پیک تا پیک سیگنال ورودی و خروجی تقویت شده را

۳-۲-۸ مدار بایاس با تقسیم ولتاژ JFET ۱۲-۳ را در محیط کار نرم‌افزار مولتی‌سیم ببندید.



شکل ۳-۱۲ مدار عملی بایاس ولتاژ با تقسیم JFET

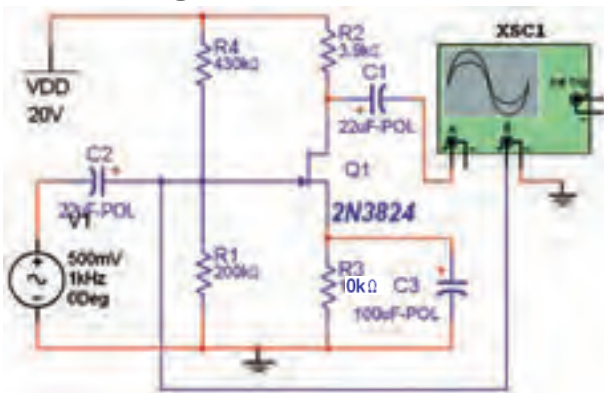
۳-۲-۹ با استفاده از مولتی‌متر DC مقادیر جریان و ولتاژهای خواسته شده در جدول ۳-۳ را اندازه‌گیری کنید و در آن بنویسید.

جدول ۳-۳ مقادیر ولتاژ نقطه‌ی کار در JFET با بایاس تقسیم ولتاژ

واحد	مقدار	کمیت
		$V_G$
		$V_S$
		$V_{GS}$
		$V_{DS}$
		$V_D$
		$I_D$
		$I_S$



۳-۳-۶ مدار شکل ۳-۱۵ را ببندید. دامنه‌ی سیگنال ورودی را به گونه‌ای تنظیم کنید، که دامنه‌ی سیگنال خروجی به حداکثر مقدار خود برسد و بدون اعوجاج باشد.



شکل ۳-۱۵ مدار تقویت‌کننده‌ی سورس مشترک با خازن بای‌پس ( $C_S$ )

۳-۳-۷ دامنه‌ی سیگنال ورودی و خروجی را اندازه بگیرید و بهره‌ی ولتاژ مدار را محاسبه کنید.

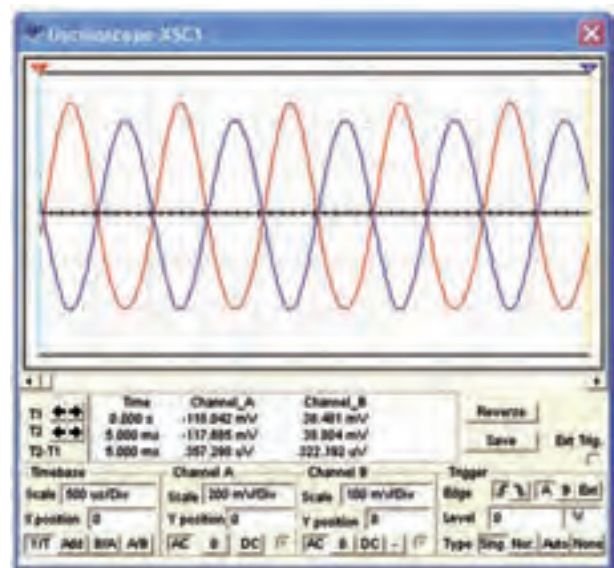
$$V_{in_{p-p}} = \dots\dots V \quad V_{Op-p} = \dots\dots V$$

$$A_V = \frac{V_{Op-p}}{V_{in_{p-p}}} = \dots\dots$$

**سؤال ۱:** بهره‌ی ولتاژ مدار شکل ۳-۱۵ را با بهره‌ی ولتاژ مدار شکل ۳-۱۳ مقایسه کنید و نتیجه‌ی مقایسه را بنویسید.



اندازه‌گیری کنید و بنویسید.



شکل ۳-۱۴ سیگنال‌های ورودی و خروجی تقویت‌کننده‌ی سورس مشترک (C.S)

$$V_{G_{p-p}} = V_{in_{p-p}} = \dots\dots V$$

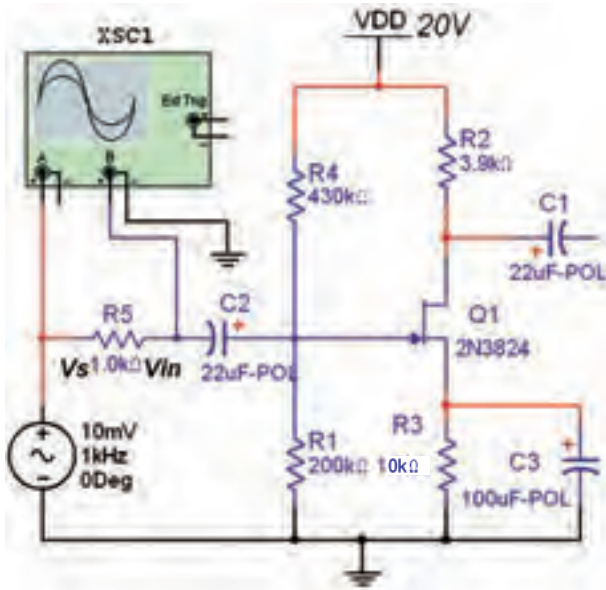
$$V_{D_{p-p}} = V_{Op-p} = \dots\dots V$$

۳-۳-۴ با استفاده از مقادیر اندازه‌گیری شده، بهره‌ی ولتاژ و اختلاف فاز سیگنال ورودی و خروجی مدار سورس مشترک را محاسبه کنید.

$$A_V = \frac{V_{Op-p}}{V_{in_{p-p}}} = \dots\dots, \quad \phi = \dots\dots$$

۳-۳-۵ در تقویت‌کننده‌ی سورس مشترک جهت پایداری مدار در مقابل بروز نوسان از مقاومت  $R_S$  استفاده می‌کنیم که فیدبک منفی را به وجود می‌آورد. برای ایجاد فیدبک منفی، قسمتی از سیگنال خروجی روی مقاومت  $R_S$  افت می‌کند. این افت ولتاژ باعث کاهش بهره‌ی ولتاژ می‌شود. در بسیاری از موارد، مدار نیاز به فیدبک منفی ندارد و عملاً نوسان نمی‌کند. لذا کاهش بهره‌ی ولتاژ در مدار، نوعی عیب محسوب می‌شود. برای رفع این عیب خازن  $C_S$  را در مدار قرار می‌دهند تا مقاومت  $R_S$  را در سیگنال AC بای‌پس کند.

۳-۳-۱۰ مقاومت  $R_S$  را مطابق شکل ۱۷-۳ به مدار تقویت کننده‌ی سورس مشترک اضافه کنید.



شکل ۱۷-۳ اضافه کردن  $R_S$  به مدار تقویت کننده‌ی سورس مشترک

۳-۳-۱۱ به وسیله‌ی اسیلوسکوپ اندازه گیری کنید تا بیک سیگنال نقاط  $V_S$  و  $V_{in}$  را نسبت به نقطه‌ی زمین مدار اندازه گیری کنید و مقدار آن را بنویسید.

$V_{SP-P} = \dots\dots\dots V$      $V_{inP-P} = \dots\dots\dots V$

۳-۳-۱۲ جریان ورودی مدار را از رابطه‌ی:

$$I_{in} = I_S = \frac{V_S - V_{in}}{R_S}$$

$I_{in} = \dots\dots\dots mA$


۳-۳-۱۳ مقاومت ورودی مدار را از رابطه‌ی:

$$R_{in} = \frac{V_{in}}{I_{in}}$$

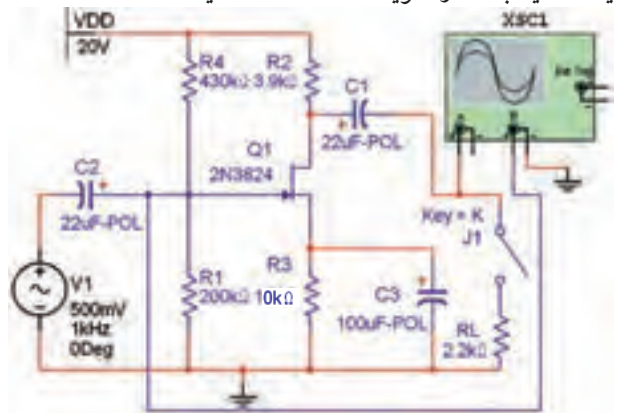
$R_{in} = \dots\dots\dots \Omega$

**سؤال ۳:** مقاومت ورودی تقویت کننده‌ی سورس مشترک با توجه به مدار معادل AC و مقاومت بسیار زیاد گیت-سورس JFET، تقریباً چه قدر است؟ شرح دهید.

.....



۳-۳-۸ برای اندازه گیری مقاومت خروجی تقویت کننده، یک مقاومت بار را مطابق شکل ۱۶-۳ به همراه یک کلید به مدار تقویت کننده اضافه کنید.



شکل ۱۶-۳ اضافه کردن مقاومت بار  $R_L$  به مدار تقویت کننده

۳-۳-۹ ولتاژ خروجی بدون بار ( $V_{ONL}$ ) و ولتاژ خروجی


با بار کامل ( $V_{OFL}$ ) را با اسیلوسکوپ اندازه گیری کنید. سپس با استفاده از رابطه‌ی:  $R_O = R_L = \frac{V_{ONL} - V_{OFL}}{V_{OFL}}$  مقاومت خروجی را به دست آورید.

$R_O = \dots\dots\dots \Omega$

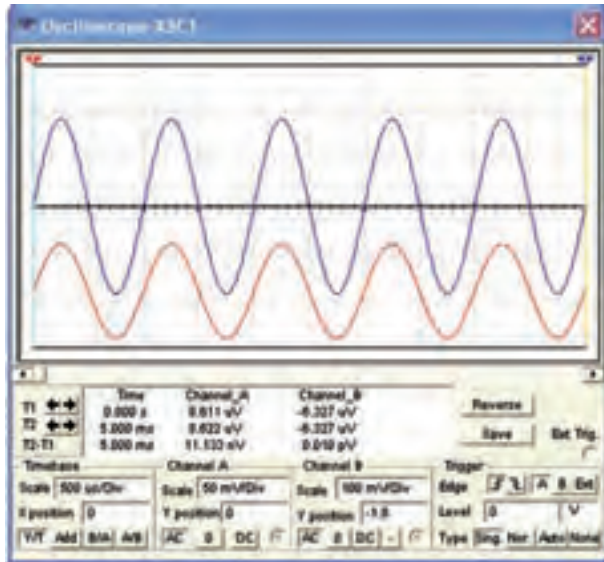
**سؤال ۲:** آیا ولتاژ خروجی به دست آمده برای  $R_O$

تقویت کننده‌ی سورس مشترک با مقدار طبیعی آن تقریباً انطباق دارد؟ شرح دهید.

.....



۱۵-۳-۳ دامنه‌ی پیک تا پیک سیگنال ورودی و خروجی تقویت کننده را با اسیلوسکوپ شکل ۲۰-۳ اندازه گیری کنید و مقدار آن را بنویسید.



شکل ۲۰-۳ سیگنال‌های ورودی و خروجی مدار گیت مشترک

$$V_{S_{P-P}} = V_{in_{P-P}} = \dots\dots\dots V$$

$$V_{D_{P-P}} = V_{O_{P-P}} = \dots\dots\dots V$$

۱۶-۳-۳ ضریب بهره‌ی ولتاژ و اختلاف فاز بین سیگنال‌های ورودی و خروجی تقویت کننده‌ی گیت مشترک را اندازه گیری و یادداشت کنید.

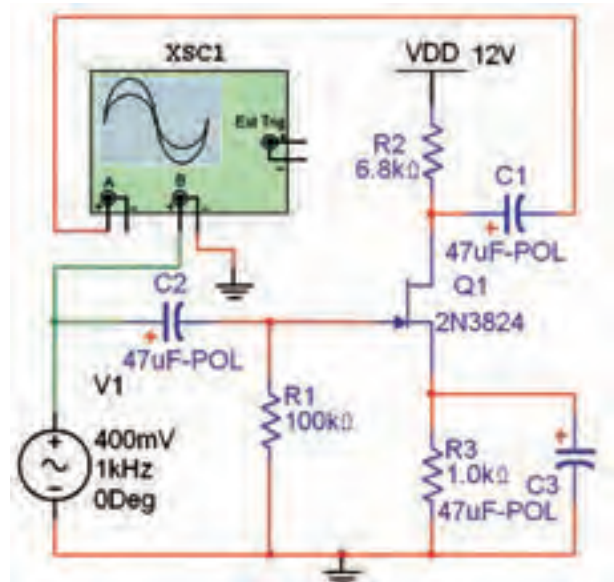
$$A_V = \frac{V_{O_{P-P}}}{V_{in_{P-P}}} = \dots\dots\dots, \phi = \dots\dots\dots$$

تمرین ۲: مقاومت خروجی تقویت کننده‌ی گیت مشترک تقریباً برابر با  $R_D$  است. یک مقاومت بار  $R_L = 3/9K\Omega$  را به مدار تقویت کننده‌ی شکل ۱۹-۳ اضافه کنید و مقاومت خروجی آن را اندازه بگیرید.

$$R_O = \dots\dots\dots\Omega$$

۱۷-۳-۳ در مدار تقویت کننده‌ی درین مشترک یا سورس پیرو مطابق شکل ۲۱-۳، سیگنال ورودی را به پایه‌ی

تمرین ۱: مدار تقویت کننده‌ی سورس مشترک با بایاس سرخود شکل ۱۸-۳ را ببندید. سپس مقادیر  $R_{in}$ ،  $A_V$ ، و  $R_O$  را اندازه گیری و یادداشت کنید.

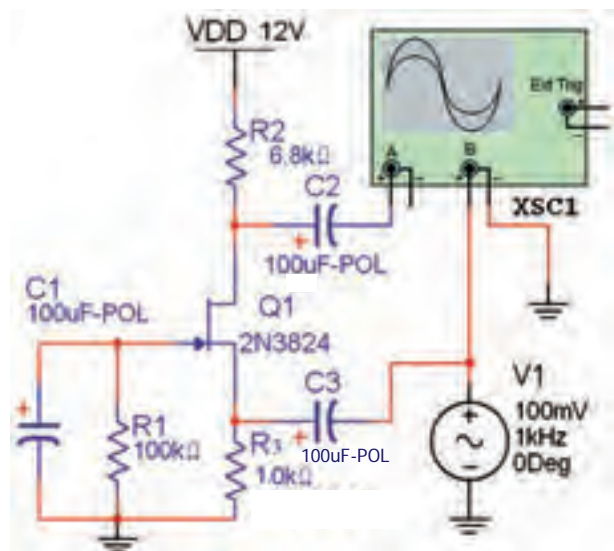


شکل ۱۸-۳ تقویت کننده‌ی سورس مشترک با بایاس سرخود

$$R_{in} = \dots\dots\dots\Omega \quad R_O = \dots\dots\dots\Omega$$

$$A_V = \dots\dots\dots$$

۱۴-۳-۳ تقویت کننده‌ی گیت مشترک برای تقویت دامنه‌ی ولتاژ در فرکانس بالا به کار می‌رود. مدار گیت مشترک شکل ۱۹-۳ را ببندید.



شکل ۱۹-۳ مدار تقویت کننده‌ی گیت مشترک (C.G)



$$V_{Gp-p} = V_{inp-p} = \dots V \quad V_{Sp-p} = V_{Op-p} = \dots V$$

$$A_V = \frac{V_{Op-p}}{V_{inp-p}} = \dots \quad \phi = \dots$$

**سؤال ۴:** از کدام منحنی مشخصه‌ی JFET می‌توان نواحی کار ترانزیستور JFET را به دست آورد؟



**سؤال ۵:** از منحنی مشخصه‌ی انتقالی کدام کمیت مربوط به ترانزیستور JFET به دست می‌آید؟



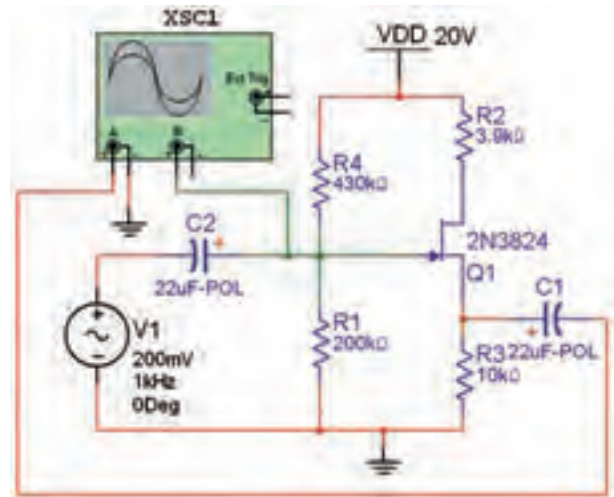
**سؤال ۶:** کدام تقویت کننده‌ی JFET تقویت کننده‌ی جریان است؟



**سؤال ۷:** تقویت کننده‌های ترانزیستوری اثر میدانی FET را با تقویت کننده‌های BJT از نظر بهره‌ی ولتاژ، مقاومت ورودی، مقاومت خروجی، بهره‌ی جریان و کاربرد با یکدیگر مقایسه کنید.

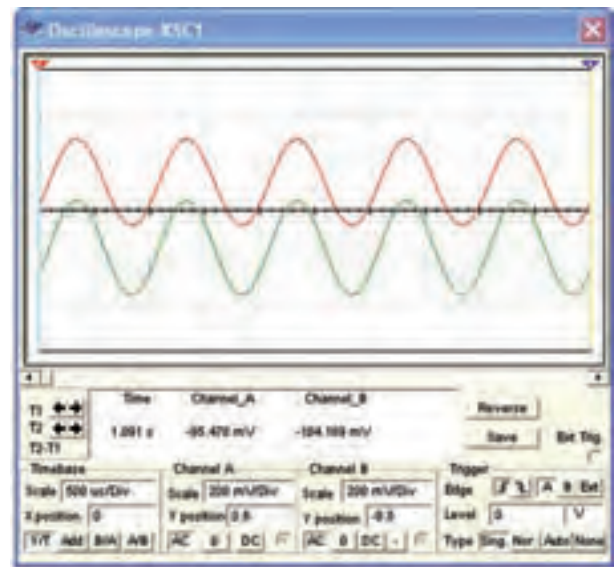


گیت می‌دهیم و سیگنال خروجی مدار را از پایه‌ی سورس می‌گیریم.



شکل ۳-۲۱ مدار تقویت کننده‌ی درین مشترک

**۳-۳-۱۸** مدار تقویت کننده‌ی درین مشترک شکل ۳-۲۱ را در نرم افزار ببینید. با استفاده از اسیلوسکوپ مطابق شکل ۳-۲۲ مقادیر دقیق دامنه‌های ولتاژ ورودی و خروجی و اختلاف فاز بین آن دو را اندازه گیری کنید و بهره‌ی ولتاژ مدار را به دست آورید.



شکل ۳-۲۲ سیگنال‌های ورودی و خروجی مدار درین مشترک