

دیجیتال و گیت‌های منطقی

هدف کلی:

تحلیل نظری و عملی مدارهای پایه در دیجیتال

زمان آموزش			عنوان توانایی	شماره توانایی	واحد کار
جمع	عملی	نظری			
۲۲	۱۲	۱۰	توانایی بررسی سیستم‌های دیجیتال و کاربرد آنها	۲۰	U۸

فصل نهم


سیستم‌های دیجیتال و کاربرد آن‌ها

هدف کلی:

تحلیل نظری و عملی مدارهای ترکیبی و ترتیبی در دیجیتال

هدف های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

- ۱- سیستم های دیجیتال و آنالوگ را از یکدیگر تشخیص دهد.
- ۲- مفهوم صفر و یک منطقی و سطوح آن را شرح دهد.
- ۳- نماد دروازه های منطقی AND،OR،XNOR،XOR،NOR،NAND،NOT را رسم کند.
- ۴- جدول صحت دروازه های منطقی را با استفاده از توابع و گیت ها به دست آورد.
- ۵- جدول صحت گیت های منطقی را از طریق آزمایش به دست آورد.
- ۶- توابع بولی را شرح دهد.
- ۷- عبارت بولی یک تابع منطقی ساده را بنویسد.
- ۸- اتحادهای اساسی جبر بول را شرح دهد.
- ۹- توابع بولی ساده را به کمک جدول کارنوبه دست آورد.
- ۱۰- فرق بین IC های TTL و CMOS را شرح دهد.
- ۱۱- سیستم های اعداد دهدهی و باینری را شرح دهد.
- ۱۲- روش تبدیل اعداد اعشاری به باینری را شرح دهد.
- ۱۳- عملکرد مدارهای ترکیبی، رمزگشا (Decoder)، رمزگذار (Encoder)، متمرکز کننده (مالتی پلکسر) و منتشر کننده (دی مالتی پلکسر) را شرح دهد.
- ۱۴- عملکرد مدارهای ترتیبی فلیپ فلاپ های RS، JK، D و T را شرح دهد.
- ۱۵- اصول کار آی سی اشیت تریگر را توضیح دهد.
- ۱۶- مدارهای Decoder، مالتی پلکسر و فلیپ فلاپ ها را از طریق آزمایش به صورت عملی ببندد و رفتار آن را تحلیل کند.

 ساعت آموزش			توانایی شماره ۱۹
جمع	عملی	نظری	
۲۲	۱۲	۱۰	



پیش آزمون (۹-۱)

دروازه‌های منطقی

۱- IC ها چه مزایایی نسبت به مدار مجزا دارند؟

.....
.....
.....



۲- یک تقویت کننده عملیاتی چه مشخصاتی باید داشته باشد؟

.....
.....
.....

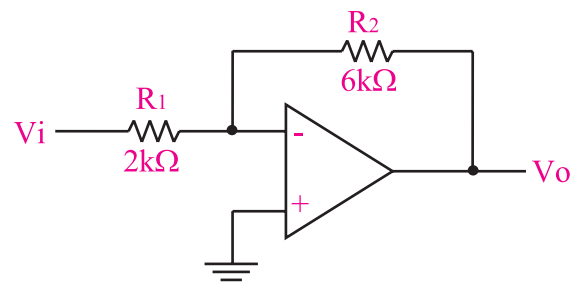


۳- چگونه می توان در یک تقویت کننده عملیاتی بهره تقویت را به دل خواه و با دقت تنظیم کرد؟

.....
.....
.....



۴- در شکل زیر بهره ولتاژ چه قدر است؟



- الف) ۳
- ب) ۲
- ج) ۶
- د) ۰/۳۲

۵- با استفاده از چه مداری و چگونه می توان یک موج مربعی تولید کرد؟ توضیح دهید.

.....
.....
.....



۶- آی سی ۷۴۱ چند پایه دارد؟

- الف) ۶
- ب) ۸
- ج) ۱۴
- د) ۱۶

۷- چهار مورد از نکات ایمنی مربوط به آی سی را بنویسید.

.....
.....
.....



۸- یک نمونه سیگنال آنالوگ و یک نمونه سیگنال دیجیتالی را رسم کنید.

.....
.....
.....



۹- فرق سیستم های آنالوگ و دیجیتال را شرح دهید.

.....
.....
.....



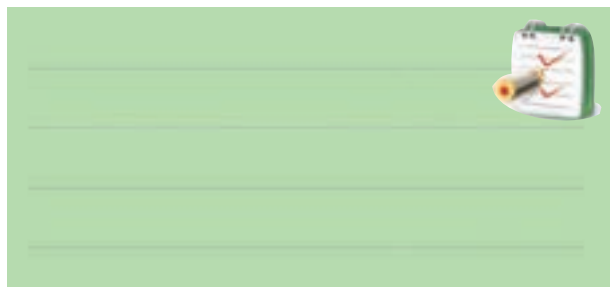
۱۰- دروازه منطقی را تعریف کنید؟

.....
.....
.....

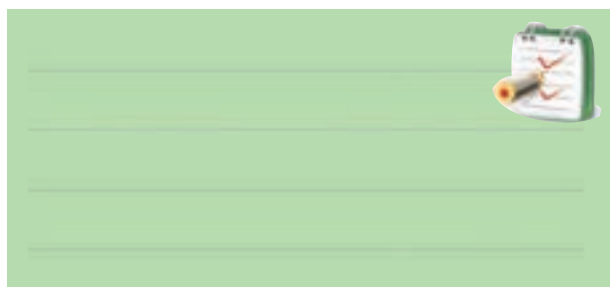


۱۵- سطوح ولتاژ برای نشان دادن صفر و یک منطقی را

رسم کنید.

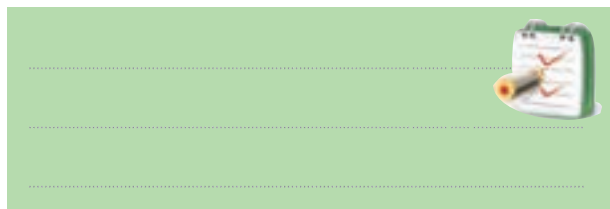


۱۶- مدار کلیدی گیت OR و NOT را رسم کنید.



۱۷- دروازه منطقی رسم شده در شکل زیر را می توان

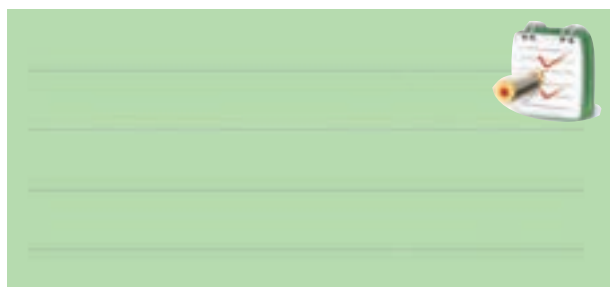
از کدام دروازه های منطقی پایه تشکیل داد؟



۱۸- برای این که نشان دهیم متغیر A و متغیر B بایکدیگر

NOR شده اند از چه رابطه منطقی استفاده می کنیم؟ رابطه

را بنویسید.



۱۱- کدام جدول صحت مربوط به دروازه منطقی

AND است؟

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۱
۱	۱	۰

(ب)

A	B	F
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۱

(الف)

A	B	F
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۰	۰

(د)

A	B	F
۰	۰	۰
۰	۱	۰
۱	۰	۰
۱	۱	۱

(ج)

۱۲- رابطه منطقی خروجی دروازه منطقی XOR کدام

است؟

(ب) $\overline{A}\overline{B} + AB$

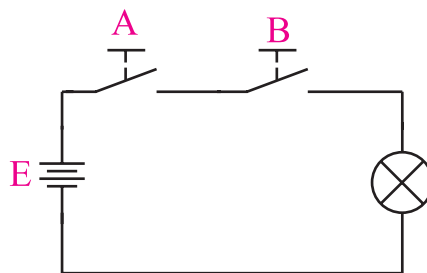
(الف) $\overline{A}B + A\overline{B}$

(د) $\overline{A+B}$

(ج) $A+B$

۱۳- مدار کلیدی زیر، عملکرد کدام گیت را نشان

می دهد؟



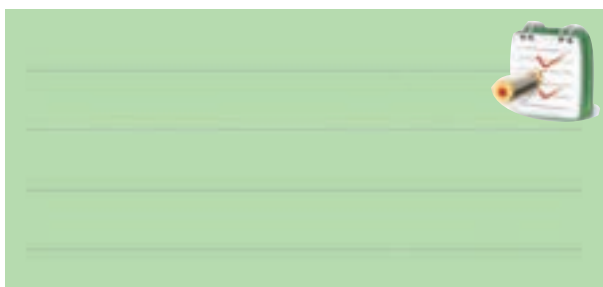
(ب) XOR

(الف) OR

(د) NOT

(ج) AND

۱۴- مفهوم صفر و یک منطقی را شرح دهید.



۲۱- با استفاده از قوانین جبر بول طرف دوم روابط منطقی زیر را تکمیل کنید.

- الف) $A + 0$
- ب) $A + 1$
- ج) $A + A$
- د) $A + \bar{A}$
- هـ) $A \cdot 1$
- و) $A \cdot 0$
- ز) AA
- ح) $A\bar{A}$
- ط) $A(B+C) =$
- ی) $\overline{A+B}$
- ک) $AB+C$
- ل) \overline{AB}

۲۲- ساده شده تابع $f(A,B) = \bar{A}\bar{B} + \bar{A}B + A$ کدام

است؟

- الف) صفر
- ب) $\bar{A}(\bar{B} + B)$
- ج) $A\bar{A}$
- د) یک

۲۳- تابع $F = \bar{A}B + \bar{A}\bar{B} + \bar{A}$ را به کمک قوانین

جبر بول ساده کنید؟

۱۹- روابط منطقی نوشته شده در ستون سمت چپ را به دروازه منطقی آن در ستون سمت راست اتصال دهید.

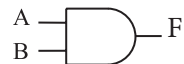
$$Y = A+B$$



$$Y = A \cdot B$$



$$Y = \bar{A}$$



$$Y = \bar{A}B + A\bar{B}$$



$$Y = \overline{A \oplus B}$$



$$Y = \overline{A+B}$$



$$Y = \overline{A \cdot B}$$



بعد از مطالعه قسمت اول فصل (۹) به سوالات پیش آزمون ۲ - ۹ پاسخ دهید

پیش آزمون (۲-۹)



جبر بول و جدول کارنو

۲۰- جدول صحت مربوط به رابطه منطقی $F = \bar{A}B + \bar{A}\bar{B}$

را رسم کنید.

بعد از مطالعه قسمت دوم فصل ۹ به سوالات
پیش آزمون ۳ - ۹ پاسخ دهید

پیش آزمون (۳-۹)



سیستم‌های اعداد

۲۵- عدد ۹۵ در مبنای دهدهی را به مبنای باینری تبدیل

کنید.

۲۶- عدد $(011011101)_2$ را به مبنای دهدهی (دسیمال)

تبدیل کنید .

۲۷- در یک عدد باینری کم ارزش ترین بیت و با ارزش ترین

بیت کدام است ؟

۲۸- ارزش مکانی و ضرایب عدد باینری $(1001)_2$ را

بنویسید.

۲۹- عدد ۵ در مبنای اعشاری را در کد BCD نمایش

دهید.

$$(5)_{10} = (\dots\dots\dots)_{BCD}$$

۳۰- در سیستم اعداد باینری به هر بیت یک بایت

(Byte) می گویند.

۲۴- جدول کارنوی مربوط به رابطه منطق $F = \bar{A}\bar{B} + AB$

را به همراه جدول صحت تابع رسم کنید.

طعم شیرین موفقیت

برای این که طعم شیرین موفقیت را بچشید ،
باید نسبت به کاری که انجام می دهید علاقه مند
باشید و با استفاده از فنون و روش های مربوط
به آن کار، آن را با مهارت کامل انجام
دهید .

جهت هنر جوانان علاقه مند

با جستجو در سایت های مرتبط
جدیدترین تولیدات دیجیتالی را
شناسایی کنید و در زمینه ی معرفی ،
مزایا و امکانات این تجهیزات مطالبی را
تهیه کنید و به کلاس ارائه دهید .

بعد از مطالعه قسمت سوم فصل (۹) به سوالات پیش آزمون ۴-۹ پاسخ دهید



پیش آزمون (۴-۹)

مدارهای ترکیبی

۳۱- نام دیگر مدار رمزگشا و عملکرد آن را شرح

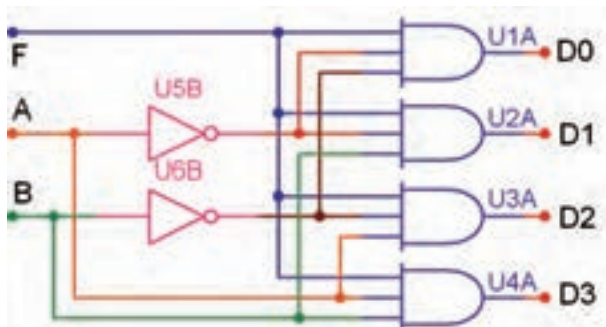
دهید.

۳۵- یک رمزگشا دارای ۳ ورودی است. این رمزگشا حداکثر (۴ □ ۸ □) خط خروجی دارد.

۳۶- عملکرد مدار (مالتی پلکسر □ رمزگشا □) مانند یک کلید چند حالتی است.

۳۷- تعداد (ورودی ها □ خروجی ها □) مدار مالتی پلکسر در هر لحظه فقط یکی است.

۳۸- در مدار دی مالتی پلکسر شکل زیر اگر خروجی $D_3 = 1$ باشد آدرس A و B کدام است؟



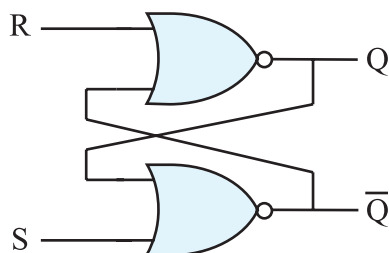
- الف) $A=0, B=0$ ب) $A=0, B=1$
 ج) $A=1, B=0$ د) $A=1, B=1$

۳۲- اگر بخواهیم کلمه ای را در یک سطر معین از حافظه آدرس دهی کنیم از مدار (رمزگشا □، رمز گذار □) استفاده می کنیم. توضیح دهید.

انواع فلیپ فلاپ

۳۹- در فلیپ فلاپ S-R شکل زیر حالت غیرمجاز کدام حالت است؟

- الف) $S=0$ ب) $S=1$
 R=0 R=1
 ج) $S=0$ د) $S=1$
 R=1 R=0

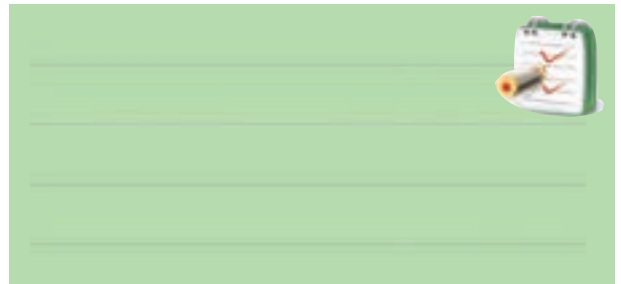
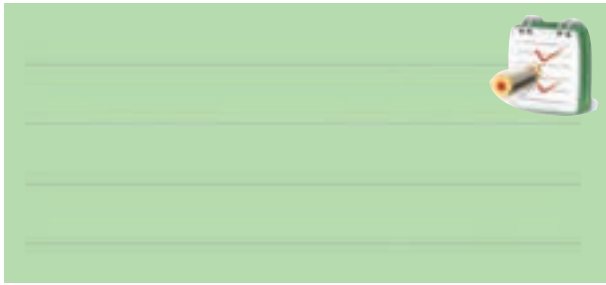


۳۳- مداری که اطلاعات را از حالت دهدهی به باینری تبدیل می کند رمزگشا نام دارد .

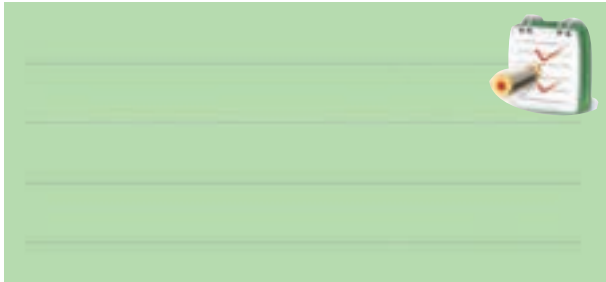
- صحيح □ غلط □

۳۴- هر رمزگشا با ۲ ورودی دارای (۲ □ ۴ □) خروجی است و در هر لحظه فقط یکی از (ورودی ها □ خروجی ها □) فعال است.

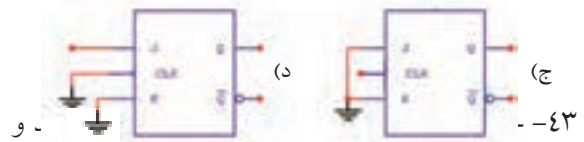
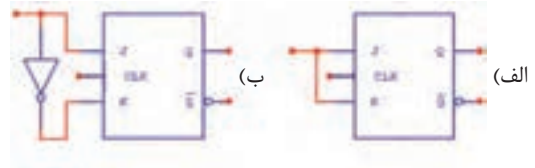
۴۰- جدول صحت فلیپ فلاپ J-K را بنویسید. عیب این فلیپ فلاپ را شرح دهید.



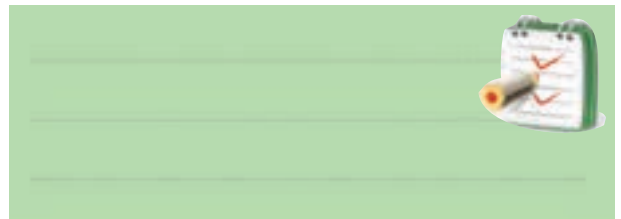
۴۶- نمای بلوکی فلیپ فلاپ نوع D را رسم کنید.



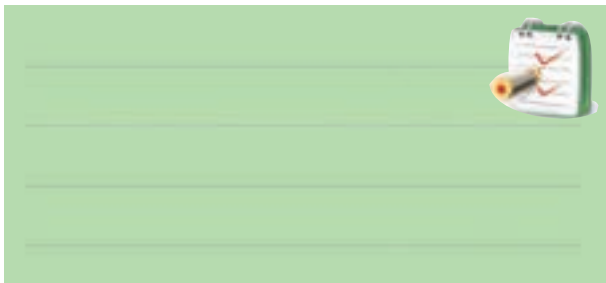
۴۱- برای ثبت n بیت اطلاعات در حافظه به n سلول حافظه (فلیپ فلاپ) نیاز داریم. (صحیح غلط)
 ۴۲- رفتار کدام فلیپ فلاپ از نوع فلیپ فلاپ T است؟



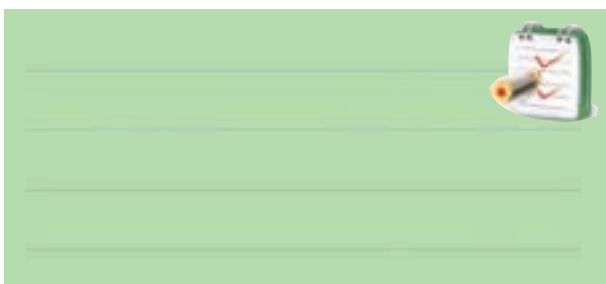
کاربرد این فلیپ فلاپ را شرح دهید.



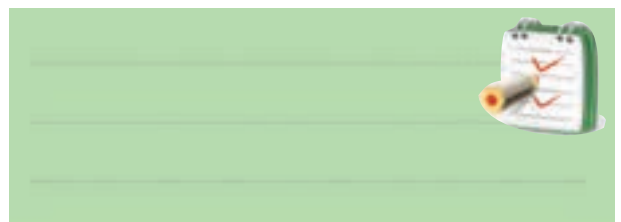
۴۷- عملکرد اشمیت تریگر را توضیح دهید.



۴۸- نماد گیت اشمیت تریگر را رسم کنید.



۴۴- جدول درستی فلیپ فلاپ S-R با گیت NAND و فلیپ فلاپ S-R با گیت NOR را بنویسید.



۴۵- نمای بلوکی فلیپ فلاپ S-R ساعتی را رسم کنید.

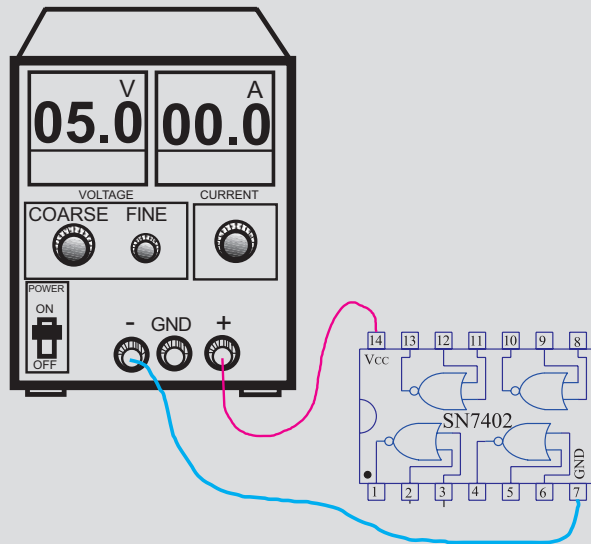
نکات ایمنی فصل (۴)



لطفاً قبل از شروع آزمایش نکات زیر را به خاطر

بسپارید:

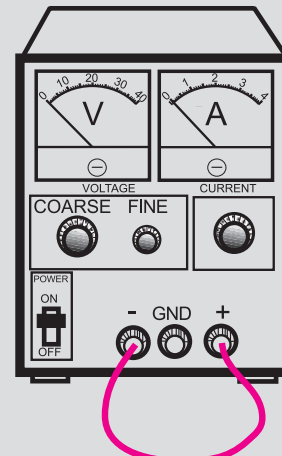
۱- در صورت امکان از منبع تغذیه‌ای استفاده کنید که در مقابل اتصال کوتاه محافظت شده باشد.



۳- هنگام جازدن IC در بردبرد یا در آوردن آن دقت کنید که پایه‌های IC کج نشود. در صورت امکان برای در آوردن IC ها، از IC کش استفاده کنید.

۴- برخی از IC در مقابل الکتریسته ساکن حساس هستند و چنانچه پایه‌های آن با دست لمس شود آسیب می‌بیند. هنگام کار با این IC ها دقت کنید تا به آن‌ها شوک الکتریکی وارد نشود.

۵- در صورتی که از سوکت مخصوص آی سی برای برد آماده استفاده کنید، احتمال آسیب رسیدن به آی سی کم‌تر می‌شود.



۲- IC های سری SN74XX در محدوده ولتاژ ۷۵ / ۴ تا ۵ / ۲۵ ولت کار می‌کند. اگر ولتاژ تغذیه این IC ها از ۲۵ / ۵ ولت بیشتر شود ممکن است بسوزد. لذا سعی کنید ولتاژ کار این نوع IC ها را دقیقاً در محدوده ۵ ولت قرار دهید.

قابل توجه همکاران ارجمند

با توجه به این که مدت اختصاص داده شده به کار عملی در این فصل محدود می‌باشد. برای اجرای آزمایش‌های این فصل، بر اساس هر آزمایش در هنرستان‌ها یک برد مدار چاپی آماده تهیه می‌شود و در اختیار هنرجویان قرار می‌گیرد، لذا هنرجویان بدون بستن تک تک اجزاء مدار می‌توانند همه‌ی آزمایش‌ها را انجام دهند.

قبل از شروع قسمت اول (۹) به سوالات پیش آزمون ۹-۱ پاسخ دهید.

قسمت اول

۹-۱ سیستم های آنالوگ و دیجیتال

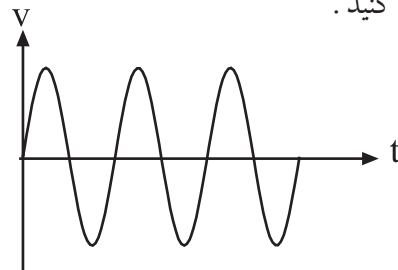
سیستم های آنالوگ به سیستم هایی گفته می شود که در آن سیگنال ها همواره پیوسته هستند. به عبارت دیگر خروجی سیستم های آنالوگ تابعی پیوسته از ورودی آن است. برای مثال در یک مولتی متر عقربه ای، حرکت عقربه به صورت پیوسته و تدریجی است، یعنی عقربه به صورت پله ای حرکت نمی کند. شکل ۹-۱ یک نمونه مولتی متر عقربه ای با آنالوگ را نشان می دهد. در این نوع مولتی متر، عقربه متناسب با کمیت الکتریکی ورودی حرکت می کند و می تواند بی نهایت موقعیت داشته باشد.



شکل ۹-۱ یک نمونه مولتی متر آنالوگ

در شکل ۹-۲ یک نمونه سیگنال پیوسته یا آنالوگ را

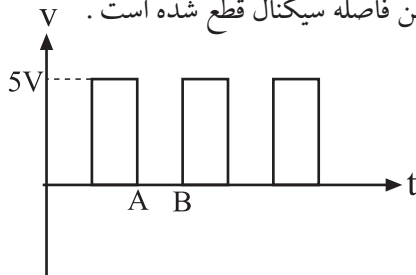
مشاهده می کنید.



شکل ۹-۲ یک نمونه سیگنال پیوسته

علاوه بر سیستم آنالوگ، سیستم دیگری نیز وجود دارد که در آن سیگنال ها، قطع و وصل می شوند. به این نوع

سیستم، سیستم دیجیتال می گویند. در شکل ۳-۹ یک نمونه سیگنال دیجیتال نشان داده شده است. همان طور که از شکل مشاهده می شود، هنگامی که سیگنال در زمان A به صفر می رسد، تا زمان B هم چنان در حالت صفر باقی می ماند، یعنی در این فاصله سیگنال قطع شده است.



شکل ۳-۹ یک نمونه سیگنال دیجیتالی یا ناپیوسته

معمولاً صفحه‌ی نمایشگر (Display) دستگاه‌هایی که با سیستم دیجیتال کار می کنند، مقدار زمان یا کمیت‌های الکتریکی را به صورت ارقام و اعداد نشان می دهند. از این دستگاه‌ها می توان ساعت دیجیتالی یا مولتی متر دیجیتالی را نام برد.

شکل ۴-۹ دو نمونه دستگاه دیجیتالی را نشان می دهد.

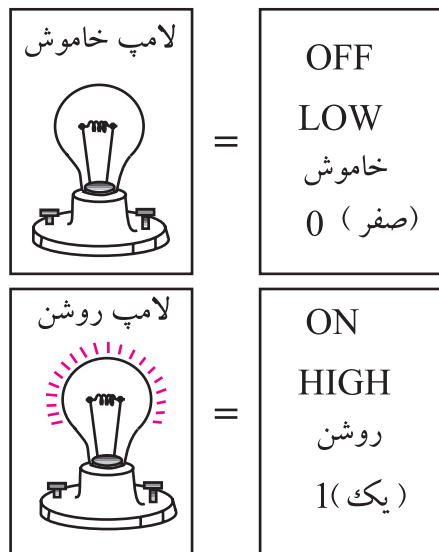
امروزه سیستم های دیجیتالی، کاربردهای فراوانی دارند و در تمام زمینه ها گسترش یافته اند.



شکل ۴-۹ دو نمونه دستگاه دیجیتالی

توجه داشته باشید دستگاه‌های دیجیتالی مانند دستگاه های آنالوگ یا هر وسیله دیگری محدودیت دارند.

اکنون می خواهیم این دو حالت لامپ یا باز و بسته بودن کلید را نام گذاری کنیم. برای این منظور می توانیم از واژه هایی مانند off خاموش یا low برای لامپ در حالت خاموش یا کلید در حالت باز استفاده کنیم. همچنین واژه های on روشن یا HIGH را برای لامپ در حالت روشن به کار می بریم، شکل ۷-۹.



شکل ۷-۹ نام گذاری لامپ در حالت روشن و خاموش

برای نام گذاری دو حالت مختلف لامپ، می توانیم از

اعداد صفر (۰) و یک (۱) نیز استفاده کنیم:

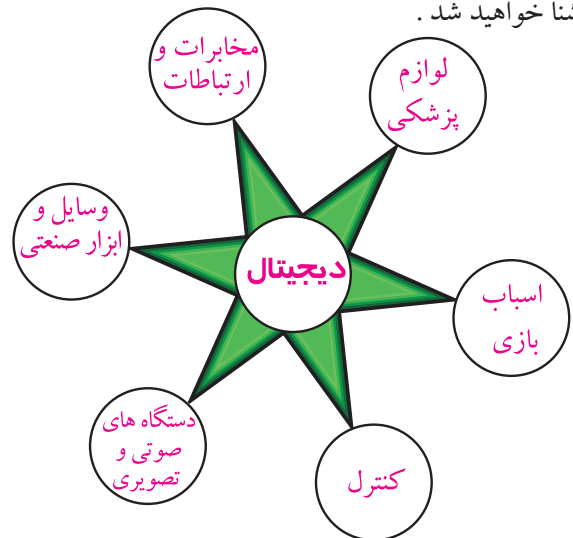
۰ → لامپ در حالت خاموش

۱ → لامپ در حالت روشن

چون صفر و یک از نظر کلمه خیلی کوتاه و هم چنین ساده هستند، از این رو اعداد صفر و یک (۰ و ۱) را به عنوان نمادهایی برای نمایش دو وضعیت مختلف یک لامپ، کلید یا هر سیستم دو وضعیتی دیگر به کار می برند.

برای این که صفر و یک که در این جا به عنوان نماد به کار برده شده اند با صفر و یک جبری اشتباه نشود، واژه ی Logic یا منطقی را معمولاً به دنبال صفر و یک می آورند. در این شرایط اعداد را به صورت صفر منطقی، یک منطقی، 0 Logic یا 1 Logic می خوانند. شکل ۸-۹ مفهوم صفر و یک منطقی را نشان می دهد.

در شکل ۵-۹ بعضی از این کاربردهای دیجیتال نشان داده شده است. در ادامه بحث به اختصار با مدارهای دیجیتالی آشنا خواهید شد.

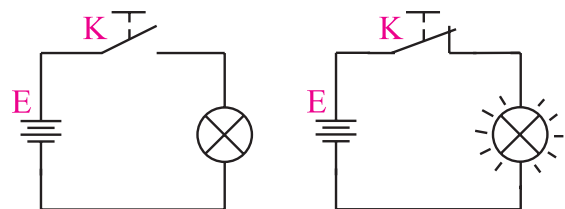


شکل ۵-۹ کاربردهای مدارهای دیجیتالی

۲-۹ اصول کار مدارهای دیجیتال

۱-۲-۹ مفهوم صفر و یک منطقی: به شکل ۶-۹

توجه کنید. اگر کلید k بسته باشد لامپ روشن می شود و اگر کلید k باز باشد لامپ خاموش می شود. بنابراین برای لامپ دو حالت خاموش و روشن وجود دارد.

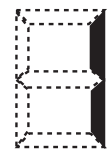


کلید باز = صفر

کلید بسته = یک



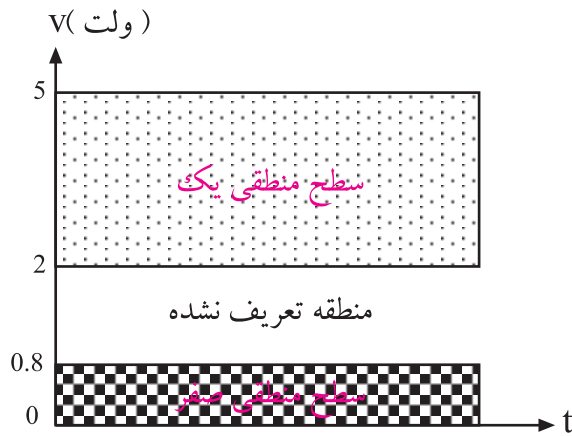
صفر



یک

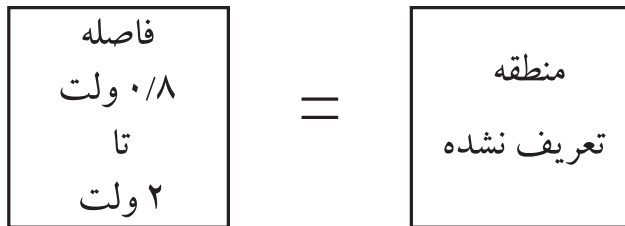


شکل ۶-۹ مفهوم صفر و یک



شکل ۱۰-۹ سطوح ولتاژ صفر و یک منطقی

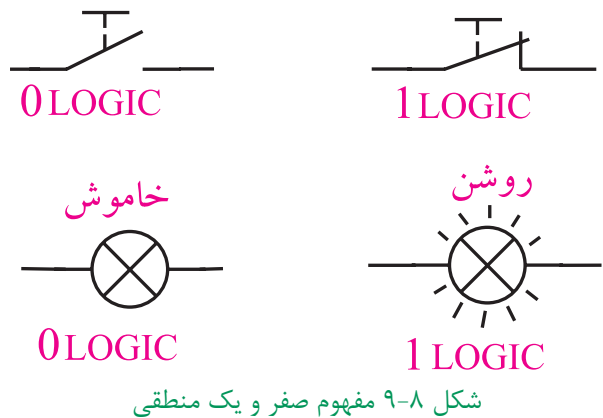
اگر سطح ولتاژ بین اعداد $0/8$ تا 2 ولت قرار گیرد، نمی توان یقین کرد که عدد انتخاب شده صفر یا یک منطقی است. هم چنین عوامل مختلف مانند حرارت نیز تاثیر گذار خواهد بود. مثلاً اگر مقدار ولتاژ $1/5$ ولت باشد، ممکن است دستگاه آن را صفر منطقی یا یک منطقی بشناسد. از این رو منطقه $0/8$ تا 2 ولت را منطقه تعریف نشده می نامند تا دستگاه دچار اشتباه نشود، شکل ۱۱-۹.



شکل ۱۱-۹ منطقه تعریف نشده

۳-۹ دروازه های منطقی پایه

دروازه های منطقی اساس کار سیستم های دیجیتال را تشکیل می دهند. یک سیستم دیجیتال از تعدادی دروازه منطقی ساخته شده است. یک دروازه منطقی در حقیقت یک مدار الکترونیکی است که با یک یا چند ورودی، فقط یک خروجی دارد. شکل ۱۲-۹ بلوک یک دروازه منطقی را نشان



شکل ۸-۹ مفهوم صفر و یک منطقی

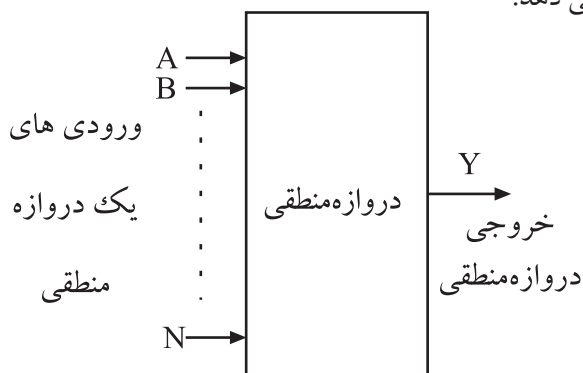
رایانه، ماشین حساب، ساعت دیجیتالی و سایر دستگاه های پیشرفته بر اساس صفر و یک منطقی کار می کنند. در این گونه دستگاه ها مفهوم صفر و یک فقط روشن یا خاموش بودن لامپ نیست بلکه وجود یا عدم وجود ولتاژ است، شکل ۹-۹.



شکل ۹-۹ مفهوم صفر و یک منطقی

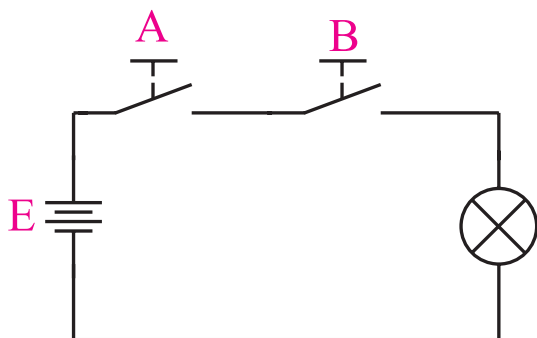
به عبارت دیگر ولتاژ حدود صفر تا $0/8$ ولت را صفر منطقی و ولتاژ حدود 2 تا بین 5 ولت اندکی فاصله ایجاد شود را به عنوان یک منطقی در نظر می گیرند. در اصطلاح عمومی صفر ولت را به عنوان صفر منطقی و 5 ولت را به عنوان یک منطقی می شناسند. ممکن است سطح ولتاژ یک منطقی در سیستم های مختلف با یکدیگر تفاوت داشته باشد، ولی سطح 5 ولت به عنوان یک منطقی رایج ترین است. شکل ۱۰-۹ سطوح ولتاژ برای صفر منطقی و یک منطقی را نشان می دهد.

می دهد.



شکل ۹-۱۲ بلوک یک دروازه منطقی

یک منطقی قرار می گیرد . مدار الکتریکی شکل ۹-۱۴ را در نظر بگیرید ، اگر هر دو کلید A و B باز باشند (در وضعیت صفر منطقی قرار داشته باشند) لامپ خاموش است (لامپ به عنوان خروجی در نظر گرفته می شود) ، به عبارت دیگر خروجی در وضعیت صفر منطقی قرار می گیرد . اگر فقط یکی از دو کلید A یا B بسته باشند ($A=1$ و $B=0$ یا $A=0$ و $B=1$) باز هم خروجی در وضعیت صفر قرار می گیرد . لذا هنگامی خروجی در وضعیت یک منطقی (لامپ روشن) قرار می گیرد که کلید A و کلید B بسته باشند .



شکل ۹-۱۴ مدار کلیدی دروازه منطقی AND

در جدول ۹-۱ تمامی حالت مختلف باز و بسته بودن کلید مورد بررسی قرار گرفته است.

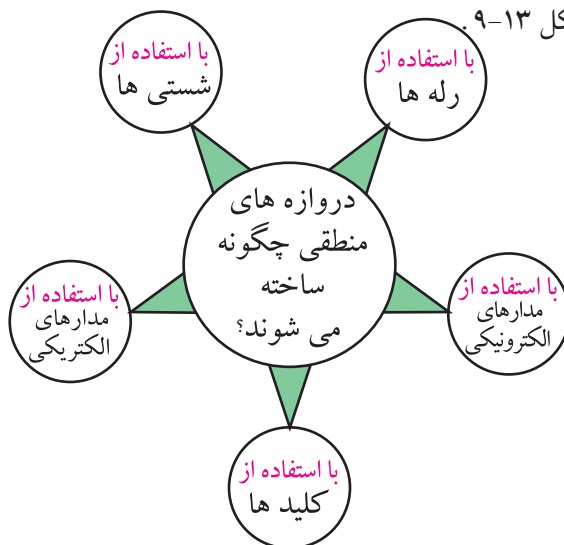
جدول ۹-۱

وضعیت کلید A	وضعیت کلید B	وضعیت نور لامپ
قطع	قطع	خاموش
قطع	وصل	خاموش
وصل	قطع	خاموش
وصل	وصل	روشن

اگر وصل بودن کلید را یک منطقی و قطع بودن کلید را صفر منطقی و روشن بودن لامپ را یک منطقی و خاموش بودن آن را صفر منطقی در نظر بگیریم ، جدول ۹-۱ به جدول ۹-۲ تبدیل می شود. این جدول را جدول صحت یا درستی گیت AND می نامند. هر دروازه منطقی یا مدار منطقی ، یک جدول صحت دارد.

در مدارهای غیر کامپیوتری ، ساخت دروازه های منطقی با استفاده از کلیدها ، شستی ها ، رله ها امکان پذیر است ،

شکل ۹-۱۳



شکل ۹-۱۳ عناصر مورد استفاده در دروازه های منطقی

به طور خلاصه یک دروازه منطقی ، یک مدار الکتریکی یا الکترونیکی است که با توجه به حالت هایی که به ورودی آن داده می شود (صفر یا یک منطقی) خروجی آن نیز در وضعیت صفر یا یک منطقی قرار می گیرد . بدین ترتیب انواع دروازه های منطقی به وجود می آید که به شرح آن ها می پردازیم .

۹-۳-۱ دروازه منطقی AND:

AND ، دروازه ای است که اگر همه ورودی های آن در وضعیت یک منطقی قرار گیرند ، خروجی آن در وضعیت

جدول ۹-۲

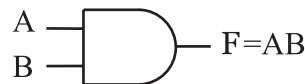
A	B	F
۰	۰	۰
۰	۱	۰
۱	۰	۰
۱	۱	۱

برای نشان دادن این مفهوم که متغیر A و متغیر B با یک دیگر AND شده اند، از رابطه زیر استفاده می کنیم.

$$F = A \cdot B$$

علامت AND

و می خوانیم F برابر است با A و B یا A اند B. برای ساده نویسی می توانیم علامت نقطه که در بین متغیرها قرار دارد را حذف کنیم. شکل ۹-۱۵، نماد دروازه‌ی منطقی AND و رابطه‌ی ورودی و خروجی آن را نشان می دهد.

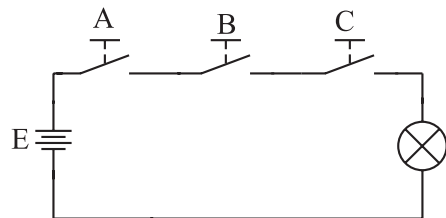


شکل ۹-۱۵ دروازه منطقی AND

یک دروازه منطقی AND می تواند بیش از دو ورودی داشته باشد. در شکل ۹-۱۶ یک دروازه منطقی با سه ورودی همراه با مدار معادل کلیدی آن نشان داده شده است.



الف - نماد دروازه منطقی AND با سه ورودی



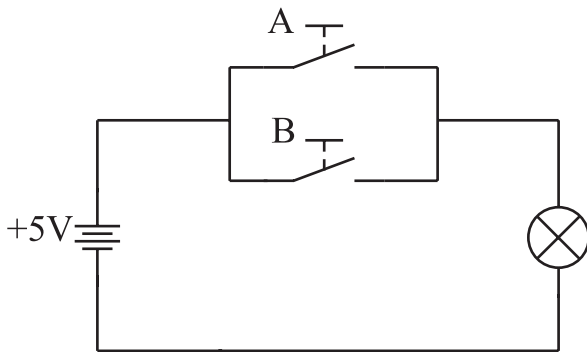
ب - مدار کلیدی دروازه منطقی AND با سه ورودی

شکل ۹-۱۶ نماد و مدار کلیدی دروازه منطقی AND با سه ورودی

۹-۳-۲ دروازه منطقی OR: دروازه منطقی

دروازه ای است که اگر حداقل یکی از ورودی های آن در وضعیت یک منطقی باشد، خروجی آن در وضعیت یک منطقی قرار می گیرد.

شکل ۹-۱۷ مدار کلیدی دروازه منطقی OR را نشان می دهد. در شکل ۹-۱۷ اگر فقط یکی از دو کلید A یا B یا هر دو در وضعیت یک منطقی (حالت بسته) قرار گیرند، خروجی (V_O) در وضعیت یک منطقی قرار خواهد گرفت.



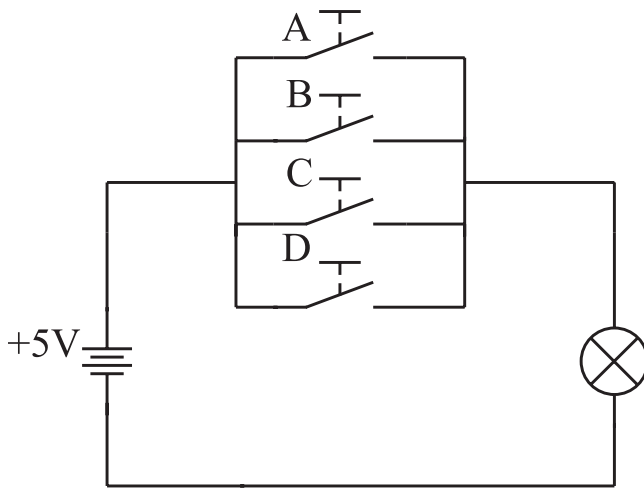
شکل ۹-۱۷ مدار کلیدی دروازه منطقی OR با دو ورودی

برای بررسی عملکرد دروازه منطقی OR، با توجه به جدول ۹-۳ حالات مختلف باز و بسته بودن کلیدها را مورد بررسی قرار می دهیم.

جدول ۹-۳

وضعیت کلید A	وضعیت کلید B	وضعیت نور لامپ
قطع	قطع	خاموش
قطع	وصل	روشن
وصل	قطع	روشن
وصل	وصل	روشن

اگر حالت باز بودن کلید را صفر منطقی، حالت بسته بودن کلید را یک منطقی، ولتاژ صفر ولت را صفر منطقی و ولتاژ ۵ ولت را یک منطقی در نظر بگیریم، جدول ۹-۳ تبدیل به جدول ۹-۴ می شود. جدول ۹-۴ جدول صحت دروازه منطقی OR نامیده می شود.

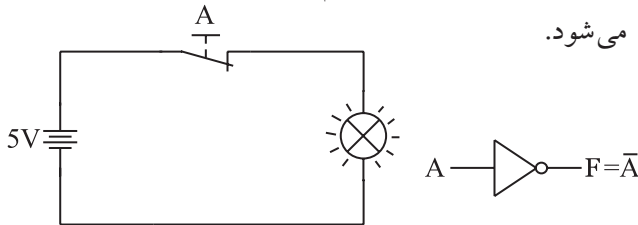


شکل ۹-۱۹ ب) مدار کلیدی دروازه منطقی OR

۹-۳-۲ دروازه منطقی NOT: دروازه منطقی

NOT دارای یک ورودی و یک خروجی است. خروجی آن زمانی در وضعیت یک منطقی قرار می‌گیرد که ورودی آن در وضعیت صفر منطقی باشد. شکل ۹-۲۰ الف نماد دروازه منطقی NOT را نشان می‌دهد.

برای بررسی عملکرد دروازه منطقی NOT به شکل ۹-۲۰ ب توجه کنید. اگر کلید در وضعیت عادی باشد یعنی ورودی صفر منطقی شود، لامپ روشن می‌ماند و چنانچه کلید را تحریک کنیم (یک منطقی) لامپ خاموش می‌شود.



الف: نماد دروازه منطقی NOT ب: مدار کلیدی دروازه منطقی NOT
شکل ۹-۲۰ دروازه منطقی NOT

در این مدار نیروی وارد بر کلید حالت یک منطقی و نبود نیرو حالت صفر منطقی است. این نتایج در جدول ۹-۵ خلاصه شده است.

جدول ۹-۴

A	B	F
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۱

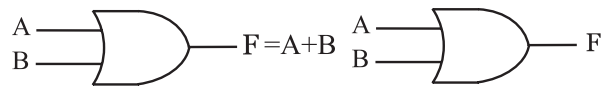
برای این که نشان دهیم متغیر A یا متغیر B با یک دیگر OR شده اند از رابطه زیر استفاده می‌کنیم.

$$F = A + B$$

یا
علامت OR (نه جمع)

می‌خوانیم F برابر است با A یا B، یا A از B. مقدار F زمانی یک است که A یا B یا هر دو یک باشد.

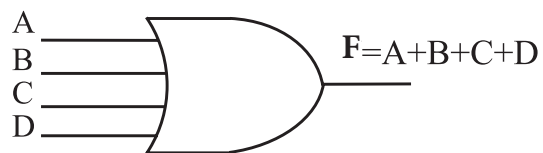
شکل ۹-۱۸ الف- نماد دروازه منطقی OR و شکل ۹-۱۸ ب- رابطه ورودی و خروجی در دروازه منطقی OR را نشان می‌دهد.



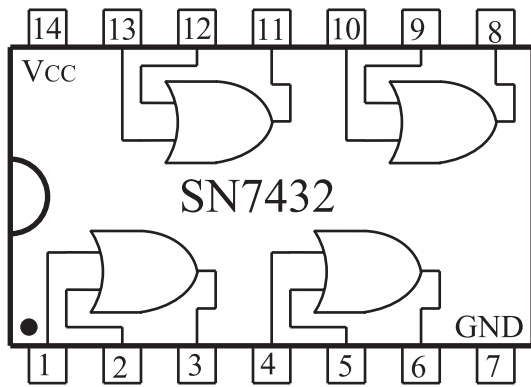
الف: نماد دروازه منطقی OR ب: رابطه خروجی دروازه منطقی OR

شکل ۹-۱۸ دروازه منطقی OR

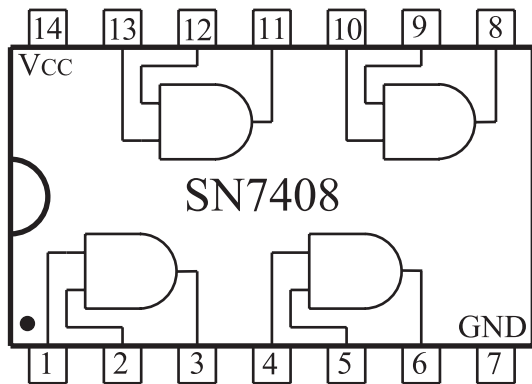
یک دروازه منطقی OR می‌تواند بیش از دو ورودی داشته باشد. شکل ۹-۱۹ الف، نماد یک دروازه منطقی OR با چند ورودی و شکل ۹-۱۹ ب، مدار کلیدی آن نشان می‌دهد.



شکل ۹-۱۹ الف) نماد دروازه منطقی با چند ورودی



شکل ۹-۲۱-ب- نقشه داخلی دروازه های منطقی OR به صورت آی سی



شکل ۹-۲۱-ج- نقشه داخلی دروازه های منطقی AND به صورت آی سی

همان طور که از شکل ۹-۲۱ مشخص است در هر IC تعدادی حدود ۴ یا ۶ دروازه منطقی وجود دارد. هم چنین برای هر IC یک پایه GND برای اتصال زمین یا صفر ولت و یک پایه $V_{CC}+$ برای ولتاژ تغذیه ۵ ولت در نظر گرفته می شود.

۹-۴ دروازه های منطقی ترکیبی

با ترکیب برخی از دروازه های منطقی پایه با یکدیگر، دروازه های منطقی جدیدی ساخته می شوند که در مدارهای دیجیتال و کامپیوتری کاربرد فراوانی دارند.

۹-۴-۱ دروازه منطقی NAND: دروازه منطقی

NAND از ترکیب دو دروازه منطقی AND و دروازه منطقی NOT به وجود می آید. در دروازه منطقی NAND

جدول ۹-۵

وضعیت کلید A	وضعیت نور لامپ
عادی	روشن
تحریک شده	خاموش

جدول ۹-۵ را می توان به صورت جدول ۹-۶ نیز نوشت
جدول ۹-۶ جدول صحت دروازه منطقی NOT است.

جدول ۹-۶

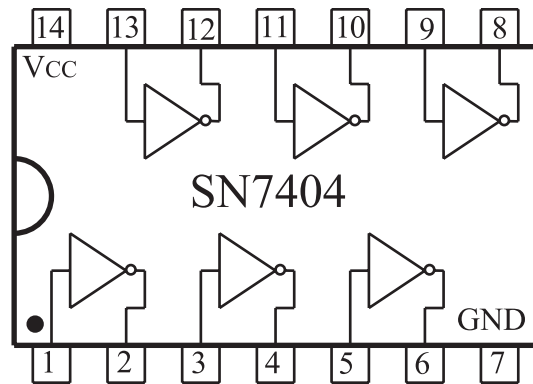
A	F
۰	۱
۱	۰

برای نشان دادن این که خروجی، NOT ورودی است، از رابطه زیر استفاده می کنیم:

$$F = \bar{A}$$

\bar{A} را NOT A (آنات) یا نات A می خوانند.

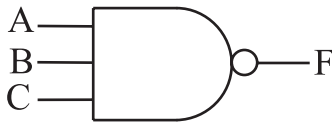
دروازه های منطقی AND، OR و NOT را به صورت IC (مدار مجتمع) می سازند و به بازار عرضه می کنند. این IC ها معمولاً ۱۴ یا ۱۶ پایه هستند و چند گیت در آن جای دارد. شکل ۹-۲۱، سه نمونه IC شامل دروازه های منطقی فوق را نشان می دهد.



شکل ۹-۲۱-الف- نقشه داخلی دروازه های منطقی NOT به صورت آی سی

همان طور که از جدول صحت ۸-۹ پیداست، خروجی دروازه منطقی NAND زمانی در وضعیت یک منطقی قرار می‌گیرد که حداقل یکی از ورودی‌های آن در وضعیت صفر منطقی باشد.

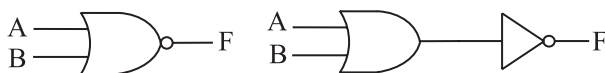
دروازه منطقی NAND نیز مانند دروازه منطقی OR یا AND می‌تواند بیش از دو ورودی داشته باشد. شکل ۲۳-۹ یک دروازه منطقی NAND را با سه ورودی نشان می‌دهد.



شکل ۲۳-۹ دروازه منطقی NAND با سه ورودی

۲-۴-۹ دروازه منطقی NOR: دروازه منطقی

NOR از ترکیب دروازه منطقی OR و دروازه منطقی NOT به وجود می‌آید. در دروازه منطقی NOR ابتدا متغیرهای ورودی با یکدیگر OR شده و سپس حاصل به دست آمده NOT می‌شود. شکل ۲۴-۹ الف عملکرد دروازه منطقی NOR و شکل ۲۴-۹ ب نماد دروازه منطقی NOR را نشان می‌دهد.



الف: ترکیب دروازه منطقی NOR ب: نماد دروازه منطقی NOR

شکل ۲۴-۹ دروازه منطقی NOR با دو ورودی

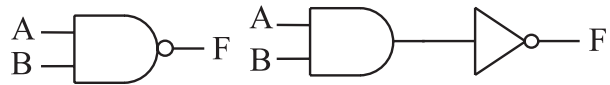
برای این که نشان دهیم متغیر A و متغیر B با یکدیگر NOR شده اند، از رابطه منطقی زیر استفاده می‌کنیم:

$$F = \overline{A+B}$$

جدول صحت دروازه منطقی NOR را می‌توانیم با استفاده از جدول ۹-۹ به دست آوریم. برای این منظور ابتدا ورودی‌ها را با یکدیگر OR و سپس حاصل را NOT می‌کنیم.

ابتدا متغیرهای ورودی با یکدیگر AND شده و حاصل به دست آمده NOT می‌شود. شکل ۲۲-۹ الف ترکیب دروازه منطقی NAND را نشان می‌دهد.

نماد دروازه منطقی NAND در شکل ۲۲-۹ ب نشان داده شده است.



الف: ترکیب دروازه منطقی NAND ب: نماد دروازه منطقی NAND
شکل ۲۲-۹ دروازه منطقی NAND

برای این که نشان دهیم دو متغیر A و B با یکدیگر NAND شده اند از رابطه منطقی زیر استفاده می‌کنیم:

$$F = \overline{AB}$$

جدول صحت دروازه منطقی NAND را با استفاده از جدول ۷-۹ می‌توانیم به دست آوریم. برای این منظور ابتدا ورودی‌ها را با یکدیگر AND و حاصل به دست آمده NOT می‌کنیم.

جدول ۷-۹

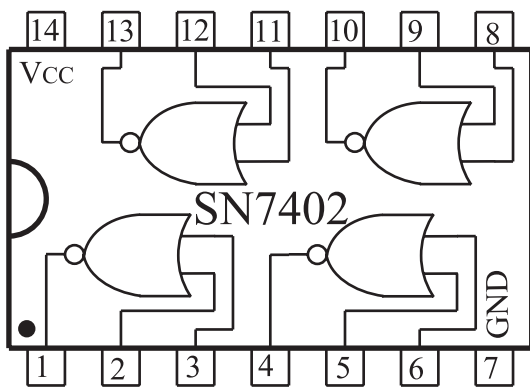
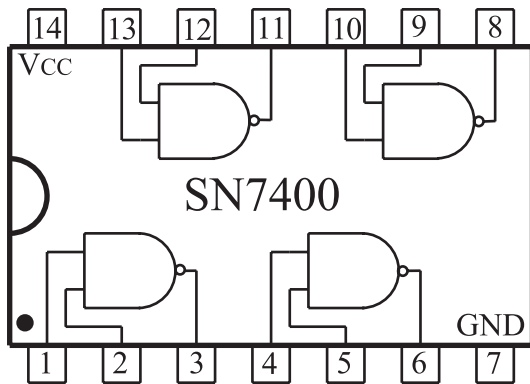
A	B	$F = AB$	$F = \overline{AB}$
۰	۰	۰	۱
۰	۱	۰	۱
۱	۰	۰	۱
۱	۱	۱	۰

جدول ۷-۹ را می‌توانیم به صورت خلاصه تر به شکل جدول ۸-۹ بنویسیم.

جدول ۸-۹

A	B	$F = \overline{AB}$
۰	۰	۱
۰	۱	۱
۱	۰	۱
۱	۱	۰

به دروازه های منطقی ترکیبی X-OR و X-NOR می پردازیم .



شکل ۹-۲۶ نمای داخلی آی سی هایی با دروازه منطقی NAND و NOR



نقشه داخلی آی سی های مختلف را می توانید از برگه اطلاعات آی سی استخراج کنید. با وجود این که اطلاعات داده شده در Datasheet معمولاً به زبان انگلیسی است، باید بتوانید اطلاعات مورد نیاز را استخراج کنید. برای دسترسی به برگه های اطلاعات آی سی ها به کتاب های مربوط یا به سایت های اینترنتی مراجعه کنید.

جدول ۹-۹

A	B	$F = A+B$	$F = \overline{A+B}$
۰	۰	۰	۱
۰	۱	۱	۰
۱	۰	۱	۰
۱	۱	۱	۰

جدول ۹-۹ را می توانیم به صورت خلاصه تر طبق جدول

۹-۱۰ نشان دهیم .

جدول ۹-۱۰

A	B	$F = \overline{A+B}$
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۰

همان طور که از جدول ۹-۱۰ پیداست خروجی دروازه

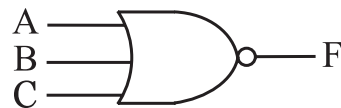
منطقی NOR زمانی در وضعیت یک منطقی است که همه

ورودی های آن در وضعیت صفر منطقی باشند.

دروازه منطقی NOR نیز مانند بعضی از دروازه های

منطقی می تواند بیش از دو ورودی داشته باشد. شکل ۹-۲۵

نماد یک دروازه منطقی با سه ورودی را نشان می دهد.



شکل ۹-۲۵ نماد دروازه منطقی NOR با سه ورودی

در شکل ۹-۲۶، IC های مربوط به دروازه های منطقی

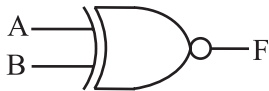
NAND و NOR نشان داده شده اند. این آی سی ها

در بازار به فراوانی یافت می شوند. در قسمت های بعدی

۹-۴-۴ دروازه منطقی NOR انحصاری

یا XNOR:

این دروازه منطقی مانند XOR فقط دارای دو ورودی است و خروجی آن هنگامی در وضعیت یک منطقی قرار می‌گیرد که دو ورودی آن در یک سطح منطقی مشابه باشند (از یک نوع باشند). نماد این دروازه منطقی در شکل ۹-۲۹ نشان داده شده است. جدول صحت دروازه منطقی را در جدول ۹-۱۲ مشاهده می‌کنید.



شکل ۹-۲۹ نماد دروازه منطقی XNOR

جدول ۹-۱۲

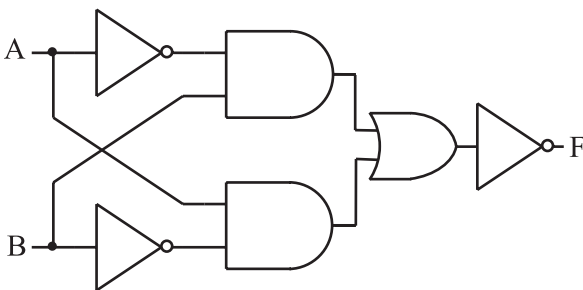
A	B	$F = \overline{A \oplus B}$
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۱

برای این که نشان دهیم متغیر A و متغیر B با یک دیگر XNOR شده‌اند، از رابطه منطقی زیر استفاده می‌کنیم:

$$F = \overline{A \oplus B}$$

$$F = \overline{AB} + \overline{A\overline{B}}$$

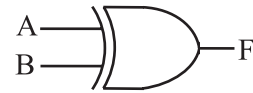
شکل ۳۰ - دروازه منطقی XNOR را با استفاده از دروازه های منطقی پایه‌ای نشان می‌دهد.



شکل ۳۰ - ساختمان داخلی دروازه منطقی XNOR

۹-۴-۳ دروازه منطقی OR انحصاری یا XOR:

این دروازه منطقی فقط دارای دو ورودی است و خروجی این گیت زمانی در وضعیت یک منطقی قرار می‌گیرد که دو ورودی آن در سطح منطقی مشابه نباشند. نماد این دروازه منطقی در شکل ۲۷ - ۹ نشان داده شده است.



شکل ۲۷ - نماد دروازه منطقی XOR

جدول صحت دروازه منطقی XOR را در جدول ۹-۱۱

مشاهده می‌کنید.

جدول ۹-۱۱

A	B	$F = A \oplus B$
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۰

برای این که نشان دهیم متغیر A و متغیر B با یکدیگر

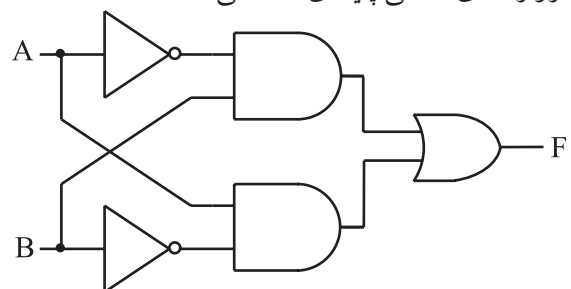
XOR شده‌اند، از رابطه منطقی زیر استفاده می‌کنیم:

$$F = A \oplus B$$

$$F = \overline{A}B + A\overline{B}$$

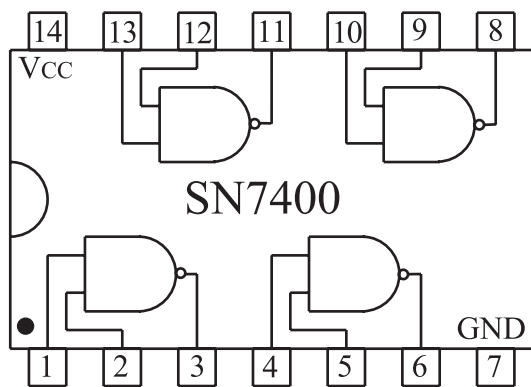
شکل ۲۸ - مدار دروازه منطقی XOR را با استفاده

از دروازه های منطقی پایه ای نشان می‌دهد.

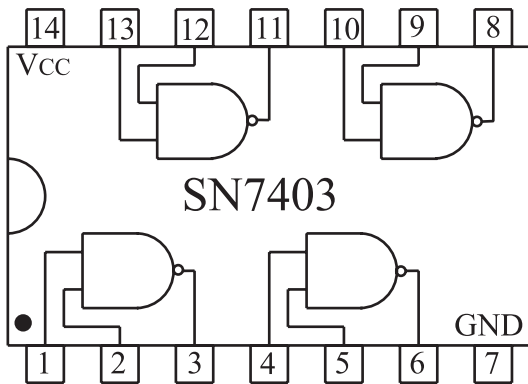


شکل ۲۸ - ساختمان داخلی دروازه منطقی XOR

IC های TTL در دو نوع معمولی (Totem pole) و کلکتور باز (Open Collector) ساخته می شوند. از نظر نماد و یا شکل پایه های IC، هیچ فرقی بین این دو نوع وجود ندارد و معمولاً به جای هم نمی توانند به کار روند. برای مثال IC به شماره ۷۴۰۰ شامل ۴ دروازه منطقی NAND از نوع معمولی است و IC شماره ۷۴۰۳ نیز شامل ۴ دروازه منطقی NAND از نوع کلکتور باز است. شکل ظاهری IC ها در شکل ۹-۳۲ نشان داده شده است.



الف- دروازه منطقی NAND از نوع معمولی

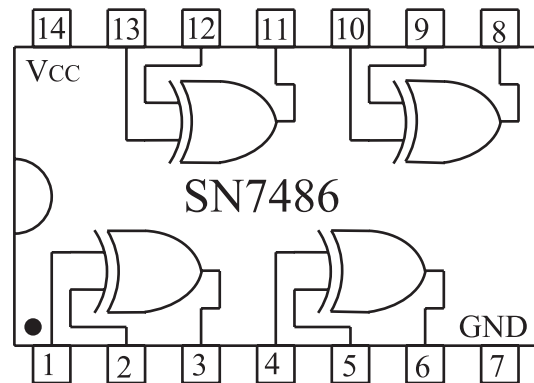


ب- دروازه منطقی NAND از نوع کلکتور باز

شکل ۹-۳۲

برای مشخص شدن این که دروازه های منطقی یک IC از کدام نوع است باید به کتاب های مرجع برای مثال TTL Data Book مراجعه شود.

در شکل ۹-۳۱، IC مربوط به دروازه منطقی XOR نشان داده شده است. این IC در بازار به فراوانی یافت می شود.



شکل ۹-۳۱ - نمای داخلی IC با دروازه منطقی XOR

۵-۹ ساختمان داخلی دروازه های منطقی

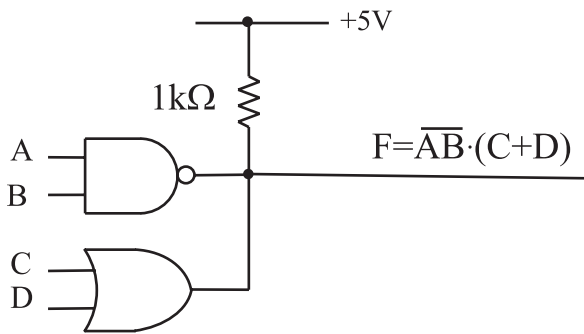
همان طور که در ابتدای این فصل گفته شد به طور کلی یک دروازه منطقی، یک مدار الکترونیکی نسبتاً ساده است که با توجه به سطوح ولتاژ تعریف شده صفر یا یک منطقی که به ورودی آن اعمال می کنیم خروجی آن نیز دارای یک سطح ولتاژ تعریف شده صفر یا یک منطقی می شود. مدار الکترونیکی دروازه های منطقی از یک سری قطعات الکترونیکی تشکیل می شود که مهم ترین آن ها ترانزیستورها هستند. تقسیم بندی هایی که می توان برای دروازه های منطقی در نظر گرفت به نوع ترانزیستور و آرایش آن ها در مدارهای الکترونیکی بستگی دارد. بر این اساس یک سری تقسیم بندی هایی برای دروازه های منطقی در نظر می گیرند. دو نوع تقسیم بندی برای دروازه های منطقی که در عمل به صورت IC ساخته شده و متداول و حائز اهمیت است عبارتند از:

۵-۱-۹ IC های سری TTL

(Transistor Transistor Logic)

در این نوع IC ها، دروازه های منطقی از ترانزیستورهای معمولی ساخته می شوند و IC های آن با پیش شماره ۷۴ شروع می شوند.

ولتاژ کار این آی سی ها از ۴/۷۵ تا ۵/۲۵ ولت است.



ب - دروازه های منطقی از نوع کلکتور باز
 شکل ۹-۳۳ خروجی دروازه های منطقی از نوع کلکتور باز را می توان با یک دیگتر AND سیمی کرد .



برای گیت های ترکیبی باید خروجی هر گیت را مشخص کنید و در نهایت تابع خروجی نهایی را به دست آورید .

۲-۵-۹ IC های با تکنولوژی CMOS

در این نوع IC ها ، دروازه های منطقی از ترانزیستورهای MOSFET ساخته شده اند . در داخل آی سی های مکمل (CMOS) هر دو نوع MOSFET با کانال P و N وجود دارد .

برای تشخیص پایه های آی سی باید از کاتالوگ یا کتاب اطلاعات آی سی استفاده کنید

شماره این نوع IC ها ، با پیش شماره ۴۰ شروع می شود . ولتاژ تغذیه این IC ها در محدوده ۳ تا ۱۵ ولت قرار دارد . در این IC ها ولتاژی را که به تغذیه IC وصل می کنیم همان ولتاژ سطح یک منطقی است . توان مصرفی این IC ها نسبت به IC های TTL به مراتب کمتر است . در شکل ۹-۳۴ یک نمونه IC از نوع CMOS نشان داده شده است .



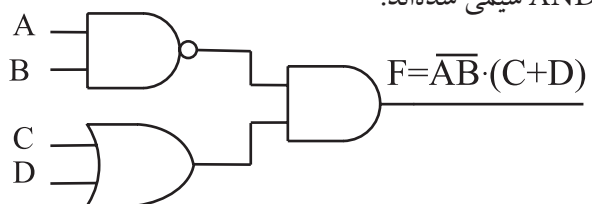
هنگام تعویض یک IC که شامل دروازه های منطقی یا سایر عناصر الکترونیکی است ، IC جایگزین حتماً باید مشابه IC موجود در مدار باشد .

توجه داشته باشید که همیشه

باید خروجی دروازه های منطقی از نوع کلکتور باز را با یک مقاومت $1k\Omega$ به $V_{CC} +$ وصل کنید . از مزایای دروازه های منطقی از نوع کلکتور باز این است که می توان خروجی آن ها را به یکدیگر اتصال داد . در این صورت تمامی خروجی ها از نظر منطقی با یکدیگر AND می شوند . این نوع AND را AND سیمی می نامند .



در صورتی که در دروازه های منطقی معمولی مجاز به اتصال خروجی ها به یکدیگر نیستیم . در شکل ۹-۳۳ مزایای دروازه های منطقی از نوع کلکتور باز نشان داده شده است . توجه داشته باشد که در مدارهای شکل ۹-۳۳ الف و ب با وجود این که در شکل ب یک گیت AND را حذف کردیم . خروجی های الف و ب مشابه است . به عبارت دیگر در شکل ۹-۳۳ ب خروجی دو گیت NAND و OR با هم AND سیمی شده اند .



الف - دروازه های منطقی معمولی



در شکل ۹-۳۵

یک یا دو حرف انتهایی، نوع بسته بندی را مشخص می کند که مفهومی به شرح زیر دارد:

J	DIP	سرامیکی
N	DIP	پلاستیکی
W		سرامیکی مسطح

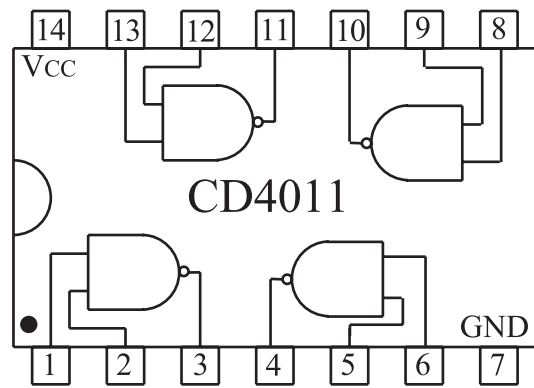
مفهوم حرفی که بعد از شماره ۷۴ قرار می گیرد را در جدول ۹-۱۳ آورده ایم.

جدول ۹-۱۳

بدون حروف	نوع استاندارد	۷۴۰۴
H (High-speed)	سریع	۷۴H۰۴
L (Low Power)	کم مصرف	۷۴L۰۴
S (Schottky)	شاتکی	۷۴S۰۴
LS (Low Power Schottky)	کم مصرف شاتکی	۷۴LS۰۴
AS (Advanced Schottky)	شاتکی اصلاح شده	۷۴AS۰۴
ALS (Advanced Low Power Schottky)	کم مصرف شاتکی اصلاح شده	۷۴ALS۰۴

نکته مهم:

توجه داشته باشید که به خاطر سپردن اعداد و حروف مربوط به IC ضرورتی ندارد، بلکه برای یافتن اطلاعات مربوط به آی سی باید بتوانید از برگه های اطلاعات یا Data sheet، مشخصات IC را استخراج کنید.



شکل ۹-۳۴ یک نمونه IC شامل ۴ عدد دروازه منطقی

NAND از نوع CMOS

۹-۶ آزمایش شماره (۱)

زمان اجرا: ۲ ساعت آموزشی

۹-۶-۱ هدف های آزمایش: استفاده از راهنمای

آی سی های سری TTL و COMS

۹-۶-۲ تجهیزات، ابزار، قطعات و مواد مورد نیاز:

ردیف	نام و مشخصات	تعداد / مقدار
۱	کتابچه راهنمای آی سی های سری TTL و COMS	از هر کدام یک جلد

۹-۶-۳ شرح خلاصه آزمایش:

اغلب آی سی هایی که برای آزمایش ها استفاده می کنیم از نوع TTL معمولی هستند. این آی سی ها به سری ۷۴ مشهورند زیرا دو رقم سمت چپ شماره سریال آن ها با ۷۴ شروع می شود.

برای شماره گذاری آی سی معمولاً حداکثر تعداد ۹ حرف یا عدد می آید که هر یک مفهوم خاصی را دارد. دسته بندی اعداد و حروف به این ترتیب است که ابتدا دو عدد، سپس دو حرف و در ادامه سه عدد و در نهایت یک یا دو حرف قرار می گیرد.

در شکل ۹-۳۵ مشخصات مربوط به شماره گذاری یک

نمونه آی سی نشان داده شده است.

قدرت، زمان تاخیر (t_d)، حداکثر جریان ورودی ($I_{in \max}$) و حداکثر جریان خروجی ($I_{out \max}$) مربوط به دو نوع آی سی سری TTL و CMOS را ملاحظه می کنید.

آی سی های سری TTL با ولتاژ تغذیه ۴/۷۵ تا ۵/۲۵ ولت کار می کنند. آی سی های سری CMOS با شماره سری ۴۰ شناخته می شوند و با ولتاژ ۳ تا ۱۵ ولت کار می کنند. در جدول ۹-۱۴ برخی از اطلاعات مانند ولتاژ تغذیه (V_p)،

جدول ۹-۱۴

Family	Type	V_+ (Volt)	V_- (volt)	Power	t_d (ns)	$I_{in \max}$	$I_{out \max}$
TTL	7400	$5 \pm 5\%$	0	10mW	10	1.6 mA	50mA
	74L00			1mW	33	$180 \mu A$	15mA
	74H00			22mW	6	2mA	100mA
	74S00			19mW	3	2nA	100mA
CMOS	4011	3-15	0	$0.01 \mu W$	25-50	10PA	1mA
		1.5-7.5	-1.5-7.5				

۴-۶-۹ مراحل اجرای آزمایش

۷۴۰۰ را استخراج کنید.

سوال ۱- شماره فنی آی سی را بنویسید.

.....

.....

سوال ۲- از شماره فنی آی سی چه اطلاعاتی را

می توانید استخراج کنید؟ توضیح دهید.

.....

.....

سوال ۳- در داخل آی سی چند گیت وجود دارد؟

.....

.....

سوال ۴- گیت های داخل آی سی از چه نوع هستند؟

نام ببرید.

.....

.....

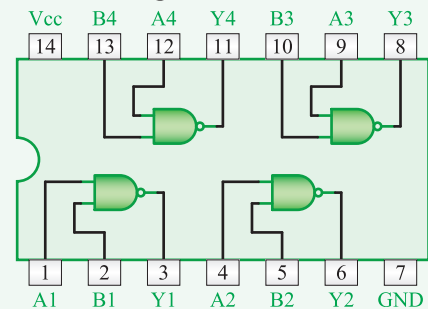
با توجه به قسمتی از برگه ای اطلاعات که در شکل ۳۶-۹ آمده است، اطلاعات فنی خواسته شده در مورد آی سی

DM74LS00 Quad 2-Input NAND Gate

• General Description

This device contains four independent gates each of which performs the logic NAND function.

• Connection Diagram



• Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

شکل ۳۶-۹

سوال ۵- شماره پایه‌ی مربوط V_{CC} و GND کدام

است؟



(low level) چندولت است؟

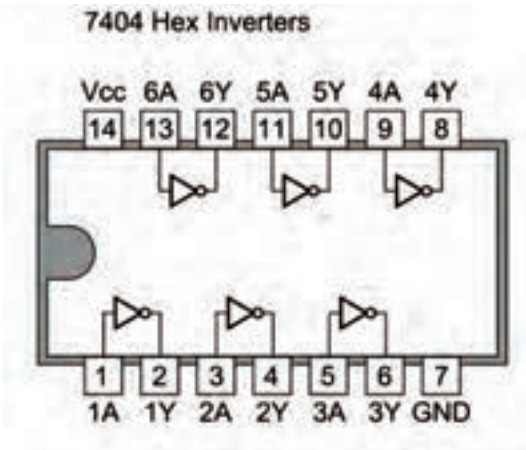
سوال ۱۰- جریان خروجی در سطح ولتاژ کم

(low level) چند میلی آمپر است؟

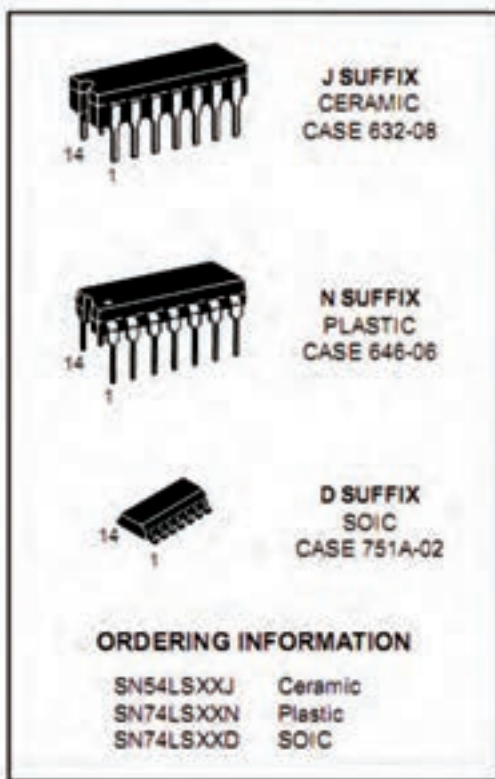
با توجه به قسمتی از برگه اطلاعات که در شکل

۹-۳۸ الف و ۹-۳۸ ب آمده است به سوال های زیر پاسخ

دهید.



شکل ۹-۳۸ الف قسمتی از برگه اطلاعات آی سی



شکل ۹-۳۸ ب قسمتی از برگه اطلاعات آی سی

با توجه به قسمتی از برگه اطلاعات که در شکل ۹-۳۷

آمده است به سوال زیر پاسخ دهید.

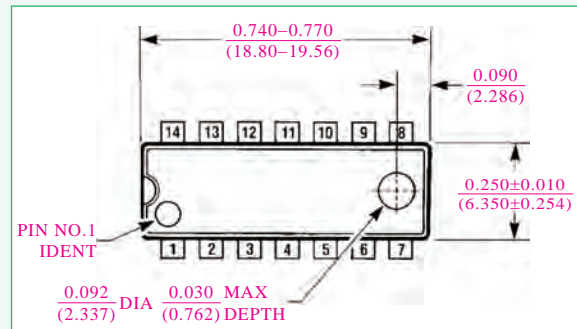
Absolute Maximum Ratings

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Recommended Operating Conditions

Symbol	Parameter	Max	Units
V_{CC}	Supply Voltage	5.25	V
V_{IH}	High Level Input Voltage	2	V
V_{IL}	Low Level Input Voltage	0.8	V
I_{OH}	High Level Output Current	$\alpha\alpha$	mA
I_{OL}	Low Level Output Current	8	mA
T_A	Free Air Operating Temperature	70	°C

Physical Dimensions inches (millimeters) unless otherwise noted



شکل ۹-۳۷

سوال ۶- مقدار ماکزیمم ولتاژ تغذیه آی سی چند ولت

است؟

سوال ۷- درجه حرارت کار آی سی در چه محدوده‌ای

قرار دارد؟

سوال ۸- درجه حرارت ذخیره سازی آی سی در چه

محدوده ای قرار دارد؟

سوال ۹- ولتاژ ورودی در حالت سطح ولتاژ کم

سوال ۱۹- پایه تغذیه V_{CC} و زمین (GND) آی سی

را بنویسید.

سوال ۲۰- مقدار ولتاژ تغذیه آی سی چند ولت

است؟

سوال ۲۱- معادل این آی سی را در نوع TTL و نوع

CMOS مشخص کنید.



با مراجعه به سایت ALLDATASHEET.COM

مشخصات دو نمونه آی سی را پیدا کنید که در آن ها گیت های OR و AND باشد.



۵-۶-۹ نتایج آزمایش

نتایج حاصل از آزمایش را به طور خلاصه در چند سطر

بنویسید.



سوال ۱۱- شماره فنی آی سی را بنویسید.

سوال ۱۲- از شماره فنی آی سی چه اطلاعاتی قابل

دسترسی است؟ توضیح دهید.



سوال ۱۳- در داخل آی سی چند گیت وجود دارد؟

گیت ها از چه نوعی هستند؟

سوال ۱۴- آی سی چند پایه دارد؟

سوال ۱۵- شماره پایه ی تغذیه V_{CC} و زمین آی سی

کدام است؟ شماره پایه های خروجی و ورودی دو عدد از گیت ها را مشخص کنید.

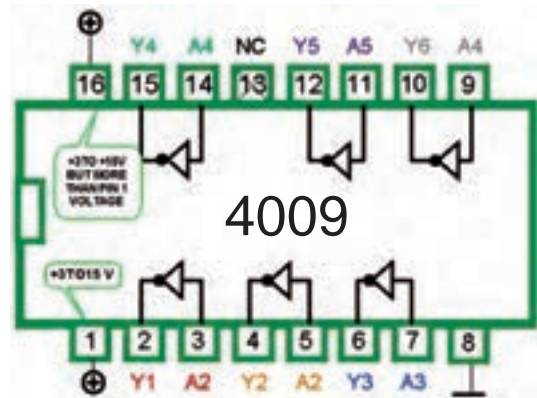


نمونه دیگری از قسمتی از برگه اطلاعات

مربوط به یک نمونه آی سی که از کتاب اطلاعات (CMOS cook book) استخراج شده است را در شکل

۹-۳۹ ملاحظه می کنید با توجه به این برگه اطلاعات، به

سوالات پاسخ دهید.



Device is functionally equivalent to the 7404 (TTL) and 74C04 (CMOS) devices.

شکل ۹-۳۹

سوال ۱۶- شماره فنی آی سی را بنویسید.

سوال ۱۷- داخل آی سی چند گیت وجود دارد؟

سوال ۱۸- نوع گیت را بنویسید.

۹-۷-۲ آزمایش شماره ۲

زمان اجرا: ۴ ساعت آموزشی

۹-۷-۱ هدف آزمایش:

الف: به دست آوردن جدول صحت دروازه های منطقی AND، OR، NOT، NAND و NOR با استفاده از آی سی.

۹-۷-۳ مراحل اجرای آزمایش

الف: به دست آوردن جدول صحت دروازه

منطقی AND با استفاده از آی سی.

وسایل مورد نیاز را آماده کنید.

مدار شکل ۹-۴۰ را روی برد برد آزمایشگاهی

ببندید.

توجه در صورتی که برد

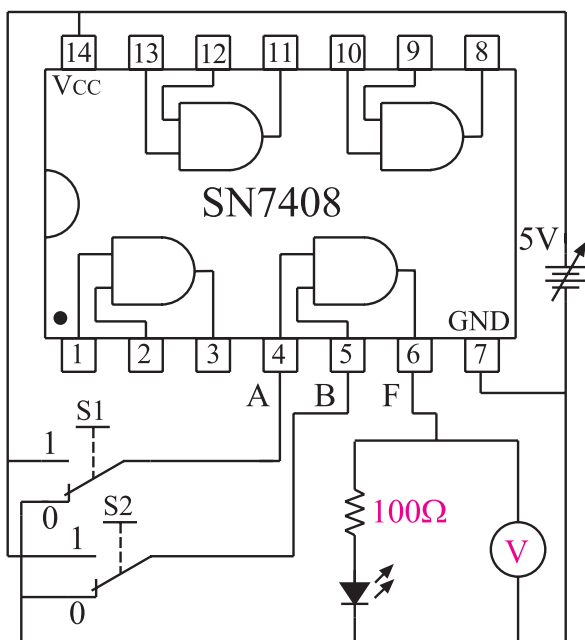
آماده در اختیار دارید از

آن استفاده نمایید.



۹-۷-۲ تجهیزات، ابزار، قطعات و مواد مورد نیاز:

ردیف	نام و مشخصات	تعداد/مقدار
۱	مولتی متر دیجیتالی یا عقربه‌ای	یک دستگاه
۲	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۳	IC ۷۴۰۸	یک عدد
۴	IC ۷۴۳۲	یک عدد
۵	IC ۷۴۰۲	یک عدد
۶	IC ۷۴۰۰	یک عدد
۷	IC ۷۴۰۴	یک عدد
۸	IC ۷۴۸۶	یک عدد
۹	برد برد یا برد آزمایشگاهی	یک قطعه
۱۰	دیود نوردنده LED	یک عدد
۱۱	مقاومت 100Ω	یک عدد
۱۲	کلید دوراوه (از نوع مینیاتوری)	دو عدد
۱۳	سیم‌های رابط	به اندازه کافی
۱۴	ابزار عمومی کارگاه الکترونیک	یک سری



شکل ۹-۴۰ مدار عملی دروازه منطقی AND

اگر منبع تغذیه موجود در آزمایشگاه دارای ولتاژ ۵

ولت ثابت است از آن برای تغذیه مدار استفاده کنید.

در صورتی که منبع تغذیه متغیر در اختیار دارید ابتدا

ولتاژ منبع تغذیه را روی ۵ ولت تنظیم و سپس آن را به مدار

اتصال دهید.

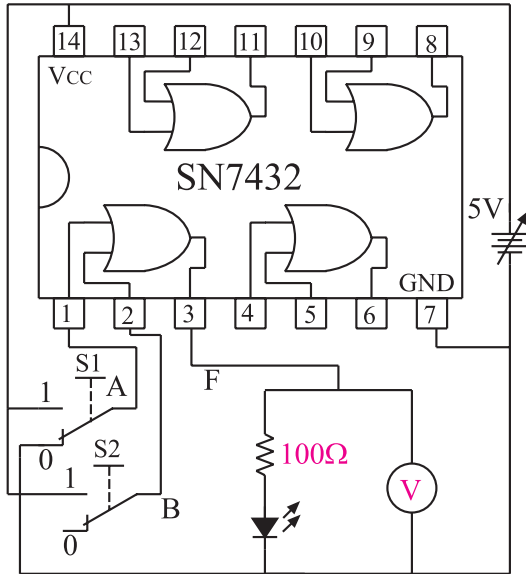
اگر کلید دو راهه در اختیار ندارید می توانید توسط یک

تکه سیم، پایه آی سی را به زمین الکتریکی یا +۵ ولت وصل کنید.

ب: به دست آوردن جدول صحت دروازه منطقی OR با استفاده از آی سی.

■ مدار شکل ۹-۴۱ را روی برد برد یا برد آزمایشگاهی

ببندید.



شکل ۹-۴۱ مدار عملی دروازه منطقی OR

■ منبع تغذیه را روی ۵ ولت تنظیم کنید و سپس آن را به IC اتصال دهید.

■ اگر منبع تغذیه موجود در آزمایشگاه دارای ولتاژ ۵ ولت ثابت است برای تغذیه IC از آن استفاده کنید.

■ با استفاده از کلیدهای S_1 و S_2 به ورودی یکی از دروازه های منطقی OR، سیگنال های صفر و یک منطقی را اعمال کنید وضعیت خروجی را در هر حالت مشاهده کنید و در جدول ۹-۱۶ درج نمایید.

جدول ۹-۱۶

A	B	وضعیت نور LED	مقدار ولتاژی که ولت متر نشان می دهد	$F=A+B$
۰	۰			۰
۰	۱			
۱	۰			
۱	۱			

با قرار دادن کلیدهای S_1 و S_2 در حالات مختلف جدول ۹-۱۵ را تکمیل کنید.

توجه داشته باشید که ولتاژ

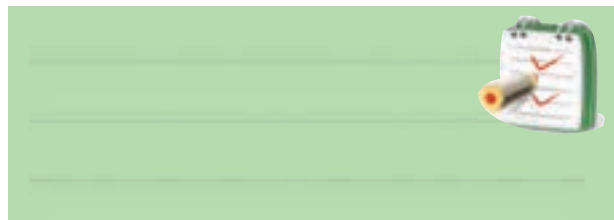
خط تغذیه ICها (V_{CC}) همان سطح ولتاژ یک منطقی است و ولتاژی که به پایه GND (زمین) وصل می شود، صفر منطقی است. اگر کلیدهای S_1 و S_2 در حالت یک قرار گیرند ولتاژ ۵ ولت (یک منطقی) را به ورودی دروازه منطقی اعمال می کند و اگر در حالت صفر قرار گیرند صفر ولت یا صفر منطقی را به ورودی دروازه منطقی اعمال می کند.



جدول ۹-۱۵

A	B	وضعیت نور LED	مقدار ولتاژی که ولت متر نشان می دهد	$F=AB$
۰	۰	خاموش		۰
۰	۱			
۱	۰			
۱	۱			

سوال ۲۲- خروجی دروازه منطقی AND که دارای دو ورودی A و B می باشد، در چه حالتی برابر یک منطقی است؟



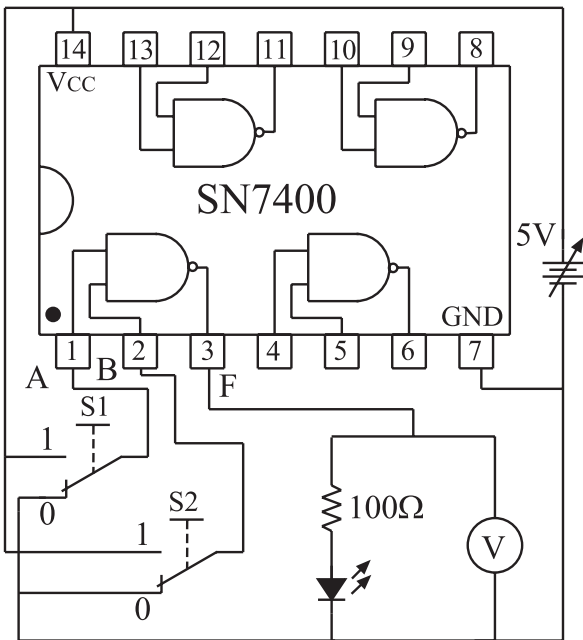
جدول ۹-۱۷

A	وضعیت نور LED	مقدار ولتاژی که ولت متر نشان می دهد	$F = \bar{A}$
۰			
۱			

سوال ۲۴- در یک گیت NOT آیا همواره سطح ولتاژ خروجی، نفی (NOT) سطح ورودی می باشد یا خیر؟



د: به دست آوردن جدول صحت دروازه منطقی (گیت) NAND با استفاده از آی سی.
 وسایل و قطعات مورد نیاز را آماده کنید.
 مدار شکل ۹-۴۳ را که قبلاً روی برد مدار چاپی ساخته شده است بررسی کنید.



شکل ۹-۴۳ مدار مربوط به دروازه منطقی NAND

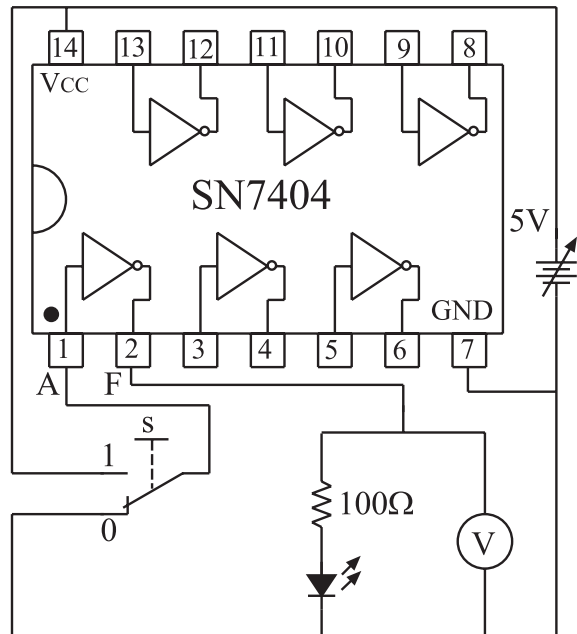
اگر منبع تغذیه موجود در آزمایشگاه دارای ولتاژ ثابت ۵ ولت است از آن برای تغذیه IC استفاده کنید. در غیر این صورت ابتدا منبع تغذیه را روی ۵ ولت تنظیم و سپس آن را

سوال ۲۳- خروجی دروازه منطقی OR که دارای دو ورودی A و B می باشد در کدام حالت برابر با صفر منطقی است؟



ج: به دست آوردن جدول صحت دروازه منطقی NOT با استفاده از آی سی.

مدار شکل ۹-۴۲ را روی برد آزمایشگاهی ببندید.



شکل ۹-۴۲ مدار عملی دروازه منطقی NOT

منبع تغذیه را روی ۵ ولت تنظیم و سپس آن را به IC اتصال دهید.

اگر منبع تغذیه موجود در آزمایشگاه دارای خروجی ۵ ولت ثابت است برای تغذیه IC از آن استفاده کنید.

با استفاده از یک کلید دو راهه، صفر و یک منطقی را به ورودی دروازه منطقی NOT بدهید.

در هر دو حالت وضعیت خروجی را در جدول ۹-۱۷ یادداشت کنید.

به مدار IC وصل کنید .

با قرار دادن کلیدهای S_1 و S_2 در حالات مختلف،

جدول ۹-۱۸ را تکمیل کنید. **جدول ۹-۱۸**

A	B	وضعیت نور LED	مقدار ولتاژی که ولت متر نشان می دهد	$F = \overline{AB}$
۰	۰			
۰	۱			
۱	۰			
۱	۱			

سوال ۲۵- در چه شرایطی خروجی گیت NAND در

سطح منطقی صفر قرار دارد .

جدول ۹-۱۹

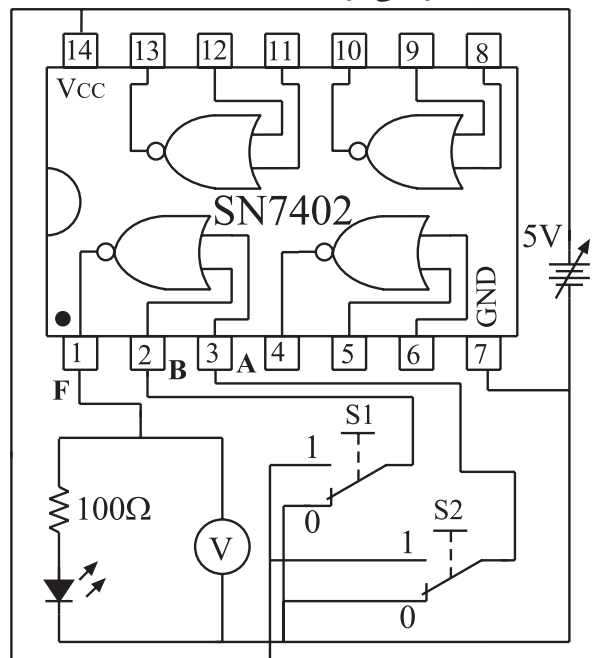
A	B	وضعیت نور LED	مقدار ولتاژی که ولت متر نشان می دهد	$F = A + B$
۰	۰			
۰	۱			
۱	۰			
۱	۱			

ه: به دست آوردن جدول صحت دروازه

منطقی NOR با استفاده از آی سی

مدار شکل ۹-۴۴ را که قبلاً روی برد مدار چاپی ساخته

شده است مورد بررسی قرار دهید .



شکل ۹-۴۴ مدار مربوط به دروازه منطقی NOR

منبع تغذیه را روی ۵ ولت تنظیم کنید و سپس آن را به

پایه V_{CC} آی سی (IC ۷۴۰۲) اتصال دهید .

اگر منبع تغذیه موجود در آزمایشگاه دارای ولتاژ ثابت

۵ ولت است برای تغذیه IC، از این ولتاژ ثابت استفاده کنید.

با استفاده از کلیدهای S_1 و S_2 که به ورودی های

یکی از دروازه های منطقی IC به شماره SN ۷۴۰۲ وصل

شده اند . صفر و یک منطقی را مطابق جدول ۹-۱۹ به IC

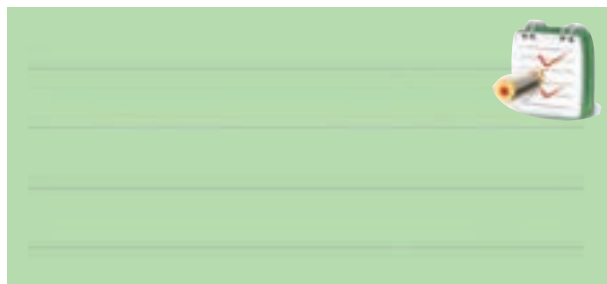
اعمال کنید.

وضعیت خروجی دروازه مورد نظر را مشاهده کنید و

نتایج به دست آمده را در جدول ۹-۱۹ بنویسید .

سوال ۲۶- در چه شرایطی خروجی گیت NOR در

سطح منطقی یک قرار می گیرد؟



و: به دست آوردن جدول صحت دروازه

منطقی XOR با استفاده از آی سی

مدار شکل ۹-۴۵ را که قبلاً روی برد مدار چاپی ساخته

شده است مورد بررسی قرار دهید .

۴-۷-۹ نتایج آزمایش

نتایج حاصل از این آزمایش ها را به طور خلاصه بیان کنید .



الف -

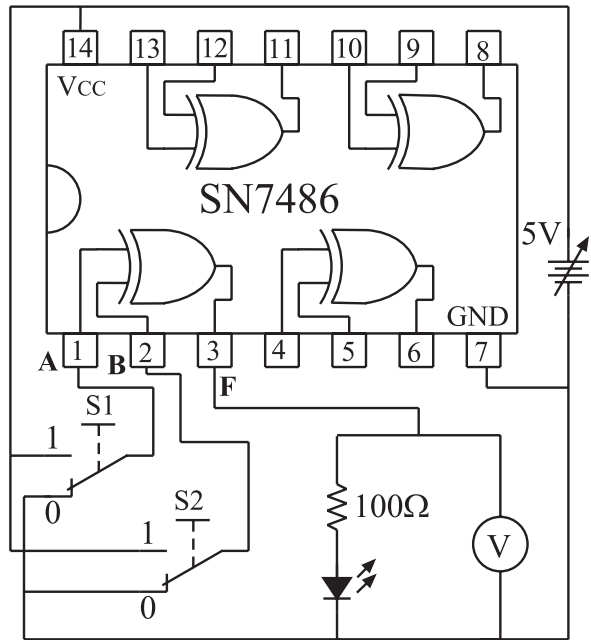
ب -

ج -

د -

ه -

و -



شکل ۴۵-۹ مدار مربوط به دروازه منطقی XOR

- منبع تغذیه را روی ۵ ولت تنظیم کنید و سپس آن را به پایه VCC آی سی (IC۷۴۸۶) اتصال دهید .
- اگر منبع تغذیه موجود در آزمایشگاه دارای تغذیه ثابت ۵ ولت است از آن برای تغذیه IC استفاده کنید .
- با استفاده از کلیدهای S1 و S2 ، به ورودی یکی از دروازه های منطقی XOR مطابق جدول ۲۰-۹ صفر و یک منطقی را اعمال کنید .
- وضعیت خروجی را در حالات مختلف مشاهده کنید و نتایج را در جدول ۲۰-۹ بنویسید .

جدول ۲۰-۹

A	B	وضعیت نور LED	مقدار ولتاژی که ولت متر نشان می دهد	$F = A \oplus B$
۰	۰			
۰	۱			
۱	۰			
۱	۱			



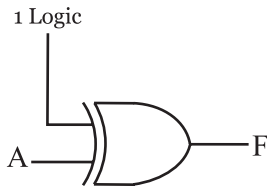
آزمون پایانی فصل (۹-۱) دروازه‌های منطقی

- الف) همه ورودی‌های آن صفر باشند .
 ب) حداقل یکی از ورودی‌های آن صفر باشد.
 ج) همه ورودی‌های آن یک باشند.
 د) حداقل یکی از ورودی‌های آن یک باشد.
 ۶- خروجی دروازه منطقی NOR، در کدام حالت در وضعیت یک منطقی قرار می‌گیرد؟

- الف) حداقل یکی از ورودی‌های آن یک باشند.
 ب) حداقل یکی از ورودی‌های آن صفر باشد.
 ج) همه ورودی‌های آن یک باشد.
 د) همه ورودی‌های آن صفر باشد.
 ۷- در کدام حالت خروجی دروازه منطقی XOR برابر با یک می‌شود؟

- الف) دو ورودی آن در یک سطح منطقی نباشد .
 ب) دو ورودی آن در یک سطح منطقی باشد.
 ج) همه ورودی‌های آن یک باشد .
 د) همه ورودی‌های آن صفر باشد .
 ۸- در شکل ۹-۴۶ رابطه منطقی F کدام است؟

- الف) ۱ (ب) \bar{A}
 ج) A (د) \bar{A}



شکل ۹-۴۶

- ۹- سطح ولتاژ یک منطقی در خروجی دروازه‌های منطقی بیش‌تر در کدام محدوده قرار نمی‌گیرد؟
 الف) ۴ تا ۵ ولت (ب) ۳ تا ۴ ولت
 ج) ۲ تا ۳ ولت (د) ۱ تا ۲ ولت

- ۱- در یک دروازه منطقی اگر همه ورودی‌ها یک باشند خروجی آن دروازه منطقی نیز برابر با یک منطقی می‌شود این دروازه منطقی کدام است؟

- الف) AND (ب) OR
 ج) NOT (د) مورد الف و ب

- ۲- خروجی یک دروازه منطقی OR که دارای دو ورودی A و B است در کدام حالت برابر با صفر منطقی است؟

- الف) حداقل یکی از ورودی‌های آن برابر یک باشد.
 ب) همه ورودی‌های آن برابر یک باشند.
 ج) همه ورودی‌های آن صفر باشند.
 د) حداقل یکی از ورودی‌های آن صفر باشد.

- ۳- در رابطه منطقی $F=A+B$ ، در کدام حالت $F=0$ می‌شود؟

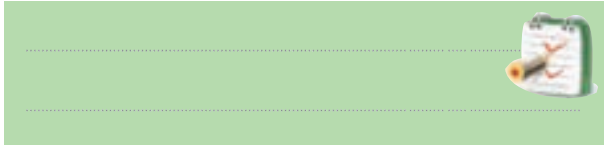
- الف) $A=0, B=1$
 ب) $A=1, B=0$
 ج) $A=1, B=1$
 د) $A=0, B=0$

- ۴- در رابطه منطقی $F=AB$ ، در کدام حالت $F=1$ می‌شود؟

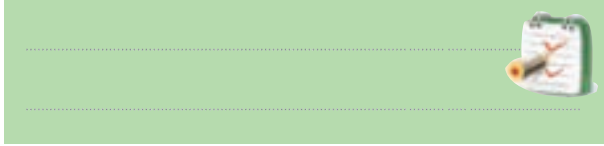
- الف) $A=1, B=0$
 ب) $A=0, B=0$
 ج) $A=0, B=1$
 د) $A=1, B=1$

- ۵- خروجی دروازه منطقی NAND هنگامی در وضعیت یک منطقی قرار می‌گیرد که:

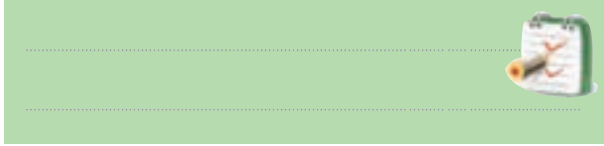
۱۷- نماد و مدار کلیدی دروازه منطقی NOT را رسم کنید.



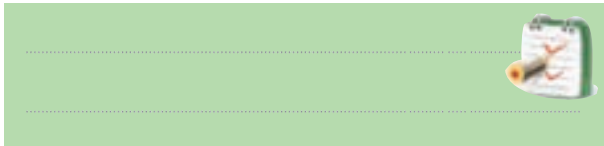
۱۸- رابطه منطقی که نشان می‌دهد دو متغیر A و B با یکدیگر NAND شده‌اند را بنویسید.



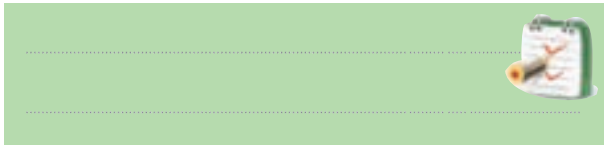
۱۹- فرق دروازه‌های منطقی معمولی با دروازه‌های منطقی کلکتور باز (Open Collector) را شرح دهید.



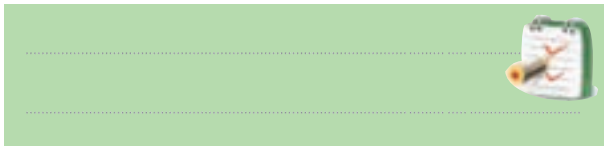
۲۰- موارد کاربرد دروازه‌های منطقی کلکتور باز را نام ببرید.



۲۱- آی سی های سری TTL در کدام محدوده ولتاژ کاری می‌کنند؟

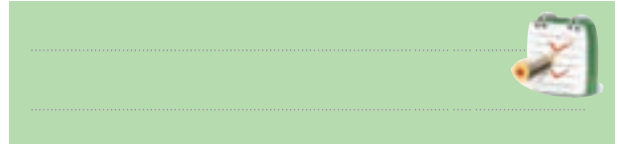


۲۲- آی سی های سری TTL و CMOS هر کدام با چه پیش شماره ای شروع می‌شود؟



۲۳- تابع منطقی OR انحصاری به صورت $F = \overline{A}B + A\overline{B}$ است. صحیح غلط

۱۰- هنگام کار با IC های دروازه های منطقی با تکنولوژی CMOS چه نکاتی را باید مورد توجه قرار داد؟

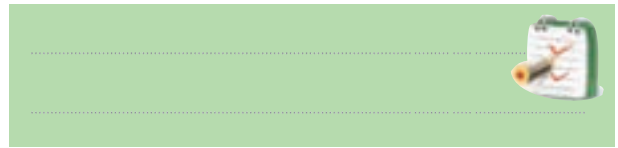


۱۱- محدود تغذیه IC های با تکنولوژی CMOS کدام گزینه است؟

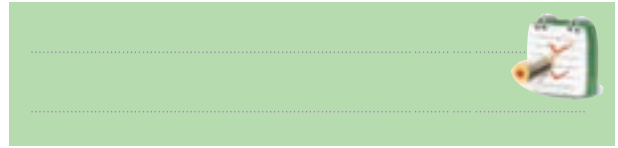
الف) ۱۵V - ۳ (ب) ۲۵V - ۵/۷۵V - ۴

ج) ۱۰V - ۵ (د) ۱۵V - ۵

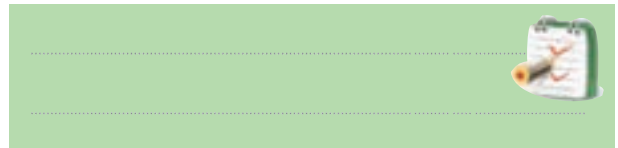
۱۲- فرق سیستم دیجیتال و آنالوگ را با ذکر مثال توضیح دهید.



۱۳- فرق صفر و یک منطقی با صفر و یک جبری را شرح دهید.



۱۴- نماد دروازه های منطقی پایه را همراه با جدول صحت آنها رسم کنید.



۱۵- دروازه های منطقی NAND و NOR از کدام دروازه های منطقی پایه تشکیل شده‌اند؟ با رسم شکل نشان دهید.



۱۶- فرق دروازه منطقی OR با OR انحصاری را شرح دهید.

قسمت دوم

۵- اگر هر دو کلید A و B بسته یعنی $A=1$ و $B=1$ باشد دیود نوردهنده روشن شود

به جای مطرح کردن بندهای دو تا پنج می توانیم صورت مسئله را به صورت جدول ۹-۲۱ بیان کنیم

جدول ۹-۲۱

وضعیت کلید A	وضعیت کلید B	وضعیت نور دیود LED
باز	باز	روشن
باز	بسته	روشن
بسته	باز	خاموش
بسته	بسته	روشن

اگر روشن بودن دیود نوردهنده را یک منطقی و خاموش بودن آن را صفر منطقی در نظر بگیریم و باز بودن کلید را صفر منطقی و بسته بودن آن را یک منطقی بنامیم جدول ۹-۲۱ به صورت جدول ۹-۲۲ در می آید.

جدول ۹-۲۲

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

جدول صحت مسئله فوق را می توان به صورت یک عبارت جبری در آورد. عبارت جبری را برای حالاتی از ورودی ها می نویسند که خروجی سیستم برابر یک می شود،

جدول ۹-۲۳

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

جدول ۹-۲۳

$$\leftarrow \overline{A}\overline{B}=1$$

$$\leftarrow \overline{A}B=1$$

$$\leftarrow AB=1$$

$$F = \overline{A}\overline{B} + \overline{A}B + AB$$

جمله سوم جمله دوم جمله اول خروجی مدار مورد نظر

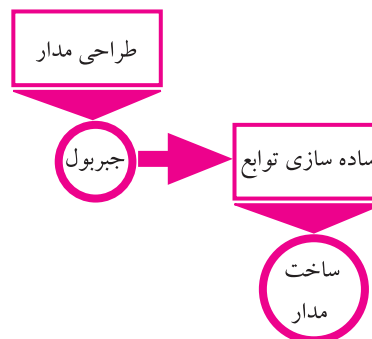
این عبارت خروجی را تابع بول و قوانین حاکم بر آن را جبر بول می نامند.

قبل از شروع قسمت دوم فصل ۹ به سوالات پیش آزمون ۹-۲ پاسخ دهید.

۹-۸ جبر بول و ساده سازی توابع

۹-۸-۱ ساده سازی توابع بول با استفاده از جبر بول:

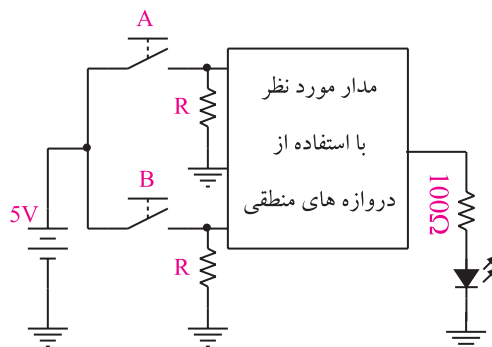
به کمک دروازه های منطقی می توانیم مدارهایی طراحی کنیم که بتوانند یک کار خاص را انجام دهند، شکل ۹-۴۷.



شکل ۹-۴۷ کاربرد جبر بول

فرض کنید می خواهیم با استفاده از دروازه های منطقی مداری طرح کنیم که دارای مشخصات زیر باشد:

۱- دو کلید در ورودی و یک خروجی متصل به یک دیود نوردهنده (LED) داشته باشد، شکل ۹-۴۸.



شکل ۹-۴۸ طرح مدار منطقی و نحوه ارتباط ورودی ها و خروجی آن

۲- اگر هر دو کلید A و B باز یعنی $A=0$ و $B=0$ باشد دیود نوردهنده روشن شود.

۳- اگر کلید A باز و کلید B بسته یعنی $A=0$ و $B=1$ باشد دیود نوردهنده روشن شود.

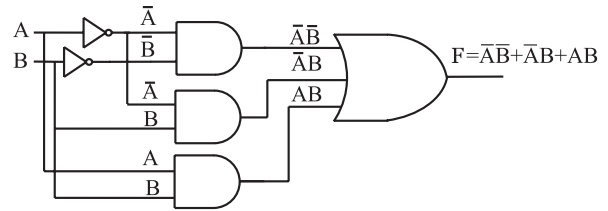
۴- اگر کلید A بسته و کلید B باز یعنی $A=1$ و $B=0$ باشد دیود نوردهنده خاموش شود.

جدول ۹-۲۵

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

$\bar{A}\bar{B}=1$
 $AB=1$
 $F = \bar{A}\bar{B} + AB$
 یا

مدار شکل ۹-۴۹ مدارى است که از گیت‌های AND و OR و NOT تشکیل شده است و خروجی آن همان تابع مورد نظر است.



شکل ۹-۴۹ مدار منطقی مربوط به تابع $F = \bar{A}\bar{B} + \bar{A}B + AB$

به سادگی می‌توانیم با استفاده از یک جدول صحت مشخص، رابطه منطقی یا بولی آن جدول را استخراج کنیم.

مثال ۱: رابطه منطقی جدول صحت ۹-۲۴ با توجه به خروجی‌های $F=1$ را بنویسید.

حل:

$$F = \bar{A}\bar{B} + A\bar{B}$$

جدول ۹-۲۴

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

$\bar{A}B=1$
 $A\bar{B}=1$
 $F = \bar{A}B + A\bar{B}$
 یا



مفهوم رابطه منطقی $F = \bar{A}\bar{B} + AB$ این است که هنگامی $F=1$ خروجی سیستم است (است که $\bar{A}\bar{B}=1$ یا $AB=1$ باشد در غیر این صورت $F=0$ است و $\bar{A}\bar{B}$ هنگامی مساوی یک می‌شود که $A=0$ و $B=0$ باشد و همچنین AB هنگامی مساوی یک می‌شود که $A=1$ و $B=1$ شود، شکل ۹-۵۰.

همچنین در صورتی که یک رابطه منطقی یا بولی داشته باشیم، می‌توانیم جدول صحت مربوط به آن رابطه را رسم کنیم.

مثال ۲: جدول صحت رابطه منطقی $F = \bar{A}\bar{B} + AB$ را

بنویسید.

با توجه به رابطه منطقی F جدول صحت تابع به صورت جدول ۹-۲۵ است.

برای نوشتن یک رابطه منطقی، ابتدا سعی می کنیم تا حد ممکن تابع را ساده کنیم (البته ممکن است تابع ساده نشود) سپس اقدام به طراحی آن می کنیم تا هنگام طراحی و ساخت از دروازه های منطقی کمتری استفاده شود. در حقیقت تابع ساده شده با تابع ساده نشده از نظر منطقی معادل است.

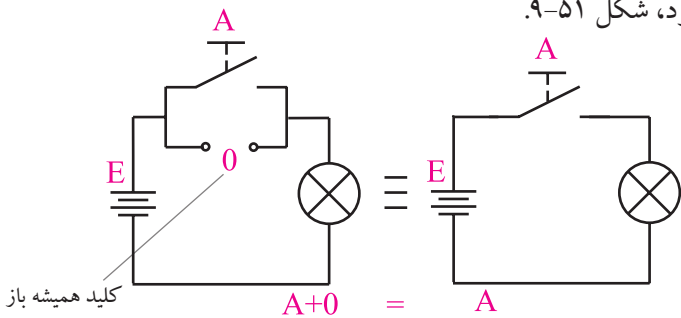
۲-۸-۹ قوانین جبر بول

به کمک پاره ای از قوانین حاکم بر جبر بول می توانیم توابع را ساده کنیم.

در ذیل این قوانین مورد بررسی قرار می گیرند:

قانون ۱ $A+0=A$

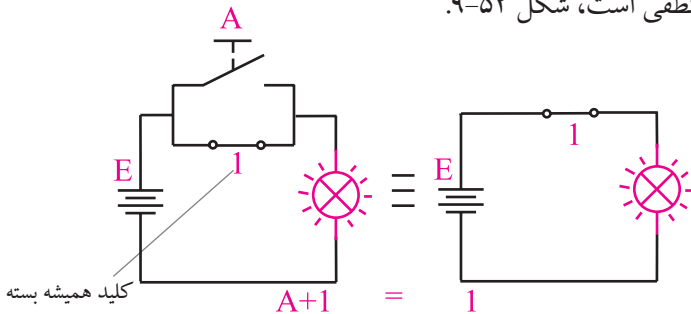
هر تابعی اگر با صفر OR شود، حاصل همان تابع خواهد بود، شکل ۹-۵۱.



شکل ۹-۵۱ مدار کلیدی $A=A+0$

قانون ۲ $A+1=1$

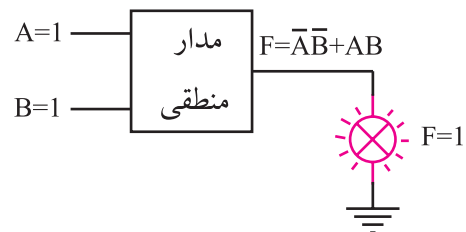
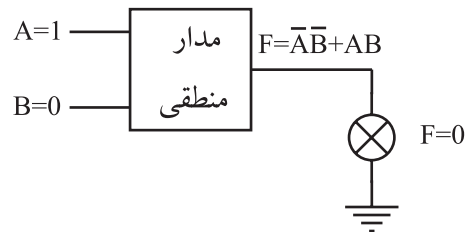
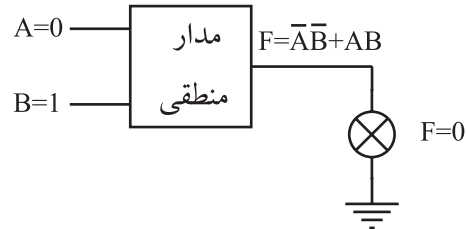
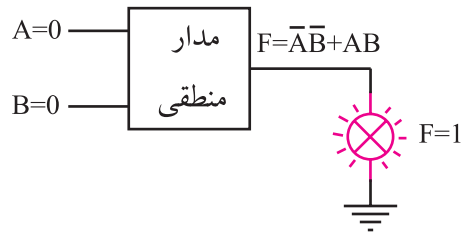
هر تابعی اگر با یک OR شود، حاصل همان یک منطقی است، شکل ۹-۵۲.



شکل ۹-۵۲ مدار کلیدی $A+1=1$

قانون ۳ $A+A=A$

هر تابعی با خودش OR شود، حاصل همان تابع خواهد بود، شکل ۹-۵۳.



لامپ در حالت روشن

شکل ۹-۵۰ - خروجی تابع $F = \bar{A}\bar{B} + AB$ هنگامی یک است که $A=B=1$ یا $A=B=0$ باشد.

تمرین کلاسی

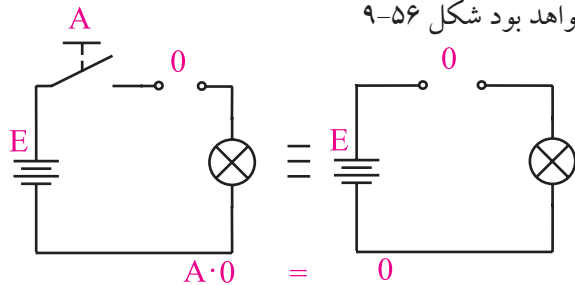


جدول صحت مربوط به رابطه منطقی $F = \bar{A}\bar{B} + A\bar{B} + AB$ را رسم کنید.

$$A \cdot 0 = 0$$

قانون ۶

هر تابعی با صفر منطقی AND شود، حاصل صفر خواهد بود شکل ۹-۵۶



شکل ۹-۵۶ مدار کلیدی $A \cdot 0 = 0$

$$AA = A$$

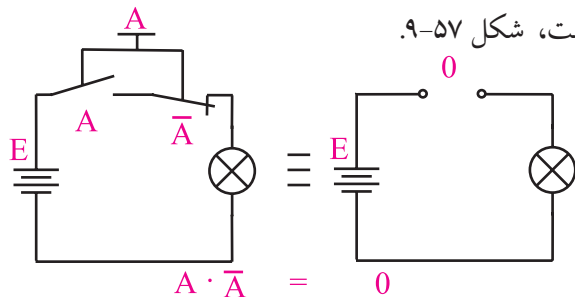
قانون ۷

هر تابعی با خودش AND شود، حاصل همان تابع خواهد بود

$$A\bar{A} = 0$$

قانون ۸

هر تابعی با NOT خود AND شود، حاصل صفر است، شکل ۹-۵۷



شکل ۹-۵۷ مدار کلیدی $A \cdot \bar{A} = 0$

قوانین دیگری نیز وجود دارند که مشابه قوانین ریاضی هستند و به طور خلاصه عبارتند از:

$$A(B+C) = AB+AC$$

قانون ۹

توزیع پذیری معادل فاکتورگیری در ریاضی

$$AB+C = (A+C)(B+C)$$

قانون ۱۰

توزیع پذیری قضایای

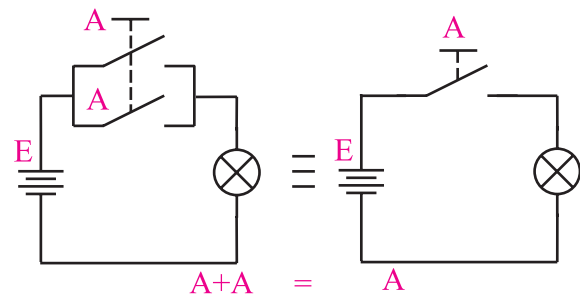
$$\overline{A+B} = \bar{A} \cdot \bar{B}$$

قانون ۱۱

$$\overline{A\bar{B}} = \bar{A} + B$$

قانون ۱۲

دمورگان

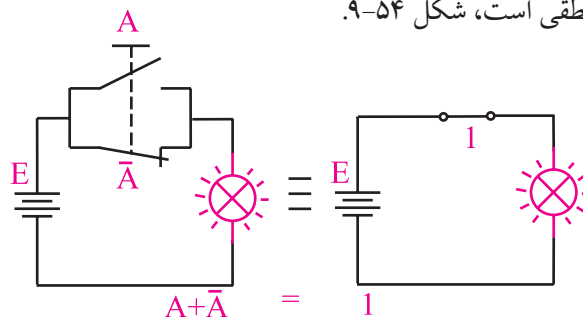


شکل ۹-۵۳ مدار کلیدی $A+A=A$

$$A+\bar{A}=1$$

قانون ۴

چنان چه تابعی با NOT خود OR شود، حاصل یک منطقی است، شکل ۹-۵۴

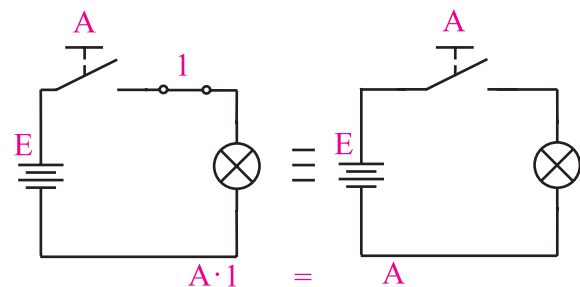


شکل ۹-۵۴ مدار کلیدی $A+\bar{A}=1$

$$A \cdot 1 = A$$

قانون ۵

هر تابعی با یک AND شود، حاصل همان تابع خواهد بود، شکل ۹-۵۵



شکل ۹-۵۵ مدار کلیدی $A \cdot 1 = A$

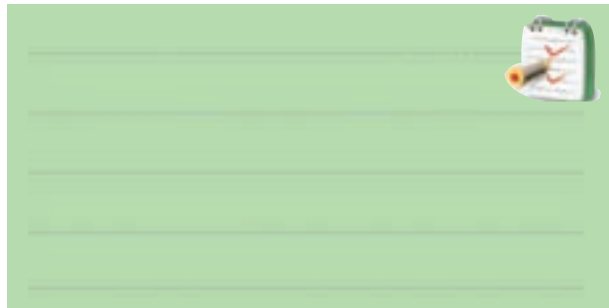
اساس ساده سازی توابع جبر بول، فاکتورگیری و حذف متغیر هاست.

تمرین کلاسی ۳



تابع خروجی مربوط به جدول ۹-۲۶ را بنویسید و آن را ساده نمایید .

A	B	F
۰	۰	۱
۰	۱	۰
۱	۰	۱
۱	۱	۱



مثال ۳: تابع $F = \bar{A}\bar{B} + \bar{A}B$ را ساده کنید.

ابتدا از \bar{A} که در هر دو جمله مشترک است فاکتور

$$F = \bar{A}(\bar{B} + B)$$

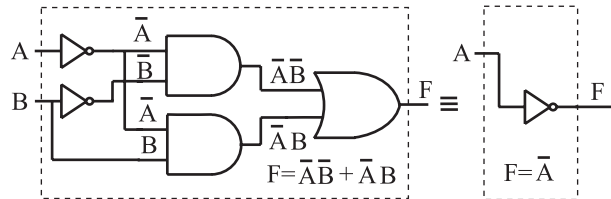
می گیریم .

$$B + \bar{B} = 1$$

$$F = \bar{A}.1 = \bar{A}$$

در شکل ۹-۵۸ تابع ساده نشده و ساده شده رسم

شده اند.



الف - مدار ساده نشده

ب - مدار ساده شده

شکل ۹-۵۸ مدار الف وب از نظر منطقی معادل یکدیگرند

علامت \equiv به معنی هم ارز بودن دو مدار از نظر منطقی

است .

شرح حال دانشمندان

جورج بول ۱۸۶۴-۱۸۱۵م

جورج بول از پدری کفاش و مادری خدمتکار در انگلستان به دنیا آمد. به منظور حمایت از خانواده و به دلیل مشکلات مالی، خیلی زود تحصیلات ابتدایی را ترک کرد. در سال های جوانی از طریق معلمی امرار معاش می کرد و در سال ۱۸۳۴ مدرسه ای را بنیان گذاشت. به تنهایی مطالعات ریاضیات پیشرفته را دنبال کرد و به واسطه ی انتشار مقالاتی در این زمینه به شهرت جهانی دست یافت. اولین مدال طلای ریاضیات را از انجمن سلطنتی لندن در سال ۱۸۴۴ دریافت کرد و به عنوان اولین پرفسور ریاضیات در کالج کوئین منصوب شد. او همچنین لقب **پدر منطق نمادین** و **بنیانگذار ریاضیات محض** را از آن خود ساخت.

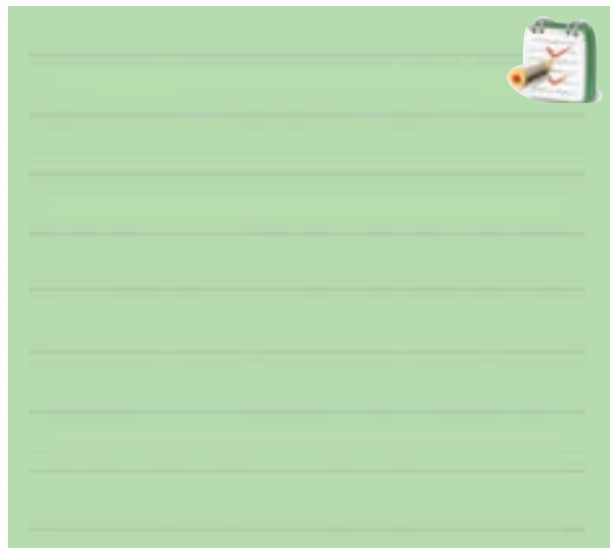
برای کسب اطلاعات بیش تر در مورد زندگی نامه و فعالیت های این دانشمند، می توانید از طریق درج نام وی در یکی از موتورهای جستجو مانند Yahoo یا google اقدام کنید .

تمرین کلاسی ۲



تابع $F = AB + \bar{A}B + \bar{A}\bar{B}$ را به کمک روابط جبر بول

ساده کنید .



عبارتی مربوط به \bar{A} هستند و نیز سلول های مربوط به متغیر \bar{B} مشخص شده است.

	\bar{A}	A
\bar{B}		
B		

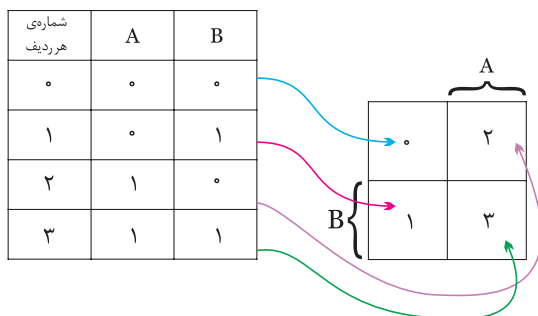
شکل ۹-۶۰ سلول های مربوط به متغیرهای A و B

در شکل ۹-۶۱ تابع منطقی مربوط به هر سطر جدول صحت در سلول مربوط به آن سطر نوشته شده است. توجه داشته باشید که ردیف بالا به A و \bar{A} و ستون سمت چپ به B و \bar{B} اختصاص دارد.

	\bar{A}	A
\bar{B}	$\bar{A}\bar{B}$	$A\bar{B}$
B	$\bar{A}B$	AB

شکل ۹-۶۱ جدول کارنوی دو متغیره

می توان جای هر ردیف از جدول صحت را در نقشه کارنو به صورت شکل ۹-۶۲ نیز نمایش داد.



شکل ۹-۶۲ فرم تغییر یافته جدول صحت

۳-۸-۹ ساده سازی توابع با استفاده از جدول کارنو

جدول کارنو شکل تغییر یافته ی جدول صحت است که به وسیله آن می توان ساده ترین حالت توابع منطقی را به دست آورد.

جدول کارنو دو متغیره

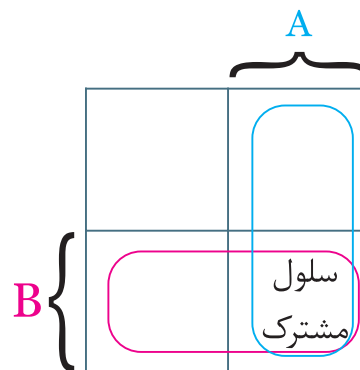
با داشتن دو متغیر در جدول صحت $2^2=4$ حالت خواهیم داشت برای دو متغیر A و B جدول صحت به صورت جدول ۹-۲۷ در می آید.

جدول ۹-۲۷

تابع منطقی هر سطر	A	B	عدد معادل دسی مال هر سطر
$\bar{A}\bar{B}$	۰	۰	۰
$\bar{A}B$	۰	۱	۱
$A\bar{B}$	۱	۰	۲
AB	۱	۱	۳

در جدول کارنو چهار سلول وجود دارد. از این چهار سلول تعداد دو سلول به متغیر A و تعداد دو سلول به متغیر B اختصاص داده شده است.

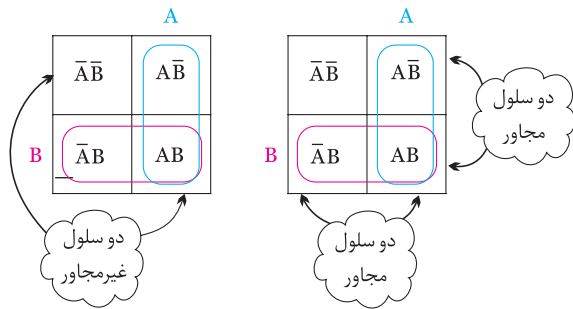
لذا جدول کارنوی دو متغیره مانند شکل ۹-۵۹ است.



شکل ۹-۵۹ جدول کارنوی دو متغیره

همان طور که مشاهده می شود متغیرهای A و B در یک سلول مشترک هستند.

در شکل ۹-۶۰ سلول هایی که به متغیر A تعلق ندارند به



الف : سلول مجاور ب : سلول غیر مجاور

شکل ۹-۶۵ سلول های مجاور و غیرمجاور

همان طور که مشاهده می شود سلول های کناره هم (غیر قطری) مجاور هستند و سلول های واقع در قطر مجاور نیستند.

• نمایش تابع در جدول کارنو

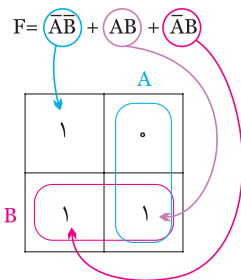
یکی از کاربردهای جدول کارنو ساده سازی توابع جبر بول می باشد. برای این منظور ابتدا تابع جبر بول را در جدول کارنو نمایش می دهیم و سپس آن تابع را ساده می کنیم.

مثال ۴ : $F = \bar{A}\bar{B} + AB + \bar{A}B$ را در جدول کارنو نمایش

دهید .

حل : تابع دارای دو متغیر A و B است لذا نمایش هر

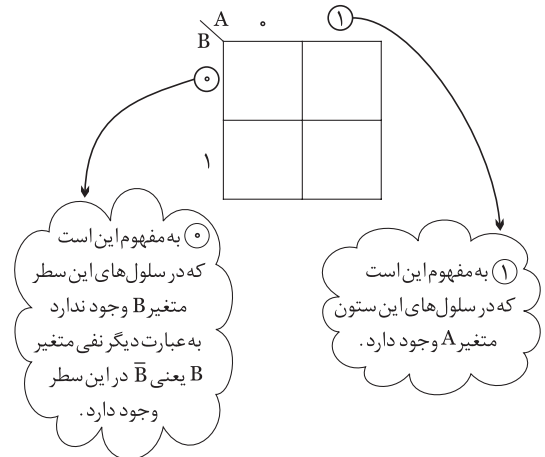
عبارت از تابع در جدول کارنو به صورت شکل ۹-۶۶ در می آید .



شکل ۹-۶۶ نمایش تابع جبر بول در جدول کارنو

با استفاده از جدول کارنو می توانیم عبارت های مربوط به خانه هایی که در آن ها عدد یک قرار داد را بنویسیم مجموع این عبارت ها تابع مورد نظر است.

با توجه به شکل ۹-۶۲ می توان فرم دیگری را برای نمایش جای سلول های متعلق به متغیرهای A و B در جدول کارنو انتخاب نمود، شکل ۹-۶۳.



شکل ۹-۶۳ نمایش جای سلول های متعلق به متغیرهای A و B

عدد مربوط به هر سلول و تابع منطقی آن را می توان مانند

شکل ۹-۶۴ نمایش داد.

	A	0	1
B	0	$\bar{A}\bar{B}$	$A\bar{B}$
1	$\bar{A}B$	AB	AB

شکل ۹-۶۴ نمایش عدد مربوط به هر سلول در جدول کارنو

• سلول های مجاور

سلول هایی رامجاور گویند که وقتی تابع مربوط به آن سلول ها نوشته شوند، فقط در یکی از متغیرها (مانند AB و AC) یا یکی از حالت های متغیر (مانند AB، $\bar{A}B$) با هم تفاوت داشته باشند و سایر قسمت ها مشابه باشند. در شکل ۹-۶۵ الف دو سلول مجاور و در شکل ۹-۶۵ ب دو سلول غیرمجاور نشان داده شده است .

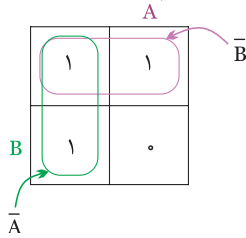
تمرین کلاسی ۴:



تابع $F = AB + \bar{A}B + \bar{A}\bar{B}$ را در جدول کارنو نمایش دهید



مرحله سوم: نوشتن ساده ترین فرم تابع برای این منظور برای هر دو سلول مجاور از یک متغیر (حرف) استفاده می کنیم، شکل ۶۹-۹.

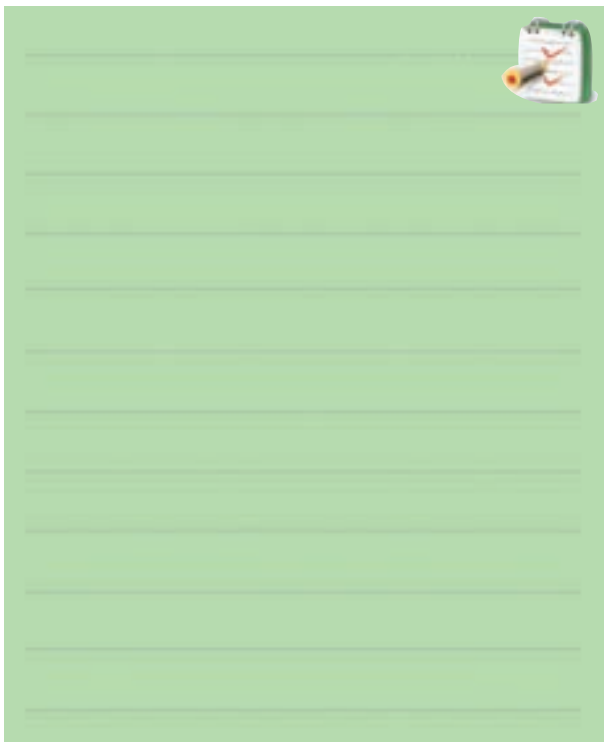


شکل ۶۹-۹ $F = \bar{A} + \bar{B}$

تمرین کلاسی ۵:



تابع $F = AB + A\bar{B} + \bar{A}\bar{B}$ را با استفاده از جدول کارنو ساده کنید.



• ساده نمودن تابع توسط جدول کارنو

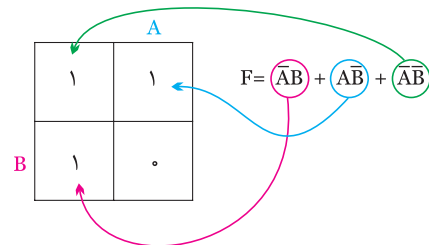
پس از نمایش تابع در جدول کارنو، ابتدا سلول های مجاور را پیدا می کنیم، سپس برای هر دو سلول مجاور از یک متغیر (حرف) و برای هر سلول غیر مجاور از دو متغیر (دو حرف) استفاده می کنیم.

مثال ۵: تابع F را توسط جدول کارنو ساده کنید.

$$F = \bar{A}\bar{B} + A\bar{B} + \bar{A}B$$

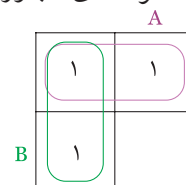
حل:

مرحله اول: نمایش تابع در جدول کارنو، شکل ۶۷-۹.



شکل ۶۷-۹

مرحله دوم: انتخاب سلول های مجاور، شکل ۶۸-۹.



شکل ۶۸-۹

توجه داشته باشید که جدول کارنو شیوه جدید ساده سازی را ارائه نمی دهد بلکه فقط جملاتی را که می توان از آن ها فاکتور گرفت برای ما مرتب می کند.



شرح حال دانشمندان

موريس كارنو

متولد ۱۴ اکتبر ۱۹۲۴ در شهر نیویورک، فیزیکدان آمریکایی که نقشه کارنوی او در جبر بول مشهور است. او مطالعات خود را با فیزیک و ریاضیات در کالج شهر نیویورک آغاز کرد. پس از رفتن به دانشگاه ییل در سال ۱۹۲۴، موفق به کسب درجه دکترا در رشته فیزیک در سال ۱۹۵۲ شد.

کارنو در آزمایشگاه های بل، جدول کارنو، کدگذاری PCM و نیز کدگذاری مدارهای مغناطیسی را گسترش داد. کارنو در سال ۱۹۷۶ به عنوان رئیس انجمن IEEE (انجمن بین المللی استانداردهای مهندسی الکترونیک) انتخاب شد. برای کسب اطلاعات بیش تر در مورد زندگی نامه و فعالیت های این دانشمند می توانید از طریق درج نام وی در یکی از موتورهای جستجو مانند Yahoo یا google اقدام کنید .

جدول کارنو برای توابع سه متغیره باید دارای ۸ خانه باشد به عبارت دیگر سه متغیر می توانند هشت حالت مختلف به خود بگیرند ($2^3=8$)، جدول ۹-۲۸ جدول کارنو را برای سه متغیر (A,B,C) نشان می دهد اگر به جدول کارنو خوب دقت کنید مشاهده می کنید که از هر خانه به خانه مجاور در جهت افقی یا عمودی فقط یکی از متغیرهای جمله ها تغییر می کند .

جدول ۹-۲۸

AB \ C	0	0	1	1	1	0
0	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$A\bar{B}\bar{C}$	$A\bar{B}C$	$A\bar{B}C$	$A\bar{B}\bar{C}$
1	$\bar{A}B\bar{C}$	$\bar{A}BC$	ABC	ABC	ABC	$A\bar{B}\bar{C}$

می توانیم توابع با ۳ متغیر، ۴ متغیر و ... را نیز توسط جدول کارنو ساده نمایم. ساده سازی این جداول از بحث ما خارج است .

انگیزه و تفکر

یاد گیری بدون انگیزه و تفکر مانع کشف و بروز استعداد خلاقیت و نوآوری در فراگیران می شود.

۶- تابع ساده شده مربوط به جدول کارنوی ۲۹-۹ را

بنویسید.

جدول ۲۹-۹

A		
B	۱	۱
	۱	

F =

۷- تابع ساده شده مربوط به جدول کارنوی ۳۰-۹ را بنویسید.

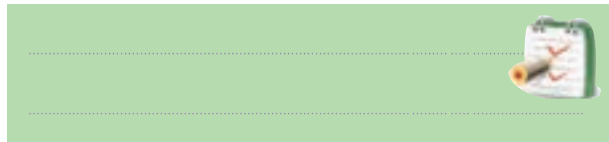
جدول ۳۰-۹

A		
B	۰	۱
	۱	۱

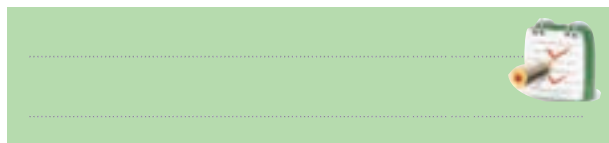
F =

۸- جدول صحت مربوط به رابطه منطقی $F = \bar{A}B + A\bar{B}$

را بنویسید.



۹- مدار منطقی مربوط به تابع $F = \bar{A}B + A\bar{B}$ را به کمک گیت های AND، OR و NOT رسم کنید.



۱۰- جدول کارنو برای توابع سه متغیره دارای ۸ خانه است. صحیح غلط

۱۱- چنان چه تابعی با NOT خود OR شود، حاصل (صفر یک) منطقی خواهد بود.

آزمون پایانی ۲-۹ جبر بول و جدول کارنو

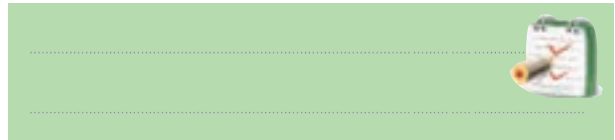


۱- توابع زیر را به کمک روابط جبر بول ساده کنید.

$$F = \bar{A}\bar{B} + A\bar{B} + AB$$

$$F = ABC\bar{C} + ABC + A\bar{B}\bar{C} + A\bar{B}C + A\bar{B}$$

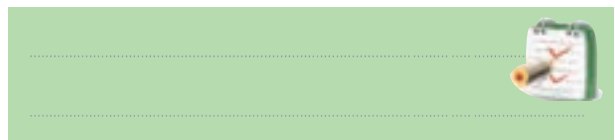
$$F = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC + A\bar{B}C + \bar{A}C$$



۲- توابع زیر را به کمک جدول کارنو ساده کنید.

$$F = \bar{A}\bar{B} + \bar{A}B$$

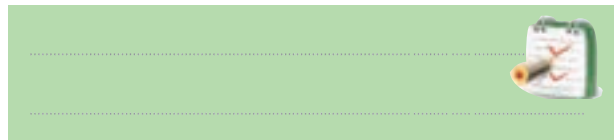
$$F = AB + \bar{A}\bar{B}$$



۳- جدول کارنوی مربوط به رابطه منطقی

$$F = \bar{A}B + A\bar{B} + AB$$

و در نهایت تابع را ساده کنید.



۴- ساده شده تابع $\bar{A}\bar{B} + AB + \bar{A}B$ کدام است؟

الف: $A + \bar{B}$

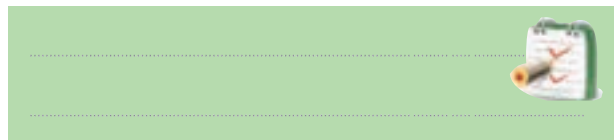
ب: $\bar{A} + B$

ج: $A + B$

د: $\bar{A} + \bar{B}$

۵- تابع زیر را به کمک جدول کارنو ساده کنید؟

$$F = \bar{A}\bar{B} + A\bar{B} + \bar{A}B$$



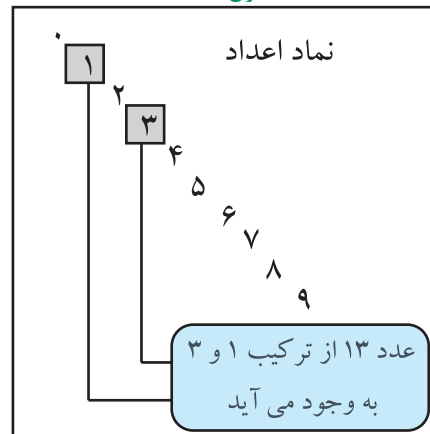
قبل از شروع قسمت سوم فصل (۹) به سوالات پیش آزمون ۳-۹ پاسخ دهید.

قسمت سوم

۹-۹ سیستم های اعداد

۱-۹-۹ اعداد باینری : اعدادی که ما روزانه با آن ها سروکار داریم از ده عدد نماد ۰، ۱، ۲، ۳، ۴، ۵، ۶، ۷، ۸، ۹ تشکیل شده اند. برای شمارش از صفر تا نه از این نمادها به طور مستقیم استفاده می کنیم. برای اعداد بزرگ تر از نه نمادهای اعداد را با قواعد خاصی با هم ترکیب می کنیم مثلاً برای عدد ۱۳ از نماد ۱ و ۳ به صورت ۱۳ استفاده می کنیم.

جدول ۹-۳۱



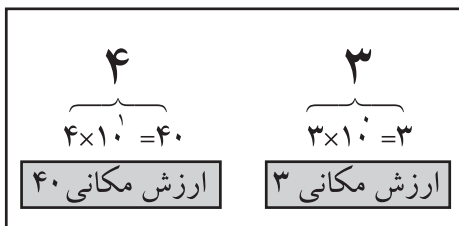
نوشتن اعداد با تعداد نمادهای کم تر یا بیش تر از ده نیز به شرط این که تعداد نمادها دو و بیشتر از دو باشد امکان پذیر است. بنابراین با دو عدد نماد ۰ و ۱ نیز می توان اعداد را نوشت. به این سیستم اعداد که در آن از دو نماد استفاده شده است سیستم دودویی یا باینری می گویند. در این سیستم برای نمایش عدد صفر از نماد ۰ و برای نمایش ۱ از نماد ۱ و برای نمایش اعداد بزرگ تر از یک از ترکیب ۰ و ۱ طبق قواعد خاصی استفاده می کنیم. به عنوان مثال اعداد از صفر تا هشت به صورت جدول ۹-۳۲ نوشته می شوند.

جدول ۹-۳۲

0	صفر
1	یک
10	دو
11	سه
100	چهار
101	پنج
110	شش
111	هفت
1000	هشت

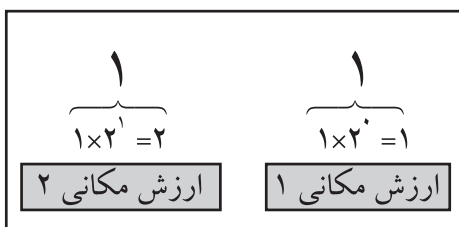
صفرها و یک ها همانند اعداد اعشاری، دارای ارزش مکانی هستند، مثلاً در سیستم اعشاری یا دهدهی که عدد ۴۳ نمایش داده شده است، چون ۳ در مکان اول قرار دارد دارای ارزش مکانی $3 \times 10^0 = 3$ و عدد ۴ که در مکان دوم قرار دارد دارای ارزش مکانی $4 \times 10^1 = 40$ است، جدول ۹-۳۳.

جدول ۹-۳۳



در مورد اعداد باینری نیز رقم اول (از سمت راست به چپ) دارای ارزش $1 \times 10^0 = 1$ و رقم دوم دارای ارزش مکانی $2 \times 10^1 = 2$ و رقم سوم اگر یک باشد دارای ارزش مکانی $4 \times 10^2 = 4$ است، جدول ۹-۳۴.

جدول ۹-۳۴



تمرین کلاسی ۶:

عدد ۸۷ را به عدد باینری تبدیل کنید.



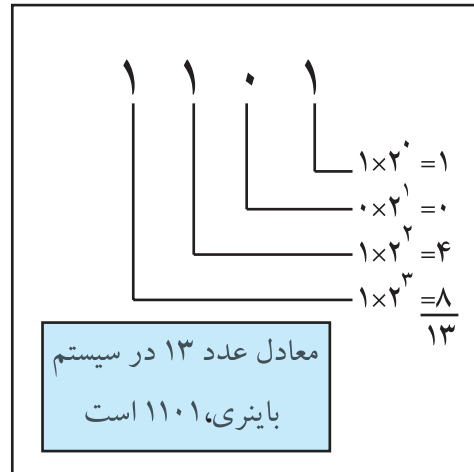
مثال ۶: عدد باینری (۱۱۰۱) معادل چه عددی در

سیستم اعشاری است؟

حل: مطابق جدول ۳۵-۹ ارزش مکانی هر رقم را

مشخص می کنیم .

جدول ۳۵-۹



سیستم های اعداد که در کامپیوتر یا ماشین های محاسب به کار می روند باینری هستند. در اعداد باینری، به هریک از صفرها یا یک ها یک بیت (Bit) می گویند .

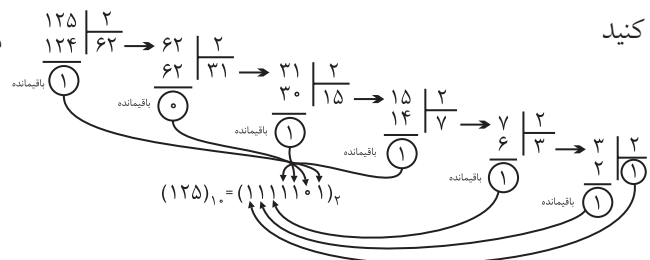
عدد ۱۰۱ یک عدد سه بیتی است

۲-۹-۹ تبدیل اعداد اعشاری به اعداد باینری:

یکی از روش های تبدیل اعداد اعشاری به اعداد باینری استفاده از روش تقسیم های متوالی است . در این روش عدد اعشاری را متوالیاً بر دو تقسیم می کنیم و این تقسیمات را آن قدر ادامه می دهیم تا آخرین خارج قسمت یک شود سپس در سمت چپ، آخرین خارج قسمت را می نویسیم و به ترتیب باقی مانده های به دست آمده را در جلوی آن قرار می دهیم .

مثال ۷: عدد اعشاری ۱۲۵ را به عدد باینری تبدیل

کنید



نکته مهم:

در اعداد باینری مثلاً (۱۱۰۱) بیت

اول از سمت راست کم ارزش ترین

بیت است و آخرین بیت در سمت

چپ با ارزش ترین بیت است توجه

داشته باشید که ارزش ارقام دقیقاً

مشابه سیستم اعشاری است .



کم ارزش ترین 1101_2 با ارزش ترین

۳-۹-۹ تبدیل اعداد باینری به اعداد اعشاری

(دهدی):

در اعداد باینری (سیستم دودویی) اعداد به کار رفته

۰ و ۱ هستند . در این سیستم هر عدد متناسب با مکانی که

در آن قرار می گیرد (یا موقعیت رقم) ارزش خاصی پیدا

می کند به عنوان مثال عدد باینری ۱۰۰۱۱، دارای ارزش

مکانی و ضرایب به صورت زیر است:

$$10011_2 = 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0$$

$$(10011)_2 = 16 + 0 + 0 + 2 + 1 = (19)_{10}$$

ویژه‌ی دانش آموزان علاقه‌مند:

۹-۹-۴ سیستم‌های دیگر اعداد

سیستم‌های اعداد اکتال و هگزادسی مال نیز وجود دارند که این جا به طور مختصر به شرح آن می‌پردازیم. در سیستم اکتال مبنای عددنویسی عدد ۸ است و دارای ۸ علامت (۰، ۱، ۲، ۳، ۴، ۵، ۶، ۷) است. سیستم هگزادسی مال نیز مساوی ۱۶ تعریف می‌شود و در آن ۱۶ علامت (A, B, C, D, E, F, ...، ۰، ۱، ۲، ۳) وجود دارد. در این سیستم برای نمایش اعداد بزرگ‌تر از ۹ و کمتر از ۱۶ از علامت‌های (A, B, C, D, E, F) استفاده می‌کنیم. مثلاً عدد ۱۰ را نمی‌توانیم به همین صورت نشان دهیم، چون یک عدد دو رقمی است که هم صفر و هم یک دارد و با صفر و یک اصلی اشتباه می‌شود. به همین دلیل از حروف به شرح زیر استفاده می‌کنیم: $F=15, E=14, D=13, C=12, B=11$ و $A=10$ در جدول ۹-۳۷ سه سیستم اکتال، هگزادسی مال و اعشاری با یکدیگر مقایسه شده‌اند.

جدول ۹-۳۷

اعشاری (۱۰)	اکتال (۸)	هگزادسی مال (۱۶)
۰	۰	۰
۱	۱	۱
۲	۲	۲
۳	۳	۳
۴	۴	۴
۵	۵	۵
۶	۶	۶
۷	۷	۷
۸	۱۰	۸
۹	۱۱	۹
۱۰	۱۲	A
۱۱	۱۳	B
۱۲	۱۴	C
۱۳	۱۵	D
۱۴	۱۶	E
۱۵	۱۷	F

تمرین کلاسی ۷:

عدد باینری (۱۱۰۰۱) را به مبنای اعشاری

تبدیل کنید.



در جدول ۹-۳۶ معادل باینری اعداد اعشاری ۰ تا ۱۵ نشان

داده شد است.

جدول ۹-۳۶

اعشاری	باینری
۰	۰
۱	۱
۲	۱۰
۳	۱۱
۴	۱۰۰
۵	۱۰۱
۶	۱۱۰
۷	۱۱۱
۸	۱۰۰۰
۹	۱۰۰۱
۱۰	۱۰۱۰
۱۱	۱۰۱۱
۱۲	۱۱۰۰
۱۳	۱۱۰۱
۱۴	۱۱۱۰
۱۵	۱۱۱۱

در سیستم اعداد باینری به هر هشت بیت یک بایت

(Byte) می‌گویند. واحد بزرگ تر از بایت، کیلوبایت

معادل ۱۰۲۴ بایت است.

آزمون پایانی (۳-۹) سیستم‌های اعداد



۴- در عدد باینری $(110)_2$ کم ارزش ترین بیت و با ارزش ترین بیت کدام است؟

$(110)_2$

۵- ارزش مکانی و ضرایب اعداد نشان داده شده در عدد

باینری $(110011)_2$ را بنویسید

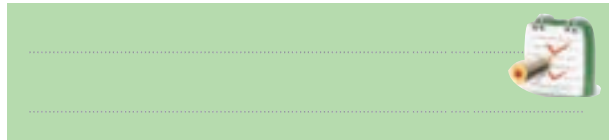
۱ ۱ ۰ ۰ ۱ ۱

۶- در کد BCD هر رقم دهدهی را با (چهار)،

دو) بیت باینری نشان می‌دهند.

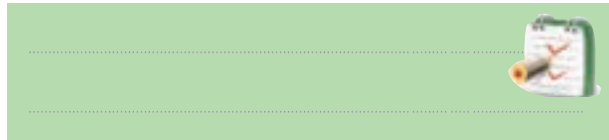
۷- معادل کد BCD اعداد دهدهی $(9)_{10}$ و $(12)_{10}$

را بنویسید.



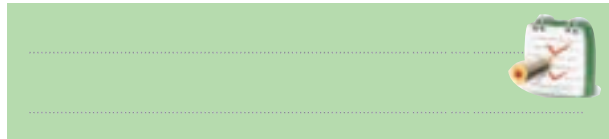
۸- در سیستم اعداد باینری یک کیلو بایت معادل چند

بایت است؟



۹- عدد باینری 110110 را به عدد اعشاری تبدیل

کنید.



۱۰- در سیستم اعداد باینری به هر هشت بیت یک بایت

(Byte) می‌گویند.

غلط

صحیح

۱- معادل باینری اعداد اعشاری ۰ تا ۱۵ را در جدول

۳۹-۹ بنویسید.

جدول ۳۹-۹

اعشاری	باینری
۰	
۱	
۲	
۳	
۴	
۵	
۶	
۷	
۸	
۹	
۱۰	
۱۱	
۱۲	
۱۳	
۱۴	
۱۵	

۲- عدد ۱۶ در مبنای دهدهی معادل چه عددی در مبنای

باینری است؟

$(16)_{10} = (\dots)_{2}$

۳- عدد $(110011)_2$ در مبنای ۲ را به مبنای اعشاری

تبدیل کنید.

$(110011)_2 = (\dots)_{10}$

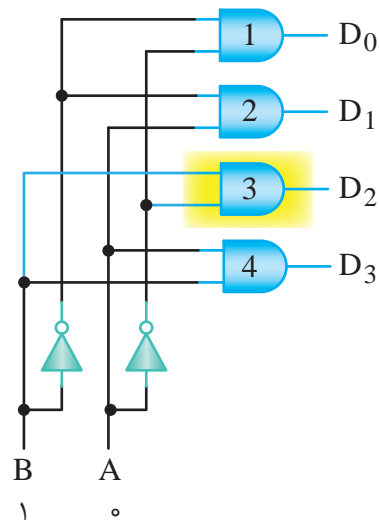
قبل از شروع قسمت چهارم فصل (۹) به سوالات پیش
آزمون ۹-۴ پاسخ دهید.

قسمت چهارم

۹-۱۰ مدارهای ترکیبی (رمزگشا و رمزگذار)

۹-۱۰-۱ مدارهای رمزگشا (Decoder)

برای دریافت اطلاعات از دستگاه‌های محاسباتی دیجیتالی مدارهای مورد نیاز است که اطلاعات را از حالت دودویی به اعشاری تبدیل کند. خروجی این مدارها معمولاً به نمایشگرها متصل می‌شود. این تبدیل‌کننده‌ها را رمزگشا و عملی که انجام می‌دهند را رمزگشایی می‌نامند. در شکل ۹-۷۰ یک رمزگشایی ۲→۴ (بخوانید ۲ به ۴) و در جدول ۹-۴۰ جدول صحت آن نشان داده شده است.



شکل ۹-۷۰ مدار رمزگشای ۲→۴

جدول ۹-۴۰ جدول صحت مدار رمزگشا

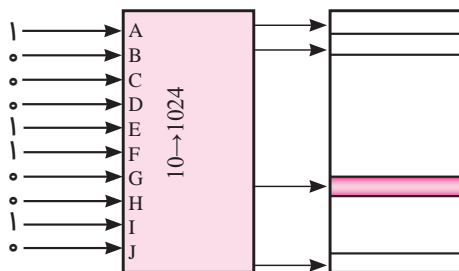
B	A	D ₀	D ₁	D ₂	D ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

ورودی‌های A و B را ورودی‌های آدرس و خروجی‌های D_۰، D_۱، D_۲، D_۳ را خروجی‌های داده می‌نامیم. همان

طور که در شکل دیده می‌شود، خروجی دروازه شماره ۱ فقط به ازای ترکیب ورودی ۰۰=BA فعال می‌شود (۱ می‌شود) یعنی $D_0 = \overline{A}\overline{B}$ به همین ترتیب می‌توانیم

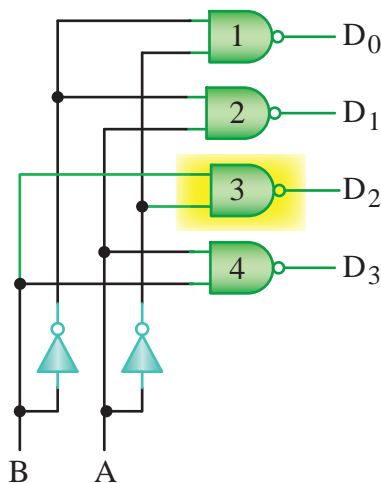
$$D_3 = AB, D_2 = \overline{A}B, D_1 = A\overline{B}$$

بنویسیم
از رمزگشاها برای آدرس دهی اجزای مختلف یک سیستم (گیرنده یا فرستنده اطلاعات) نیز استفاده می‌شود، مثلاً اگر بخواهیم کلمه‌ای را در یک سطر معین حافظه بنویسیم یا آن را از سطر معینی از حافظه بخوانیم، نخست باید محل سطر مورد نظر را مشخص کنیم در شکل ۹-۷۱ با استفاده از عدد باینری (۳۰۵)=(۰۱۰۰۱۱۰۰۰۱)، سطر سیصد و پنجم از یک حافظه با ظرفیت ۱۰۲۴ کلمه آدرس دهی شده است.



شکل ۹-۷۱ آدرس دهی یک کلمه معین از حافظه

ممکن است رمزگشا با دروازه‌های NAND ساخته شده باشد. در این صورت، حالت فعال خروجی‌ها «۰» خواهد بود. در شکل ۹-۷۲ یک رمزگشای ۲→۴ نشان داده شده است. جدول ۹-۴۱ جدول صحت دکودر ۲→۴ با حالت فعال Low را نشان می‌دهد.



شکل ۹-۷۲ رمزگشای ۲→۴

نکته مهم:



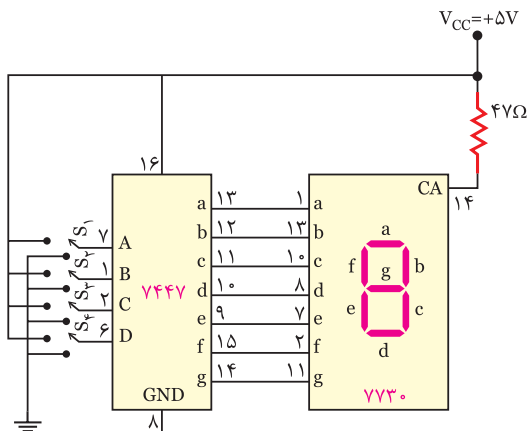
در آی سی ها از کلمات Enable و Disable استفاده می کنند. کلمه Enable به معنی فعال کننده و Disable به معنی غیر فعال کننده به کار می رود.

با توجه به جدول صحت ۹-۴۲ هر گاه یک ورودی را با X نشان دهند به معنای این است که اگر ارزش منطقی این ورودی صفر یا یک باشد برای خروجی مدار بی تفاوت است. در سطر اول جدول صحت چون ورودی E در صفر منطقی قرار گرفته است عمل رمزگشایی انجام نمی شود.

معرفی یک نمونه مدار رمزگشا (Decoder)

یک نمونه از مدارهای رمزگشا که در سیستم های دیجیتالی کاربرد دارد، دیکو در BCD به هفت قطعه ای (7.Seg) است.

این رمزگشا عدد BCD داده شده را به کد هفت رقمی معادل آن برای راه اندازی هفت قطعه ای (7.Seg) تبدیل می کند. در شکل ۹-۷۴ مدار یک دیکو در BCD به 7.Seg نشان داده شده است. در این مدار آی سی ۷۴۴۷ یک آی سی دیکو در BCD به 7.Seg است.



شکل ۹-۷۴ مدار رمزگشای BCD به 7.Seg

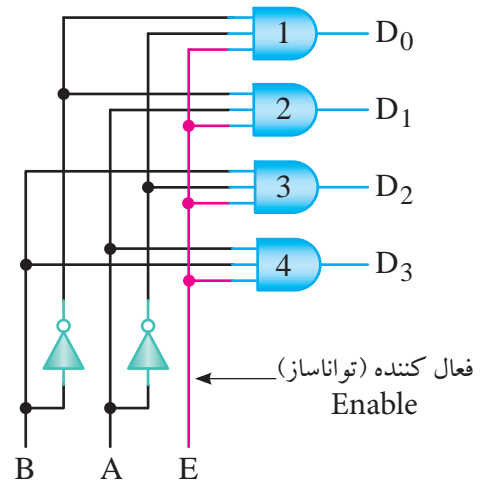
جدول ۹-۴۱ جدول صحت رمزگشای ۲-۴

B	A	D _۰	D _۱	D _۲	D _۳
۰	۰	۰	۱	۱	۱
۰	۱	۱	۰	۱	۱
۱	۰	۱	۱	۰	۱
۱	۱	۱	۱	۱	۰

همان طور که در شکل نشان داده شد، دروازه ی شماره ۳ در حالت فعال است و ورودی های این دروازه از \bar{A} و B گرفته شده است.

در بعضی از رمزگشاها علاوه بر ورودی های آدرس، یک ورودی فعال کننده (Enable) (تواناساز) نیز پیش بینی شده است. اگر این ورودی در حالت غیر فعال نگه داشته شود، رمزگشایی انجام نخواهد شد.

در شکل ۹-۷۳ یک رمزگشا ۲→۴ با خط تواناساز را به همراه جدول صحت آن در جدول ۹-۴۲ مشاهده می کنید.

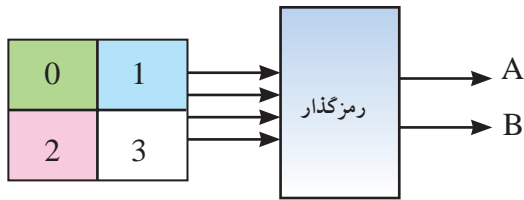


شکل ۹-۷۳ رمزگشا ۲→۴ با خط تواناساز

جدول ۹-۴۲ رمزگشا ۲→۴ با خط تواناساز

E	B	A	D ₀	D ₁	D ₂	D ₃
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

در شکل ۹-۷۶ بلوک دیاگرام یک رمزگذار ۲→۴ به همراه جدول صحت این رمزگذار نشان داده شده است.

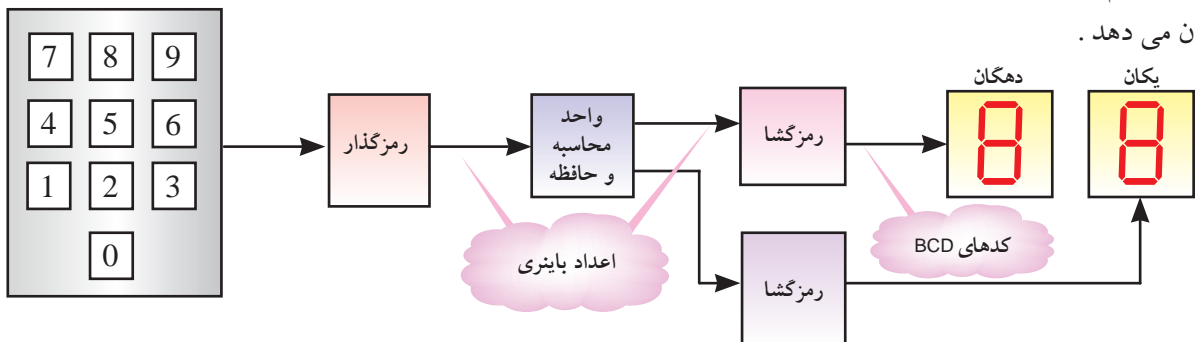


شکل ۹-۷۶ بلوک دیاگرام رمزگذار ۲→۴

جدول ۹-۴۳ جدول صحت رمزگذار ۲→۴

I ₃	I ₂	I ₁	I ₀	B	A
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

همان طور که مشاهده می کنید، یک صفحه کلید با شماره‌های صفر تا سه را می توان به دو خط باینری، تبدیل کرد. در هر لحظه باید فقط یکی از ورودی های رمزگذار در حالت فعال قرار گیرد تا درست عمل کند. مدار رمزگذار ۲→۴ را می توان مطابق شکل ۹-۷۷ طراحی کرد. چنانچه کلید ۳ فشرده شود ورودی گیت های OR برابر «۱» منطقی می شود و عدد باینری سه «۱۱» را در خروجی رمزگذار ایجاد می کند.



شکل ۹-۷۵ یک سامانه دیجیتال

آی سی ۷۷۳۰ نمایشگر هفت قسمتی آند مشترک است. پایه ۱۴ آند مشترک (common anode) و ورودی مشترک برای تمام LED هاست.

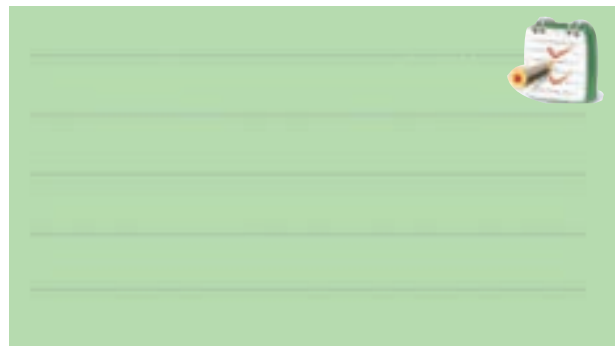
در این مدار کلیه کلیدها S_۴، S_۳، S_۲، S_۱ ورودی های آی سی هستند و پایه های a، b، c، d، e، f، g خروجی های آی سی می باشند، که به Seg. 7 اتصال می یابند.



تمرین کلاسی ۸:

یک رمزگشا با ۸ خط خروجی دارای چند خط آدرس

است؟



۲-۱۰-۹ مدارهای رمزگذار (Encoder)

اعدادی که به کامپیوتر یا سامانه ی دیجیتالی داده می شود در سیستم دهدهی هستند. چون کامپیوتر با اعداد باینری کار می کند اعداد دهدهی باید به اعداد باینری تبدیل شوند. مداری که اطلاعات را از حالت دهدهی به باینری تبدیل می کند، رمزگذار نام دارد، شکل ۹-۷۵ یک سامانه ی دیجیتالی را نشان می دهد.

ولت می شود و یکی از ورودی های گیت OR در سطح یک منطقی قرار می گیرد. در این وضعیت خروجی گیت OR نیز در وضعیت یک منطقی است.

۹-۱۱ آزمایش شماره ۳

زمان اجرا: ۲ ساعت آموزشی

۹-۱۱-۱ هدف آزمایش: بررسی عملکرد مدار رمز گشا (BCD به 7.Seg)

۹-۱۱-۲ تجهیزات، ابزار، قطعات و مواد مورد نیاز:

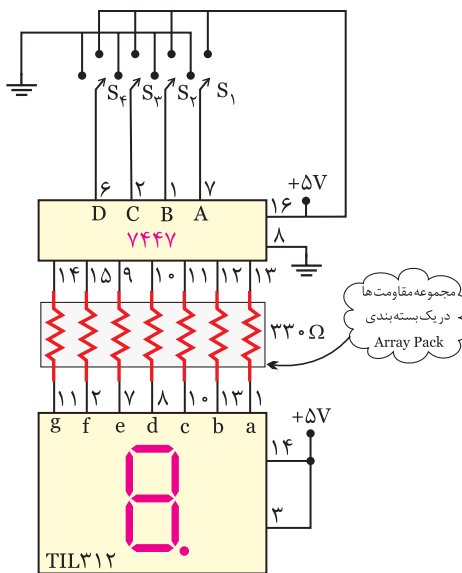
ردیف	نام و مشخصات	تعداد/مقدار
۱	منبع تغذیه ۰-۳۰ ولت ۱A	یک دستگاه
۲	دی کدور BCD به 7.Seg	یک عدد
۳	برد مدار چاپی آزمایش	یک قطعه
۴	سیم رابط	به مقدار لازم
۵	مولتی متر دیجیتالی	یک دستگاه

۹-۱۱-۳ مراحل اجرای آزمایش

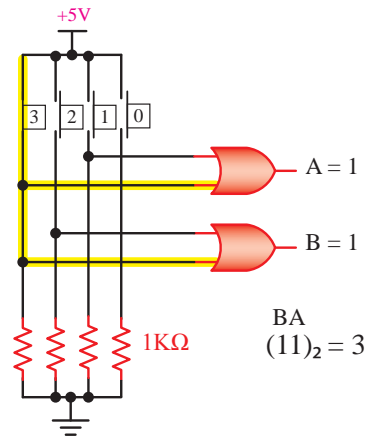
■ وسایل و قطعات مورد نیاز را آماده کنید

■ مدار شکل ۸۰-۹ را که قبلاً روی برد مدار چاپی

ساخته شده است، بررسی کنید.

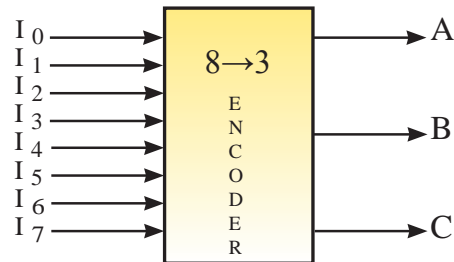


شکل ۸۰-۹ مدار آزمایش



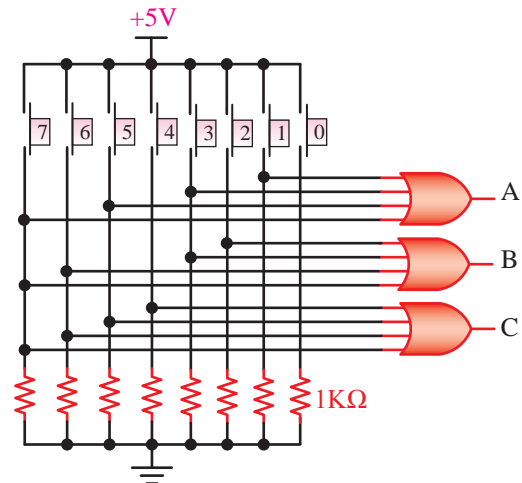
شکل ۷۷-۹ مدار رمزگذار ۲→۴

در شکل ۷۸-۹ دیاگرام یک رمزگذار ۳→۸ (بخوانید ۸ به ۳) نشان داده شده است.



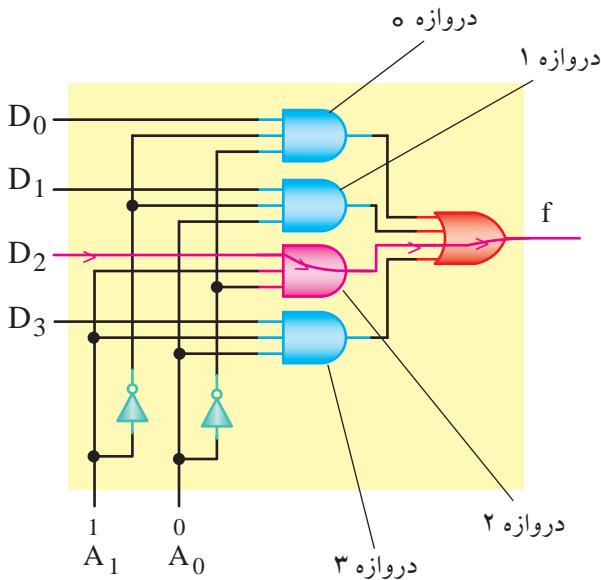
شکل ۷۸-۹ بلوک دیاگرام رمزگذار ۳→۸

مدار این رمزگذار در شکل ۷۹-۹ رسم شده است.



شکل ۷۹-۹ مدار رمزگذار ۳→۸

همان گونه که در شکل ۷۹-۹ مشاهده می کنید، با فشردن هر کلید، افت ولتاژ دو سر مقاومت های ۱kΩ، حدوداً ۵



شکل ۸۲-۹ مدار متمرکز کننده ۱ → ۴

در تابع F_1 برای مثال حالت $A_1=1$ و $A_0=0$ را انتخاب می‌کنیم. در این حالت فقط جمله A_1A_0 برابر «۱» است لذا خواهیم داشت:

$$F = 0 \times D_0 + 0 \times D_1 + 1 \times D_2 + 0 \times D_3 = D_2$$

یعنی F عیناً از D_2 تبعیت می‌کند به عبارت دیگر اگر آدرس $A_1A_0=10$ داده شود، فقط دروازه‌ی شماره ۲ را برای عبور D_2 باز می‌کند، بقیه‌ی حالت‌های تابع را نیز به همین ترتیب می‌توانیم مشخص کنیم.

تمرین کلاسی ۹

برای باز شدن دروازه منطقی شماره ۱ و عبور D_1 خطوط آدرس A_1A_0 چه حالتی دارند؟

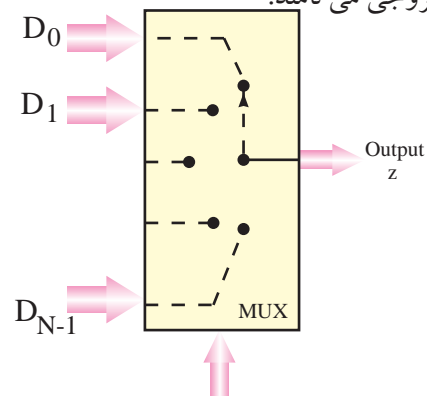
تمرین کلاسی ۱۰:

اگر ورودی‌های آدرس $A_1=1$ و $A_0=1$ باشد، کدام خروجی‌ها فعال می‌شود؟ توضیح دهید.

بخش دوم

مدارهای ترکیبی (مالتی پلکسر و دی مالتی پلکسر) ۹-۱۲ مدارهای متمرکز کننده یا تسهیم کننده (Multiplexer)

مالتی پلکسر یکی از پرکاربردترین مدارهای ترکیبی است که مانند یک انتخاب کننده (Selector) عمل می‌کند. این مدار با توجه به آدرسی که برای آن انتخاب می‌شود، به یکی از ورودی‌ها اجازه عبور می‌دهد. به عبارت دیگر، عملکرد آن شبیه یک کلید چند حالتی است با این تفاوت که حالت کلید به صورت دیجیتالی انتخاب می‌شود. دیاگرام عملیاتی یک مالتی پلکسر در شکل ۸۱-۹ نشان داده شده است. ورودی‌های انتخاب حالت را ورودی‌های آدرس (Address input) و ورودی‌های اصلی مالتی پلکسر ورودی‌های داده (Data input) و خروجی مالتی پلکسر همان تابع خروجی است که آن را به اختصار خروجی تابع یا خروجی می‌نامند.



ورودی‌های آدرس یا انتخاب

شکل ۸۱-۹ دیاگرام یک مالتی پلکسر

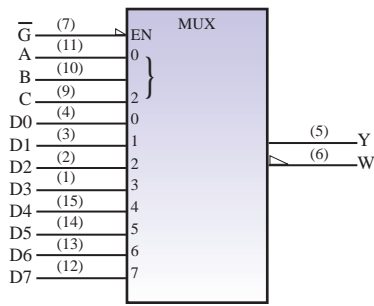
در شکل ۸۲-۹ مدار یک مالتی پلکسر ۱ → ۴ (بخوانید ۴ به ۱) نشان داده شده است. در این شکل ورودی‌های اصلی مالتی پلکسر با D_0, D_1, D_2, D_3 و ورودی‌های آدرس آن با A_1, A_0 و خروجی مدار با F مشخص شده است. با توجه به شکل ۸۲-۹ معادله بولی تابع F را می‌نویسیم

$$F = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3$$

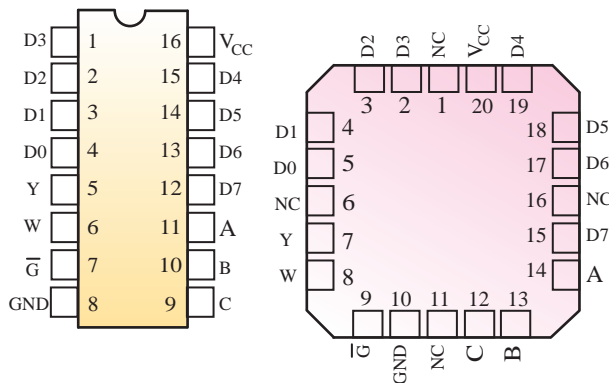
مثال ۱۱: به چه دلیل برای عبور اطلاعات مربوط به D_2 رابطه خروجی به صورت $A_1 \bar{A}_0 D_2$ است توضیح دهید؟

Flat (تخت) ساخته می شود.

در شکل ۸۵-۹ مدار داخلی آی سی مالتی پلکسر ۱→۸ نشان داده شده است.



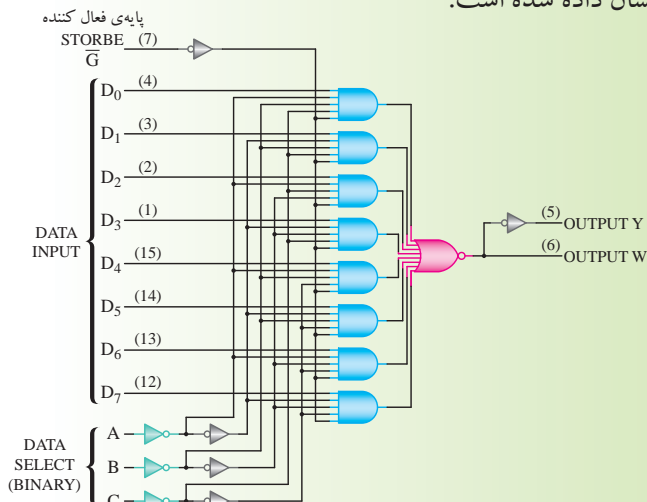
الف- نماد استاندارد



ب- تصویر از بالا و شماره پایه ها
شکل ۸۴-۹ سی مالتی پلکسر

ویژه هنرجویان علاقه مند:

در شکل ۸۵-۹ مدار داخلی آی سی مالتی پلکسر ۱→۸ نشان داده شده است.



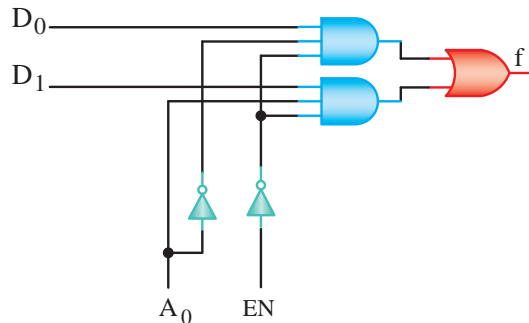
شکل ۸۵-۹ مدار داخلی مالتی پلکسر ۱→۸

در اغلب مالتی پلکسر ها علاوه بر ورودی های آدرس، یک خط کنترل اضافی نیز پیش بینی شده است. این ورودی اضافی را با نام های فعال ساز (تواناساز) Enable مشخص می کنند.

چنان چه این ورودی در یک حالت از پیش تعریف شده «۰» یا «۱» باشد، همه دروازه های AND را مسدود می سازد و از انتقال اطلاعات ورودی به خروجی مدار جلوگیری می کند. به عبارت دیگر این ورودی مقدم بر ورودی های آدرس است. در شکل ۸۳-۹ یک مالتی پلکسر ۱→۲ با ورودی تواناساز و در جدول ۴۶-۹ جدول صحت آن نشان داده شده است.

جدول ۴۶-۹ جدول صحت مالتی پلکسر ۱→۲

A_0	EN	F
X	۱	۰
۰	۰	D_0
۱	۰	D_1



شکل ۸۳-۹ مدار یک مالتی پلکسر ۱→۲

در شکل ۸۴-۹ مدار یک مالتی پلکسر ۱→۸ که به شماره تجارتي ۷۴۱۵۱ به بازار عرضه می شود را مشاهده می کنید در شکل ۸۴-۹ الف نماد و استاندارد آی سی، در شکل ۸۴-۹ ب تصویر IC از بالا و شماره پایه های آن نشان داده شده است. این آی سی در دو نوع Dual (موازی) و

با انتخاب $AB=00$ اطلاعات ورودی F به خط خروجی D_0 انتقال می یابد. با انتخاب $AB=01$ اطلاعات ورودی F به خط خروجی D_1 و با انتخاب $AB=10$ به D_2 و با انتخاب $AB=11$ به D_3 انتقال می یابد با توجه به نکات بیان شده می توان جدول صحت دی مالتی پلکسر فوق را به صورت جدول ۹-۴۸ نشان داد.

جدول ۹-۴۸

انتخاب گرها		خروجی ها			
A	B	D_0	D_1	D_2	D_3
۰	۰	F	۰	۰	۰
۰	۱	۰	F	۰	۰
۱	۰	۰	۰	F	۰
۱	۱	۰	۰	۰	F

با توجه به جدول، تابع منطقی هر خروجی به صورت زیر

نوشته می شود

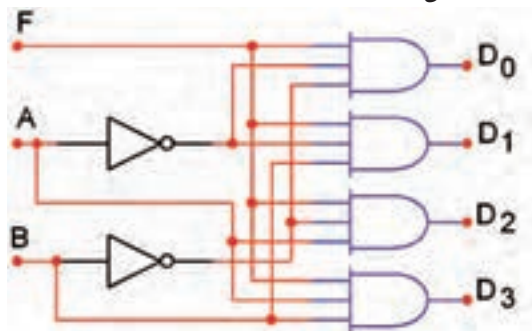
$$D_0 = \bar{A}\bar{B}F$$

$$D_1 = \bar{A}BF$$

$$D_2 = A\bar{B}F$$

$$D_3 = ABF$$

مدار این دی مالتی پلکسر با توجه به رابطه منطقی D_0 تا D_3 مانند شکل ۹-۸۷ است.



شکل ۹-۸۷ دی مالتی پلکسر ۱→۴

آی سی ۷۴۱۳۸ یک دی مالتی پلکسر ۱→۸ با سه خط انتخاب گر است. شکل ۹-۸۸ مدار این آی سی را نشان می دهد.

جدول صحت آی سی ۷۴۱۵۱ SN را در جدول ۹-۴۷ مشاهده می کنید. خروجی W معکوس خروجی Y است.

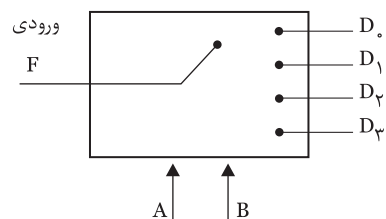
جدول ۹-۴۷ جدول صحت مالتی پلکسر SN ۷۴۱۵۱

Input			Output	
Select		Strobe	y	w
C	B	\bar{G}		
X	X	X	L	H
L	L	L	D_0	\bar{D}_0
L	L	H	D_1	\bar{D}_1
L	H	L	D_2	\bar{D}_2
L	H	H	D_3	\bar{D}_3
H	L	L	D_4	\bar{D}_4
H	L	H	D_5	\bar{D}_5
H	H	L	D_6	\bar{D}_6
H	H	H	D_7	\bar{D}_7

۹-۱۲ دی مالتی پلکسر یا پخش کننده

(Demultiplexer)

دی مالتی پلکسر مداری است که اطلاعات را از یک خط در ورودی خود دریافت می کند و آن را به یکی از 2^n خط خروجی انتقال می دهد. انتخاب یک خط خروجی توسط m خط انتخاب کننده (Selector line) تعیین می شود. شکل ۹-۸۶ بلوک دیاگرام یک دی مالتی پلکسر را نشان می دهد. بلوک دیاگرام، مدار را مانند کلیدی نشان می دهد که ورودی f را با فرمانی که از دو خط A و B می گیرد. به یکی از خروجی های D_0 تا D_3 انتقال می دهد.



$m=2$ خط کنترل (انتخاب کننده ها)

شکل ۹-۸۶ بلوک دیاگرام دی مالتی پلکسر

۱۴-۹ آزمایش شماره ۴

زمان انجام آزمایش: ۲ ساعت

۱-۱۴-۹ هدف آزمایش: بررسی عملکرد مدار مالتی

پلکسر

۲-۱۴-۹ تجهیزات، ابزار، قطعات و مواد مورد نیاز:

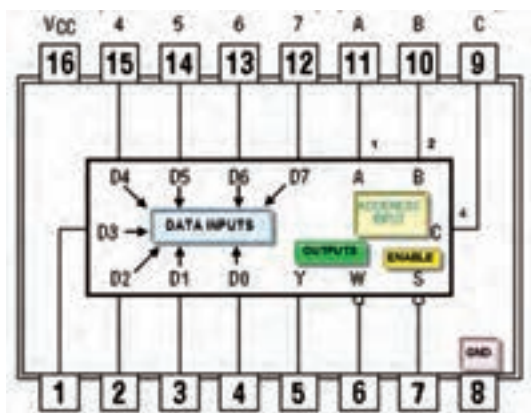
ردیف	نام و مشخصات	تعداد / مقدار
۱	منبع تغذیه ۰-۳۰ ولت ۱A	یک دستگاه
۲	برد برد آزمایشگاهی	یک عدد
۳	دیود نوردنده LED	یک عدد
۴	مقاومت 150Ω و 470Ω و $\frac{1}{4}$ وات	از هر کدام یک عدد
۵	آی سی ۷۴۱۵۱	یک عدد
۶	ابزار عمومی کارگاه الکترونیک	یک سری

۳-۱۴-۹ مراحل اجرای آزمایش:

الف: شناسایی پایه های آی سی مالتی پلکسر

۱→۸

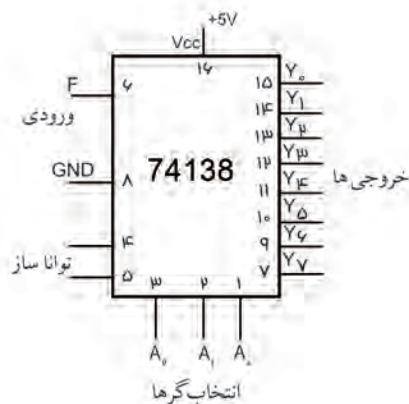
■ آی سی ۷۴۱۵۱، مالتی پلکسر ۱→۸ است. نماد و شماره پایه های آی سی مطابق شکل ۹۰-۹ است.



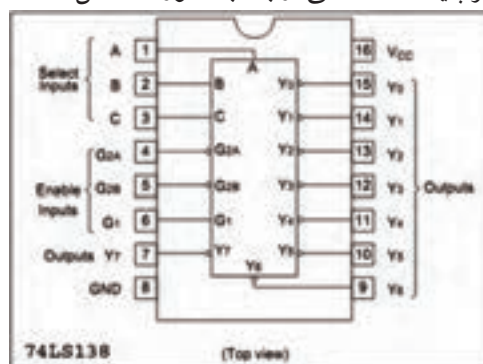
شکل ۹۰-۹ شماره ی پایه های آی سی

■ آی سی ۷۴۱۵۱ را در اختیار بگیرید و شکل آن را

رسم کنید



شکل ۸۸-۹ مشخصات پایه های آی سی دی مالتی پلکسر تصویر پایه های آی سی از بالا به صورت شکل ۸۹-۹ است.



شکل ۸۹-۹ تصویر از بالا و شماره پایه ها

به طور کلی دی مالتی پلکسر در مواردی که اطلاعات از یک منبع دریافت می شود و در چند منبع دیگر قرار می گیرد، به کار می رود. برای مثال می توان قرار دادن اطلاعات خروجی از یک رایانه به چند ترمینال را ذکر کرد.

توجه

شماره آی سی بیان شده در این فصل جهت آشنایی با مدار داخلی آن ها است و نباید اطلاعات مربوط به شماره آی سی و شماره پایه های آن را به خاطر سپرد.



در صورت نیاز به برگه های اطلاعات که در Data book وجود دارد مراجعه کنید. همچنین در آزمون ها با ارائه نقشه می توان مشخصات فنی را مورد سؤال قرار داد.

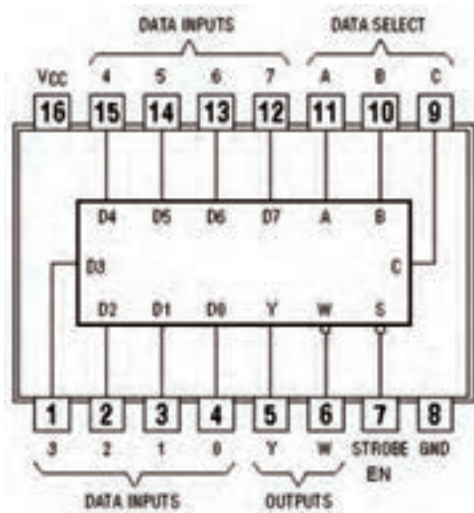
محل ترسیم:



ب: بررسی عملکرد آی سی مالتی پلکسر

■ مدار شکل ۹۱-۹ را روی برد برد ببندید.

Vcc=+ ۵volt



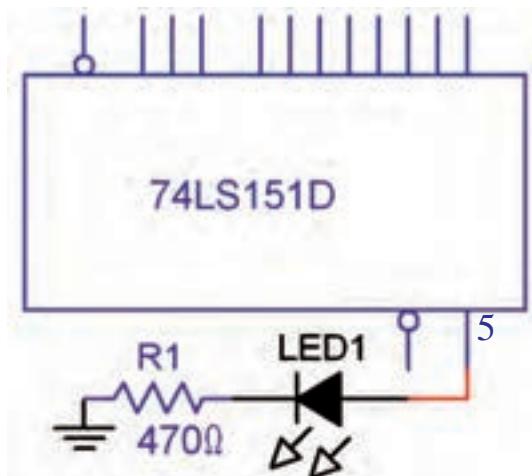
■ اطلاعات روی آی سی را بنویسید.



■ پایه های آی سی را شناسایی کنید و کار هر پایه را به

اختصار در جدول ۹-۴۹ شرح دهید.

جدول ۹-۴۹



شکل ۹۱-۹ آی سی مالتی پلکسر

■ تغذیه ی مدار را به آی سی وصل کنید (پایه ی ۸ به

زمین الکتریکی و پایه ی ۱۶ به +۵ ولت وصل شود).

پایه ی ۷ (EN) را آزاد قرار دهید و یا به +۵ ولت وصل کنید.

■ آدرس $A=0$ ، $B=0$ ، $C=0$ را انتخاب کنید. برای این

منظور پایه های ۹، ۱۰ و ۱۱ را به زمین الکتریکی وصل کنید

در این حالت زمانی که $EN=0$ شود اطلاعات ورودی D به

شماره پایه	کار هر پایه به اختصار
۱	
۲	
۳	
۴	
۵	
۶	
۷	
۸	
۹	
۱۰	
۱۱	
۱۲	
۱۳	
۱۴	
۱۵	
۱۶	

انتقال یابد آدرس ABC را بنویسید



۴-۱۴-۹ نتایج آزمایش

نتایج حاصل از این آزمایش را به طور خلاصه در چند سطر بنویسید.



خروجی منتقل می شود.

■ D را زمین کنید و $EN=0$ قرار دهید در این حالت سطح ولتاژ پایه ۵ (خروجی) منطقی و LED خاموش است. این مطلب را تحقیق کنید و نتایج را یادداشت نمایید.



■ D را برابر (۱) منطقی قرار دهید. برای این منظور D را +۵ ولت وصل کنید. سطح ولتاژ پایه ۵ (۵) و وضعیت LED را مورد بررسی قرار دهید و نتایج را یادداشت کنید.



■ آدرس ABC را برابر ۱۰۱ انتخاب کنید. اطلاعات کدام ورودی توسط آدرس فوق به خروجی انتقال پیدا می کند؟



■ ورودی مورد نظر را در سطح ولتاژ ۰ و ۱ قرار دهید و در هر مرحله $EN=0$ قرار دهید و سطح ولتاژ خروجی و وضعیت LED را مورد بررسی قرار داده و نتایج را یادداشت کنید.



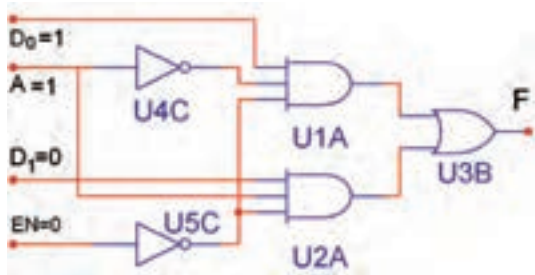
سوال ۲۹: اگر آدرس $ABC=110$ باشد اطلاعات کدام ورودی به خروجی انتقال پیدا می کند؟



سوال ۳۰: اگر با اطلاعات پایه شماره ۱۲ به خروجی

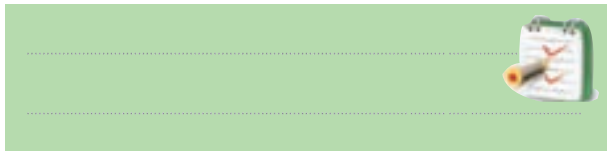
(صحیح غلط)

۸- نام مدار شکل ۹-۹۲ است و مقدار خروجی مدار ۹-۹۲ برابر (صفر یک) منطقی است

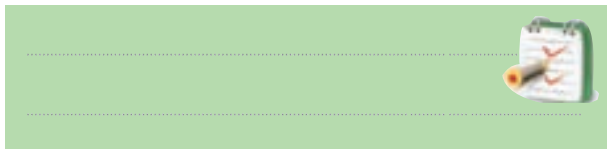


شکل ۹-۹۲

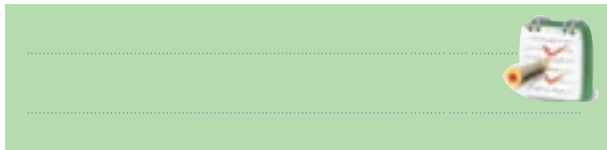
۹- برای بردن اطلاعات ثبت شده از یک حافظه رایانه به چندین ترمینال خروجی از مدار (مالتی پلکسر دی مالتی پلکسر) استفاده می کنیم.
۱۰- کلمات enable و disable در آی سی ها به چه معنا است ؟



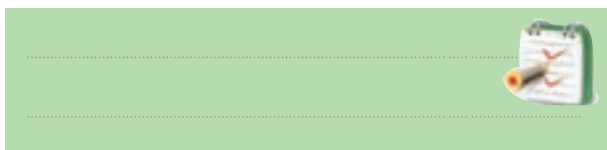
۱۱- برای راه اندازی هفت قطعه ای ۷.Segment از چه مداری استفاده می شود ؟



۱۲- بلوک دیاگرام مربوط به دی مالتی پلکسر ۴→۱ را رسم کنید.



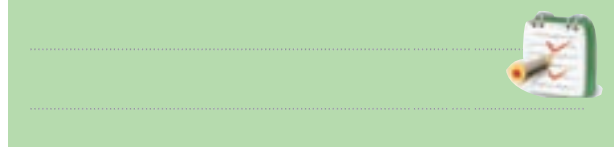
۱۳- بلوک دیاگرام مربوط به دی مالتی پلکسر ۱→۴ را رسم کنید .



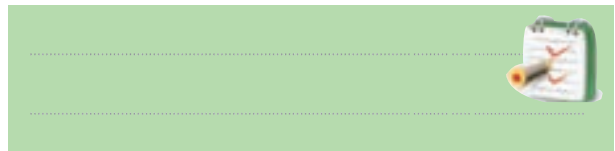
آزمون پایانی فصل (۴-۹) مدارهای ترکیبی



۱- یک دیکودر با سه خط آدرس در ورودی دارای چند خط خروجی است ؟



۲- یک 7.Segment با نقطه‌ی اعشار دارای چند LED است ؟

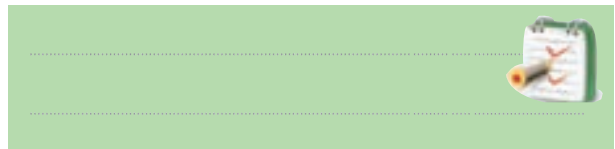


۳- اگر مدار رمز گشا از گیت های NAND ساخته شده باشند در این صورت حالت فعال خروجی ها (صفر ، یک) خواهد بود.

۴- در مدارهای رمز گشایی که دارای ورودی فعال کننده (enable) هستند ، اگر این ورودی غیرفعال باشد رمز گشایی انجام نخواهد شد.

صحیح غلط

۵- مدار دیکودر اطلاعات (دهمی باینری) در ورودی رابه اطلاعات (دهمی باینری) در خروجی تبدیل می کند .



۶- در مدار رمز گذار در هر لحظه فقط یکی از ورودی های مدار در حالت فعال می باشد

صحیح غلط

۷- مهم ترین کاربرد رمز گشا آدرس دهی به حافظه است.

قبل از شروع قسمت پنجم فصل ۹ به سوالات پیش آزمون ۹-۵ پاسخ دهید.

قسمت پنجم - مدارهای ترتیبی

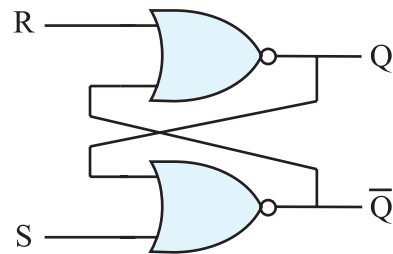
۹-۱۵ بررسی انواع مدارهای فلیپ فلاپ (Flip Flop)

۹-۱۵-۱ بررسی کلی: حفظ اطلاعات در سلول های

حافظه توسط مدار فلیپ فلاپ انجام می شود. فلیپ فلاپ ها تا مادامی که تغذیه مدار برقرار است می توانند اطلاعات را که به صورت صفر یا یک هستند در خود نگه دارند. فلیپ فلاپ ها باید در هر زمان اطلاعات را که به صورت ۰ یا ۱ منطقی است بپذیرند و در خود نگه دارند. بدیهی است با تغییر حالت در اطلاعات ورودی، اطلاعات موجود در حافظه تغییر می کند.

۹-۱۵-۲ مدار پایه ای فلیپ فلاپ: مدار فلیپ

فلاپ را می توان با استفاده از دو گیت NOR مطابق شکل ۹-۹۳ به وجود آورد. در مدار از خروجی یک گیت به ورودی گیت دیگر اتصال داده شده است که مسیر فیدبک را ایجاد می کند.

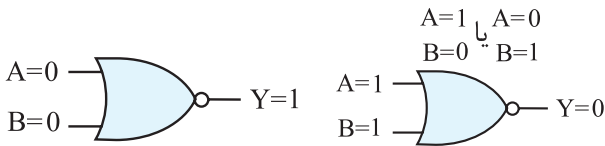


شکل ۹-۹۳ مدار فلیپ فلاپ

این فلیپ فلاپ دارای دو خروجی است که یکی Q و دیگری نفی آن \bar{Q} (کیونات) نام دارد. دو ورودی آن S و R نام دارند. S حرف اول کلمه Set و R حرف اول کلمه Reset (ری ست) است.

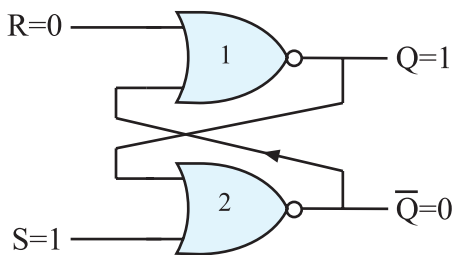
۳-۱۵-۹ طرز کار مدار فلیپ فلاپ S-R

همان طوری که قبلاً در مورد گیت NOR گفته شد اگر حداقل یکی از ورودی های گیت NOR یک باشد خروجی آن صفر است و تنها زمانی که تمام ورودی گیت NOR صفر باشد خروجی آن ۱ می شود شکل ۹-۹۴ این دو وضعیت را نشان می دهد.



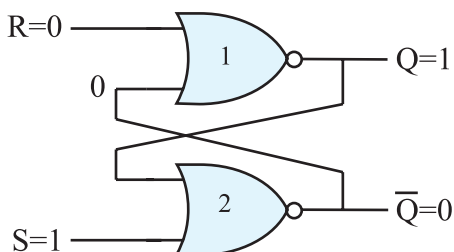
شکل ۹-۹۴ وضعیت ورودی های گیت NOR

فرض کنیم در لحظه شروع مطابق شکل ۹-۹۵، $S=1$ و $R=0$ است.

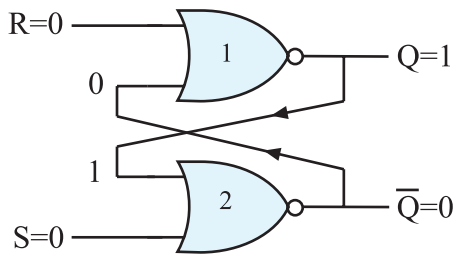


شکل ۹-۹۵ فلیپ فلاپ RS

در این حالت چون یکی از ورودی های گیت شماره دو، ۱ است خروجی آن مساوی با صفر خواهد شد. از طرفی خروجی $Q=0$ به یکی از ورودی های گیت شماره یک فیدبک شده است. این فیدبک هر دو ورودی گیت NOR شماره یک را صفر می کند و $Q=1$ می شود. این شرایط در خروجی به صورت پایدار باقی می ماند تا ورودی ها تغییر حالت دهند. شکل ۹-۹۶ وضعیت خروجی گیت ها را نشان می دهد.



شکل ۹-۹۶ اگر $S=1$ و $R=0$ باشد $Q=1$ و $\bar{Q}=0$ می شود

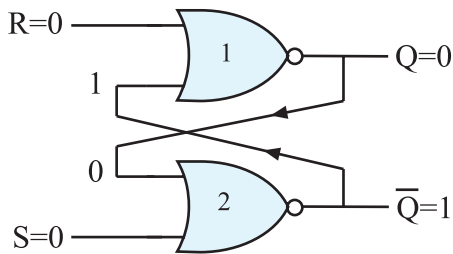


شکل ۹-۹۹ $Q=1, \bar{Q}=0$

ب - ممکن است مطابق شکل ۹-۱۰۰، $Q=0, \bar{Q}=1$

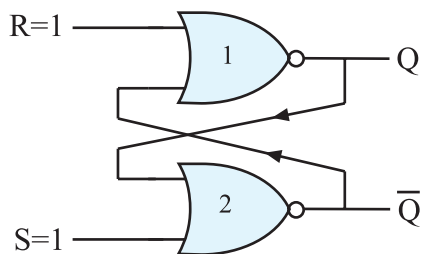
باشد در این صورت $Q=0$ و $\bar{Q}=1$ باقی می ماند.

پس در شرایط $S=0$ و $R=0$ وضعیت Q و \bar{Q} تغییر نمی کند و مشابه آخرین حالت قبل از این مرحله، پایدار باقی می ماند.



شکل ۹-۱۰۰ $Q=0, \bar{Q}=1$ حافظه در همین حالت باقی می ماند

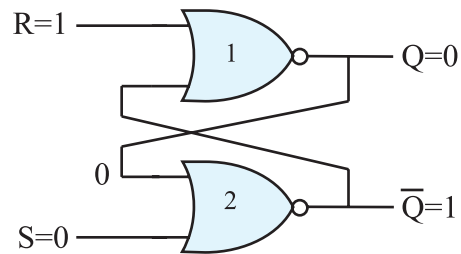
در صورتی که مطابق شکل ۹-۱۰۱، $S=1$ و $R=1$ شود چون یکی از ورودی های گیت های NOR یک است خروجی آن ها یعنی Q و \bar{Q} برابر با صفر می شود.



شکل ۹-۱۰۱ اگر $S=1$ و $R=1$ باشد Q و \bar{Q} در چه حالتی باقی می ماند؟

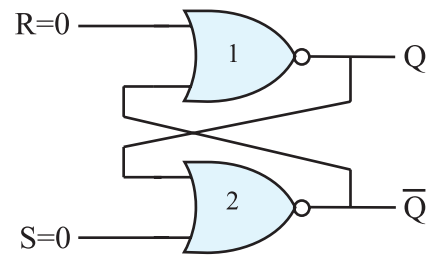
این حالت یعنی $Q=\bar{Q}=0$ تعریف نشده است و نباید ایجاد شود زیرا اگر بعد از مرحله $R=S=1$ که $Q=\bar{Q}=0$ شده است ورودی های S و R به صفر تغییر حالت دهند، خروجی فلیپ فلاپ بین ۰ و ۱ نوسان می کند و بعد از چند مرحله نوسان، Q به طور تصادفی روی ۰ و یا ۱ ثابت می ماند و

اگر مطابق شکل ۹-۹۷ و ۹-۹۸ ورودی ها به $S=0$ و $R=1$ تغییر حالت دهند، چون یکی از ورودی های گیت NOR شماره یک برابر با یک است خروجی آن یعنی $Q=0$ می شود. از طرفی $Q=0$ به یکی از ورودی های گیت NOR شماره دو فیدبک می شود و هر دو ورودی این گیت را صفر می کند بنابراین $\bar{Q}=1$ می شود.



شکل ۹-۹۷ حالتی که $S=0$ و $R=1$ است $Q=0, \bar{Q}=1$ می شود.

اگر مطابق شکل ۹-۹۸ $S=0$ و $R=0$ شود چون هر دو ورودی صفر هستند نمی توانند وضعیت خروجی گیت هارا تعیین کنند. وضعیت خروجی هر گیت به ورودی دیگر آن یعنی به ورودی فیدبک شده بستگی دارد.



شکل ۹-۹۸ درحالتی که $S=0$ و $R=0$ خروجی ها به Q و \bar{Q} بستگی دارند.

در این شرایط دو حالت پیش می آید.

الف: اگر مطابق شکل ۹-۹۹، $Q=1$ و $\bar{Q}=0$ باشد در

این صورت خروجی در همین حالت یعنی $Q=1, \bar{Q}=0$ باقی می ماند (چرا؟)

در جدول درستی ۹-۵۱ چهار حالت ورودی و وضعیت خروجی Q و \bar{Q} برای فلیپ فلاپ با گیت NAND مشخص شده است.

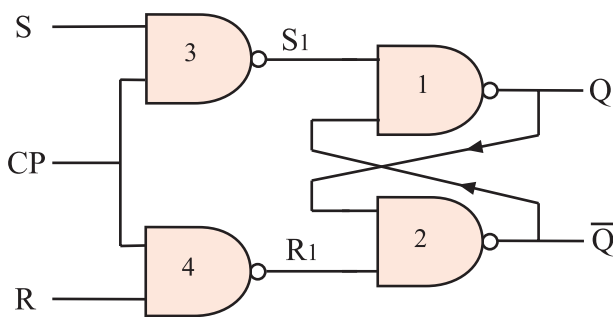
جدول ۹-۵۱ جدول درستی فلیپ فلاپ R-S با گیت NAND

S	R	Q_t
۰	۰	حالت ممنوعه
۰	۱	۱
۱	۰	۰
۱	۱	Q_{t-1}

تفاوت فلیپ فلاپ با گیت NAND و فلیپ فلاپ با گیت NOR در خروجی آن ها است. جداول ۹-۵۰ را با ۹-۵۱ مقایسه کنید.

۹-۱۵-۵ فلیپ فلاپ S-R با پالس ساعت (CP- clock pulse)

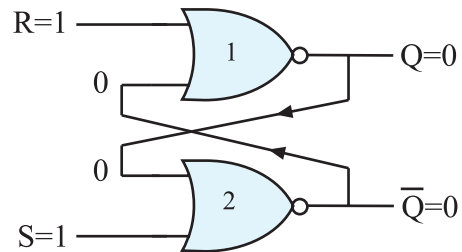
فلیپ فلاپ S-R ساعتی از یک مدار S-R ساده و دو گیت NAND اضافی مطابق شکل ۹-۱۰۴ تشکیل می شود.



شکل ۹-۱۰۴ S-R ساعتی

پالس ساعت ورودی (CP) به عنوان یک سیگنال فعال ساز عمل می کند. هنگامی که $CP=0$ است S_1 و R_1 یک می شود در این شرایط خروجی Q و \bar{Q} تغییر وضعیت نمی دهند و حالت قبل خود را حفظ می کنند. شکل ۹-۱۰۵ و ۹-۱۰۶ این حالت ها را نشان می دهد.

قفل می شود. حالت $R=S=1$ را حالت ممنوعه می گویند، شکل ۹-۱۰۲



شکل ۹-۱۰۲ اگر $S=1$ و $R=1$ شود $Q=0$ و $\bar{Q}=0$ خواهد شد این حالت را حالت ممنوعه می گویند.

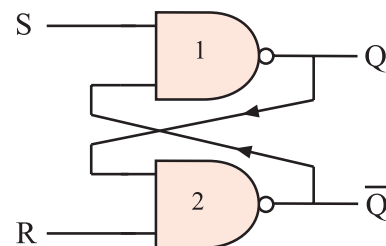
چهار حالت بررسی شده برای فلیپ فلاپ در جدول درستی ۹-۵۰ نشان داده شده است. منظور از Q_t وضعیت حافظه در لحظه t و منظور از Q_{t-1} وضعیت حافظه قبل از لحظه t (Q_t) است.

جدول ۹-۵۰ جدول درستی فلیپ فلاپ R-S با گیت NOR

S	R	Q_t
۰	۰	Q_{t-1}
۰	۱	۰
۱	۰	۱
۱	۱	حالت ممنوعه

۹-۱۵-۴ مدار فلیپ فلاپ S-R با گیت NAND

مدار فلیپ فلاپ را با گیت NAND نیز می سازند. شکل ۹-۱۰۳ فلیپ فلاپ S-R را با گیت NAND نشان می دهد.



شکل ۹-۱۰۳ فلیپ فلاپ S-R یا NAND

چهار حالت ممکن برای حالت S-R وجود دارد. این ۴ حالت مشابه فلیپ فلاپ S-R با گیت NOR است.

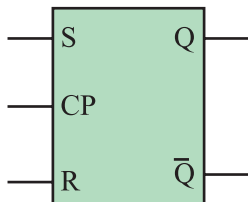
جدول ۹-۵۲ جدول درستی فلیپ فلاپ S-R ساعتی را نشان می دهد. نماد بلوکی S-R ساعتی در شکل ۹-۹۸ آمده است. عیب اساسی دو نوع فلیپ فلاپ SR و SR ساعتی حالت ممنوعه آن است.

جدول ۹-۵۲ جدول درستی S-R ساعتی

خروجی در لحظه t

CP	S	R	Q_t
۰	۰	۰	Q_{t-1}
۰	۰	۱	Q_{t-1}
۰	۱	۰	Q_{t-1}
۰	۱	۱	Q_{t-1}
۱	۰	۰	Q_{t-1}
۱	۰	۱	۰
۱	۱	۰	۱
۱	۱	۱	حالت ممنوعه

خروجی قبل از لحظه t

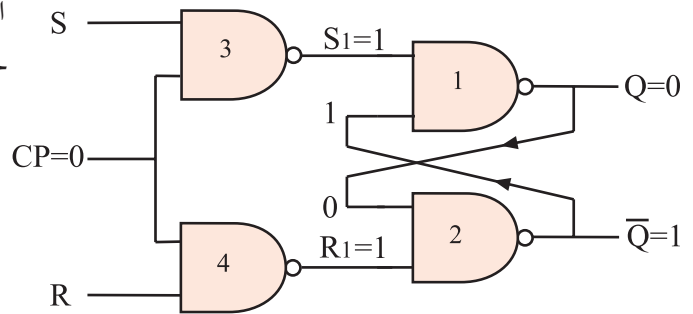


شکل ۹-۱۰۸ نمای بلوکی S-R ساعتی

۹-۱۵-۶ فلیپ فلاپ J-K

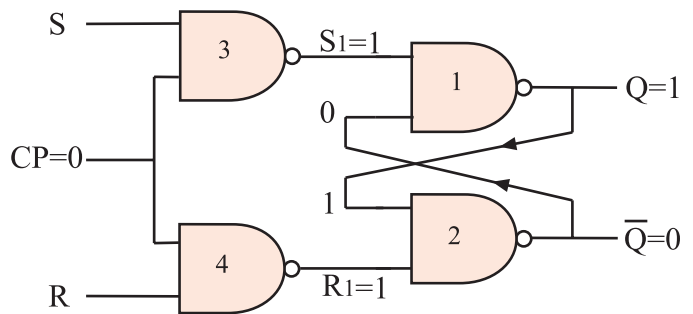
همان طور که قبلاً ذکر شده اشکال عمده فلیپ فلاپ S-R مربوط به حالت تعریف نشده آن یعنی وضعیت $R=S=1$ است. برای اصلاح این حالت از فلیپ فلاپ J-K استفاده می شود. در شکل ۹-۱۰۹ مدار فلیپ فلاپ J-K رسم شده است.

ورودی های S و R اثری در خروجی ندارند



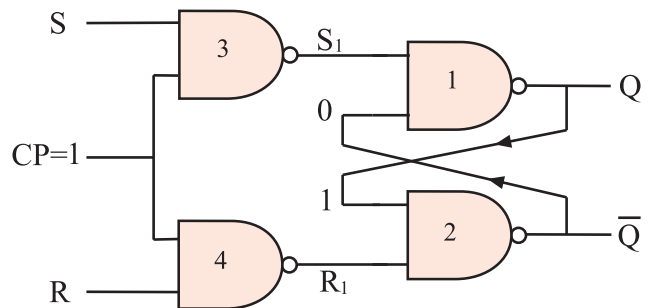
شکل ۹-۱۰۵ خروجی $Q=0$ حالت قبل را حفظ می کند و ثابت می ماند

ورودی های S و R اثری در خروجی ندارند



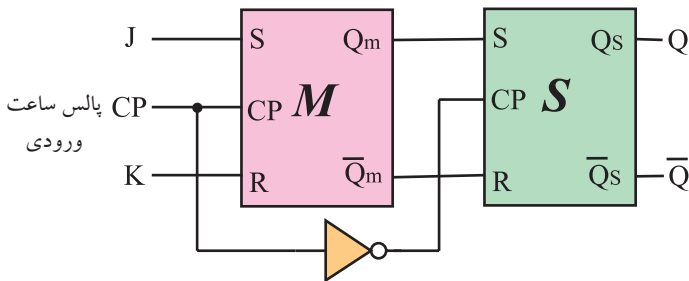
شکل ۹-۱۰۶ خروجی $Q=1$ حالت قبل را حفظ می کند و ثابت می ماند

اگر $CP=1$ شود خروجی گیت NAND شماره ۳ و ۴ بر اساس ورودی های S و R تغییر می کند و در این حالت خروجی Q و Q-bar مطابق جدول درستی فلیپ فلاپ S-R می شود، شکل ۹-۱۰۷



شکل ۹-۱۰۷ $CP=1$ است Q و Q-bar از مقادیر S و R تبعیت می کنند.

درست شده است که یکی مستر (Master) و دیگری اسلیو (Slave) نام دارد. شکل ۱۱۶ - نقشه بلوکی فلیپ فلاپ را نشان می دهد. توجه داشته باشید که در نقشه بلوکی خطوط فیدبک از Q و \bar{Q} به ورودی ها رسم نشده است.

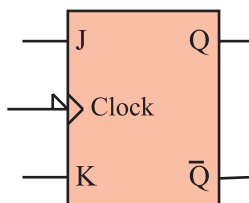


شکل ۱۱۶ - نقشه بلوکی فلیپ فلاپ JK-MS بدون رسم مسیر فیدبک

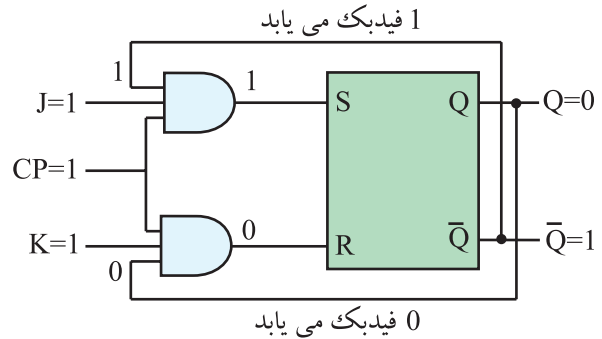
جدول درستی فلیپ فلاپ JK-MS مانند جدول درستی فلیپ فلاپ JK است. فقط در فلیپ فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می شوند. جدول ۵۴ - ۹ جدول درستی فلیپ فلاپ JK-MS را نشان می دهد. نماد بلوکی فلیپ فلاپ JK-MS را در شکل ۱۱۷ - ۹ ملاحظه می کنید.

جدول ۵۴ - ۹ جدول درستی فلیپ فلاپ JK-MS

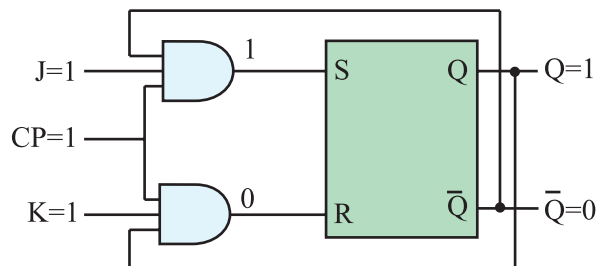
j	K	CP	Q_t
0	0	\downarrow	حالت قبلی را حفظ می کند. Q_{t-1}
0	1	\downarrow	Reset 0
1	0	\downarrow	Set 1
1	1	\downarrow	حالت قبلی عکس می شود. \bar{Q}_{t-1}



شکل ۱۱۷ - ۹ نماد بلوکی فلیپ فلاپ JK-MS

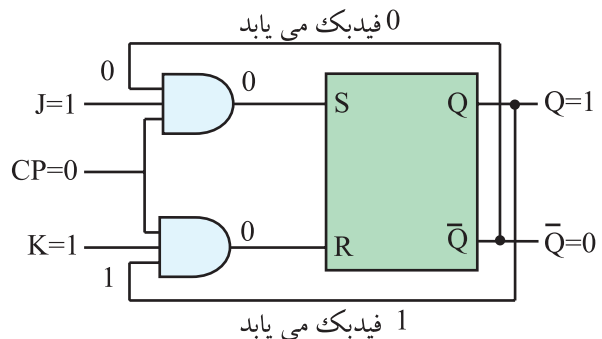


شکل ۱۱۳ - ۹ $Q=0, K=1, J=1$



شکل ۱۱۴ - ۹ با فیدبک خروجی Q و \bar{Q} به ورودی وضعیت جدید $Q=1$ و $\bar{Q}=0$ ظاهر شده است.

حال اگر مطابق شکل ۱۱۵ - ۹، $CP=0$ شود، در این لحظه Q روی آخرین وضعیت خود ثابت می ماند. این حالت فلیپ فلاپ را پدیده دور خود چرخیدن (Race Around) می گویند. برای برطرف کردن این عیب از فلیپ فلاپ JK-MS استفاده می شود.



شکل ۱۱۵ - ۹ Q و \bar{Q} فیدبک می شوند چون $CP=0$ است خروجی تغییر نمی کند.

۸-۱۵-۹ فلیپ فلاپ JK-MS (MS= Master Slave)

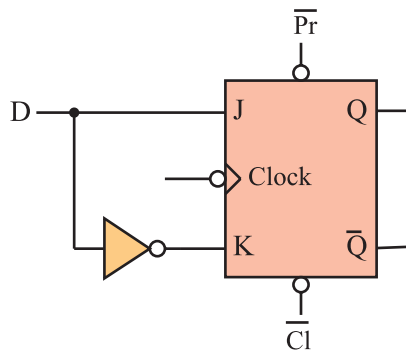
نوع دیگری از فلیپ فلاپ وجود دارد که آن را JK-MS می نامند. این فلیپ فلاپ از دو فلیپ فلاپ S-R جداگانه

۹-۱۵-۹ عملکرد ورودی های پیش تنظیم (Pre

(Preset) و پاک کردن (Clear) (Clear)

در زمان وصل تغذیه به مدار فلیپ فلاپ ، وضعیتی که حافظه در آن قرار می گیرد یعنی حالت Q در انواع فلیپ فلاپ ها کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شده اولیه ، از ورودی Preset و Clear استفاده می کنیم.

به عنوان مثال در یک ماشین حساب برای انجام عملیات جدید ضروری است که اطلاعات قبلی از حافظه پاک شود. گاهی نیز ممکن است بخواهیم قبل از اجرای عملیات ، اطلاعات جدید را در حافظه قرار دهیم . در این حالت با استفاده از ۲ خط Preset و Clear قبل از این که از طریق J و K بخواهیم اطلاعات را وارد حافظه کنیم حافظه را پاک (خالی) یا پر می کنیم . در خاتمه این دو خط را غیر فعال نموده و توسط ورودی های J و K اطلاعات جدید را وارد حافظه می کنیم . در شکل ۱۱۸ - ۹ نماد بلوکی فلیپ فلاپ J-K با خط Pr و Clear رسم شده است.



شکل ۱۲۰ - ۹ فلیپ فلاپ D با استفاده از فلیپ فلاپ JK

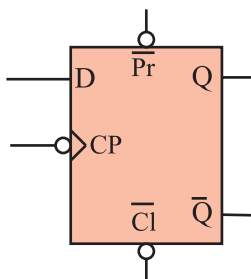
جدول درستی فلیپ فلاپ D مطابق جدول ۵۵ - ۹ است

جدول ۵۵ - ۹ جدول درستی فلیپ فلاپ D

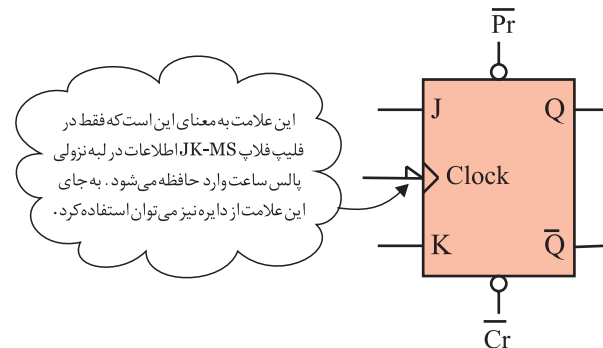
CP	D	Q
	0	0
	1	1

در شکل ۱۲۱ - ۹ نماد بلوکی فلیپ فلاپ نوع D رسم

شده است.



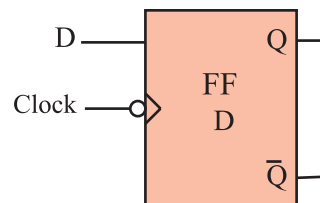
شکل ۱۲۱ - ۹ نماد مداری فلیپ فلاپ D



شکل ۱۱۸ - ۹ نماد بلوکی فلیپ فلاپ JK با Pr و Cl

۱۰-۱۵-۹ فلیپ فلاپ نوع (Delay) (D)

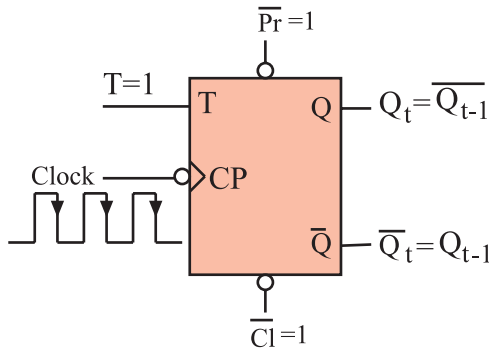
این فلیپ فلاپ تنها دارای یک ورودی است که ورودی D نام دارد ، شکل ۱۱۹ - ۹.



شکل ۱۱۹ - ۹ فلیپ فلاپ D

۱۱-۱۵-۹ فلیپ فلاپ نوع (Toggle) T:

اگر دو ورودی فلیپ فلاپ JK را به هم وصل کنیم و اتصال مشترک را T بنامیم. فلیپ فلاپ جدیدی ساخته می شود که به آن فلیپ فلاپ نوع T یا کلیدی گویند. شکل ۹-۱۲۲ نحوه تبدیل فلیپ فلاپ J-K را به T نشان می دهد.



شکل ۹-۱۲۴ T=1 است در لبه نزولی پالس ساعت Q برعکس می شود.

جدول ۹-۵۶ جدول درستی T-FF را براساس عملکرد JK-FF نشان می دهد. این جدول را می توان به صورت جدول ۹-۵۷ خلاصه کرد.

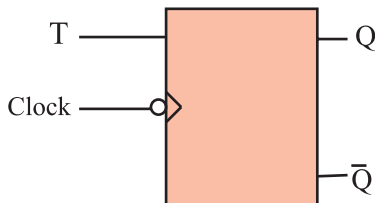
جدول ۹-۵۶ جدول درستی T-FF براساس عملکرد JK-FF

T	CLK	J	K	Q_{t-1}	Q_t
0		0	0	0	→0
0		0	0	1	→1
1		1	1	0	→1
1		1	1	1	→0

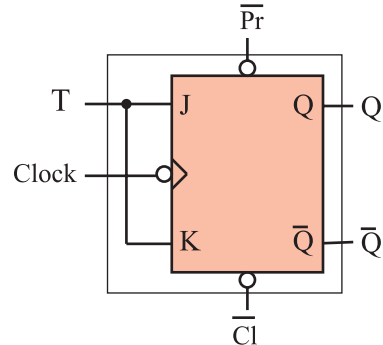
جدول ۹-۵۷ جدول درستی T-FF

T	CP	Q_t
0		Q_{t-1} حالت قبلی را حفظ می کند.
1		$\overline{Q_{t-1}}$ حالت قبلی عکس می شود.

نماد بلوکی فلیپ فلاپ T در شکل ۹-۱۲۵ آمده است.

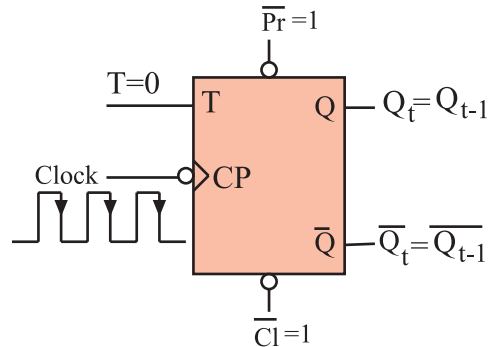


شکل ۹-۱۲۵ نماد بلوکی T-FF



شکل ۹-۱۲۲ تبدیل فلیپ فلاپ J-K به T

با توجه به شکل درمی یابیم که اطلاعات ورودی های J و K با هم برابرند. پس اگر $T=0$ باشد، مطابق شکل ۹-۱۲۳ $J=K=0$ است. در این صورت حافظه بدون تغییر می ماند.



شکل ۹-۱۲۳ T=0 است و Q و Q-bar تغییر نمی کند.

حال چنانچه $T=1$ باشد $J=K=1$ است. طبق شکل ۹-۱۲۴ با هر پالس ساعت وضعیت حافظه برعکس حالت قبل می شود. یعنی اگر حافظه Set است به حالت Reset و اگر Reset است به حالت Set می رود.

۹-۱۶ آزمایش شماره ۵

زمان اجرا: ۲ ساعت آموزشی

۹-۱۶-۱ هدف آزمایش: بررسی رفتار انواع فلیپ فلاپ ها

۹-۱۶-۲ تجهیزات، ابزار، قطعات و مواد مورد نیاز:

ردیف	نام و مشخصات	تعداد/ مقدار
۱	منبع تغذیه ۰-۳۰ ولت ۱A	یک دستگاه
۲	بردبرد یا برد آزمایشگاهی	یک قطعه
۳	IC ۷۴۱۰	یک عدد
۴	IC ۷۴۱۱	یک عدد
۵	IC ۷۴۰۲	یک عدد
۶	IC ۷۴۰۰	دو عدد
۷	LED قرمز	یک عدد
۸	LED سبز	یک عدد
۹	سیم رابط	به مقدار لازم
۱۰	مقاومت 150Ω	دو عدد
۱۱	ابزار عمومی کارگاه الکترونیک	یک سری

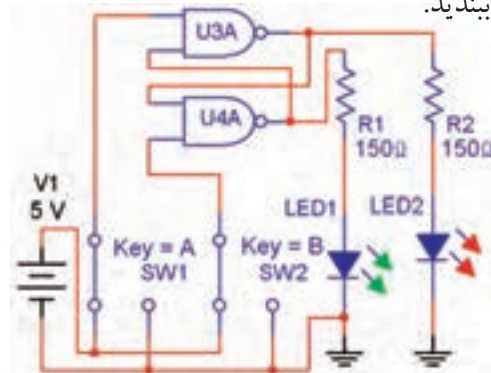
در صورت موجود بودن برد آماده، از آن ها برای انجام آزمایش های زیر استفاده کنید.

۹-۱۶-۳ مراحل اجرای آزمایش:

الف- بررسی فلیپ فلاپ SR:

با استفاده از آی سی ۷۴۰۰ مدار شکل ۹-۱۲۶ را روی

برد برد ببندید.



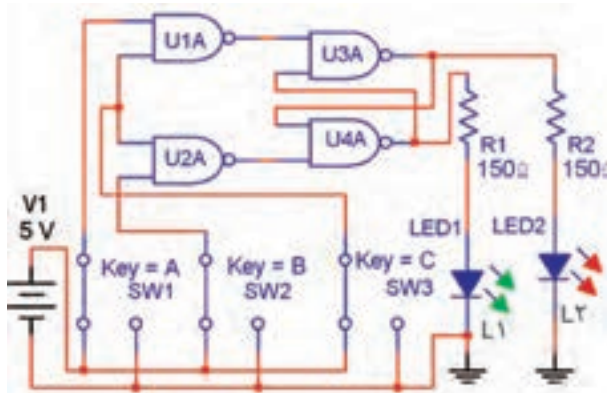
شکل ۹-۱۲۶ مدار آزمایش RS-FF

با تغییر وضعیت کلیدها، حالت خاموش یا روشن لامپ ها را مشاهده سپس جدول صحت ۹-۵۸ را کامل کنید.

جدول ۹-۵۸

وضعیت ورودی ها		وضعیت قبلی خروجی ها		وضعیت خروجی ها بعد از تغییر وضعیت	
$SW_1=S$	$SW_2=R$	L_1	L_2	L_1	L_2

مدار RS-FF را مطابق شکل ۹-۱۲۷ اصلاح کنید و دوباره جدول صحت ۹-۵۹ را کامل کنید.



شکل ۹-۱۲۷

جدول ۹-۵۹

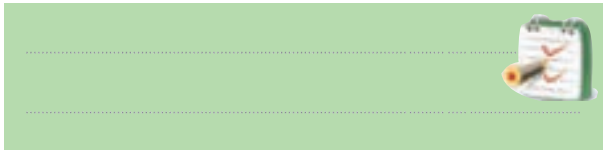
وضعیت ورودی ها			وضعیت قبلی خروجی ها		وضعیت از تغییر وضعیت	
SW_1	SW_2	SW_3	L_1	L_2	L_1	L_2

جدول ۹-۶۰

وضعیت ورودی ها			وضعیت قبلی خروجی ها		وضعیت خروجی ها بعد از تغییر وضعیت	
SW _۳	SW _۲	SW _۱	L _۱	L _۲	L _۱	L _۲

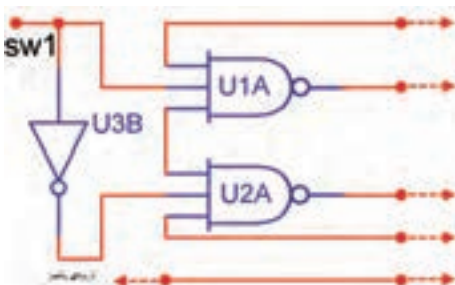
■ وضعیت روشنایی لامپ های L_1 و L_2 را در حالتی که هر سه کلید SW_1 ، SW_2 و SW_3 در حالت منطقی «۱» است به دقت مشاهده کنید.

سوال ۳۳: آیا در شدت نور آن ها نسبت به حالت هایی که حداقل یکی از کلیدها در حالت منطقی «۰» باشد تغییری مشاهده می کنید؟ علت آن چیست؟



ج: بررسی مدار فلیپ فلاپ D

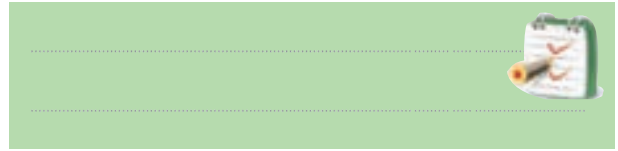
■ اینک ورودی مدار را مانند شکل ۹-۱۲۹ تغییر دهید؛ سپس با تغییر وضعیت SW_1 وضعیت روشنایی L_1 و L_2 پس از هر فرمان پالس را مشاهده و نتیجه مشاهدات خود را بنویسید



شکل ۹-۱۲۹

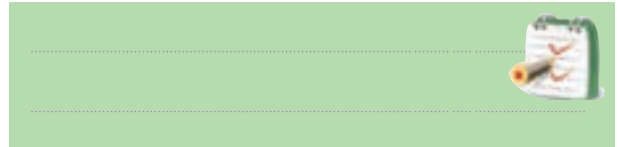
سوال ۳۱: آیا حالت غیر مجاز مدار شکل ۹-۱۲۶

برطرف شده است؟



سوال ۳۲: مدار شکل ۹-۱۲۷ بر مدار شکل ۹-۱۲۶ چه

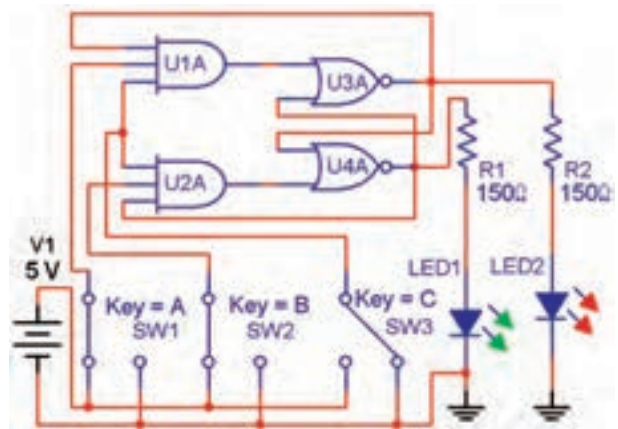
برتری دارد؟



توجه: در صورت داشتن وقت اضافی آزمایش های زیر را اجرا کنید

ب: بررسی فلیپ فلاپ JK

■ با استفاده از آی سی های ۷۴۰۲، ۷۴۱۱، ۷۴۰۴ مدار شکل ۹-۱۲۸ بر روی برد ببندید.



شکل ۹-۱۲۸

■ با تغییر وضعیت کلیدها وضعیت روشنایی لامپ های L_1 و L_2 را مشاهده نمود. سپس جدول صحت ۹-۶۰ را کامل کنید.

نتیجه مشاهدات



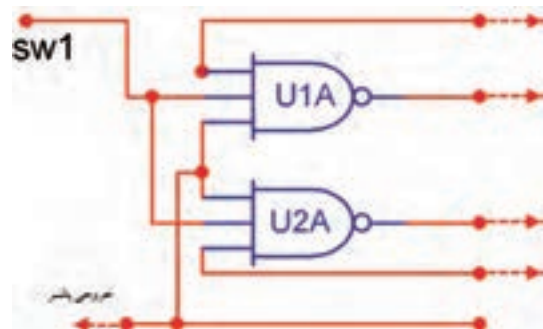
نتایج حاصل از آزمایش های الف ، ب ، ج و د را به طور خلاصه بیان کنید.



د : بررسی مدار فلیپ فلاپ T

■ اکنون ورودی های مدار شکل ۹-۱۲۸ را مانند شکل ۹-۱۳۰ تغییر دهید.

■ دوباره پس از ایجاد حالت های مختلف برای کلید SW_1 هر بار با فشردن و رها کردن کلید پالس - وضعیت روشنایی L_1 و L_2 را مشاهده کنید و نتیجه ی مشاهدات خود را بنویسید



شکل ۹-۱۳۰

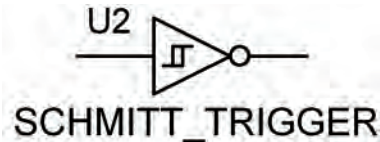
نتیجه مشاهدات :



۱۷-۹ اشمیت تریگر (Schmitt Trigger)

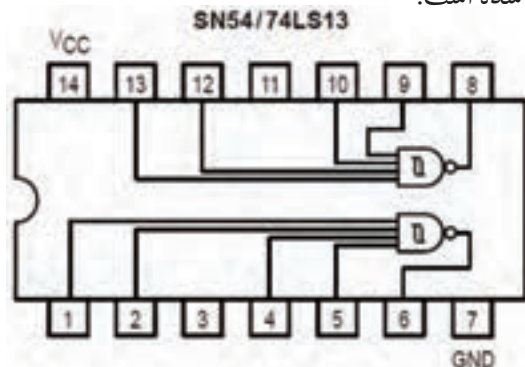
اشمیت تریگر مداری است که می تواند موج های مثلثی یا سینوسی را به موج مربعی (پالس) تبدیل کند. اشمیت تریگر به صورت گیت های دیجیتالی نیز ساخته می شود. این گیت ها به علت داشتن دو حالت پایدار، در ردیف مولتی ویراتورها قرار دارند و دارای دو سطح ولتاژ آستانه (Thre Shold) هستند. عمل کردن آن ها به این صورت است هرگاه ولتاژ ورودی از سطح ولتاژ اول بیش تر شود، این گیت سوئیچ نموده و تغییر وضعیت می دهد و اگر ولتاژ ورودی از سطح ولتاژ دوم کم تر شد، وضعیت گیت به حالت اول خود برمی گردد. به این ترتیب می توان از موج سینوسی یا مثلثی، پالس های مربعی ساخت.

نماد گیت اشمیت تریگر به صورت شکل ۱۳۱-۹ است.



شکل ۱۳۱-۹ نماد اشمیت تریگر

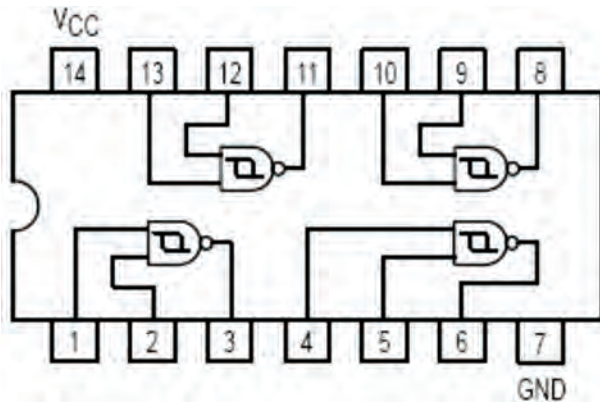
یک نمونه آی سی اشمیت تریگر آی سی ۷۴LS۱۳ است شکل پایه ها و گیت های داخل آی سی در شکل ۱۳۲-۹ رسم شده است.



شکل ۱۳۲-۹ آی سی اشمیت تریگر با NAND چهار ورودی

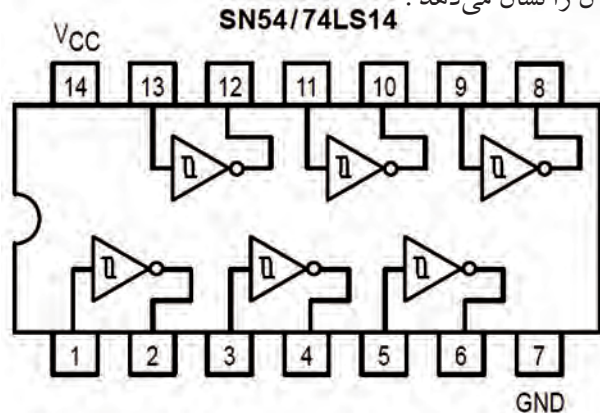
گیت های داخل آی سی دو سطح ولتاژ $1/7$ ولت و $0/9$ ولت دارند. وقتی ورودی گیت از $1/7$ ولت بیش تر شود خروجی به تراز (۰) منطقی (L) می آید و اگر ورودی تا $0/9$ ولت کاهش یابد. خروجی به تراز (۱) منطقی (High) می رسد.

اگر یکی از ورودی ها (L) باشد، خروجی در تراز (H) باقی می ماند و گیت دیگر تحریک نمی شود. نوع دیگر آی سی اشمیت تریگر آی سی ۷۴LS۱۳۲ است که شماره پایه ها و گیت های داخل آی سی را در شکل ۱۳۳-۹ مشاهده می کنید.



شکل ۱۳۳-۹

نمونه ی دیگر از آی سی اشمیت تریگر با شماره فنی ۷۴۱۴ نیز وجود دارد که شامل شش گیت NOT است. شکل ۱۳۴-۹ گیت های داخل آی سی و شماره ی پایه های آن را نشان می دهد.



شکل ۱۳۴-۹ آی سی اشمیت تریگر NOT

ورودی Low هر گیت، خروجی را به تراز High می برد. دو سطح ولتاژ این آی سی نیز $1/7$ ولت و $0/9$ ولت است.

آزمون پایانی ۹-۵ انواع فلیپ فلاپ



۱- حالت غیر مجاز در مدار فلیپ فلاپ S-R شکل

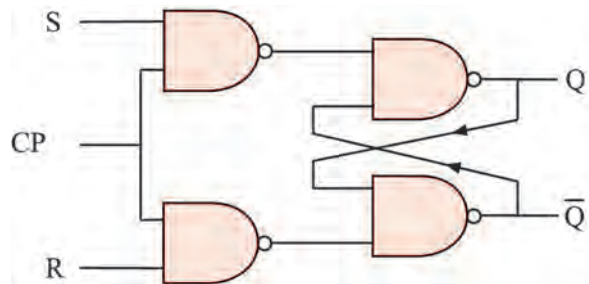
۹-۱۳۵ با پالس ساعت کدام است ؟

الف) $R=0, S=0$

ب) $R=1, S=1$

ج) $R=1, S=0$

د) $R=0, S=1$



شکل ۹-۱۳۵

۲- اشکال مدار فلیپ فلاپ SR را شرح دهید، در کدام

نوع فلیپ فلاپ این عیب برطرف شده است ؟

۶- جدول صحت ۹-۶۱ مربوط به چه نوع فلیپ فلاپی

است ؟

الف) J-K

ب) R-S

ج) D

د) T

جدول ۹-۶۱

A	B	Q_t
۰	۰	Q_{t-1}
۰	۱	۰
۱	۰	۱
۱	۱	Q_{t-1}

۷- جدول صحت ۹-۶۲ را کامل کنید ؟

جدول ۹-۶۲

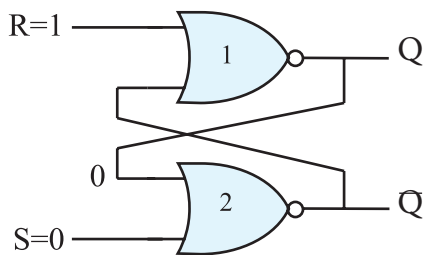
CK	J	K	Q_t
۰	X	X	
۱	۰	۰	
۱	۰	۱	
۱	۱	۰	
۱	۱	۱	

۸- حفظ اطلاعات در سلول های حافظه توسط مدار.....

انجام می شود.

۹- در مدار شکل ۹-۱۳۶ اگر ورودی های $S=0$ و $R=1$

باشد، مقدار خروجی Q و \bar{Q} را به دست آورید .



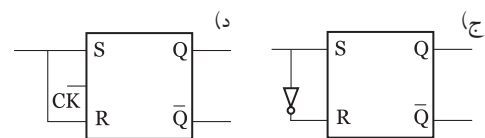
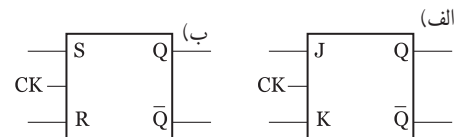
شکل ۹-۱۳۶

۱۰- نمای بلوکی فلیپ فلاپ J-K را رسم کنید.

۳- برای ثبت چهار بیت اطلاعات (۱۱۰۱) در حافظه به

..... سلول حافظه (فلیپ فلاپ) نیاز است .

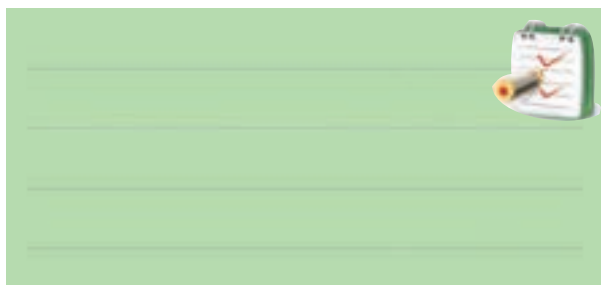
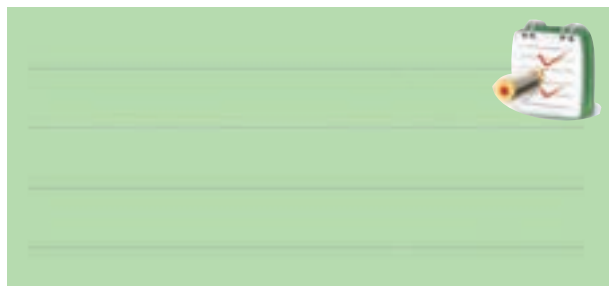
۴- کدام نماد فلیپ فلاپ نوع (D) را نشان می دهد ؟



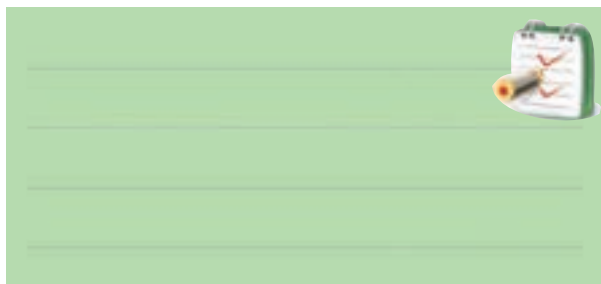
۵- جدول صحت فلیپ فلاپ نوع T را بنویسید و کار برد

آن را شرح دهید.

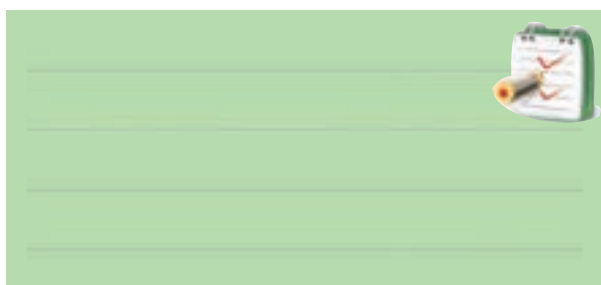
۱۴- در یک مدار اشمیت تریگر اگر سطح ولتاژ ورودی از $1/7$ ولت بیش تر شود و یا سطح ولتاژ ورودی تا $0/9$ ولت کاهش یابد خروجی در چه سطح منطقی قرار می گیرد؟



۱۱- عیب فلیپ فلاپ J-K را شرح دهید.



۱۲- کاربرد ورودی های Preset و Clear در فلیپ فلاپ MS-JK با ذکر مثال شرح دهید.



۱۳- کاربرد مدار اشمیت تریگر را بیان کنید.

