

# کاربرد آی سی میکروکنترلر در تلویزیون

### هدف کلی

نحوه عملکرد، عیب یابی و تعمیر واحد کنترل یک نمونه تلویزیون رنگی جدید

### هدف های رفتاری: فراگیر پس از پایان این واحد کار خواهد بود:

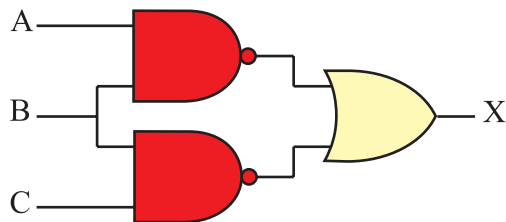
- ۱- انواع گیت های دیجیتالی پایه را بررسی کند.
- ۲- انواع مدار فلیپ فلاپ را تشریح کند.
- ۳- مدار انواع شیفت رجیسترها را شرح دهد.
- ۴- انواع شمارنده ها را تشریح کند.
- ۵- انواع آی سی های حافظه EPROM ، PROM ، RAM ، ROM و E<sup>2</sup>PROM را توضیح دهد.
- ۶- میکروکنترلر و کاربرد آن در گیرنده های رنگی جدید را توضیح دهد.
- ۷- واحد کنترل یک گیرنده رنگی جدید را نقشه خوانی، عیب یابی، تعمیر و تنظیم کند.

### ساعات آموزش

نظری	عملی	جمع
۳۰	۳۰	۶۰

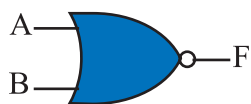
## پیش‌آزمون (۲)

۱- رابطه منطقی خروجی (X) را بنویسید و سپس رابطه را ساده کنید.



۲- جدول صحت داده شده مربوط به کدام گیت است؟

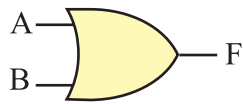
A	B	F
0	0	1
0	1	0
1	0	0
1	1	0



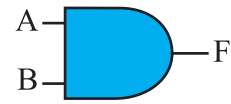
(۴)



(۳)

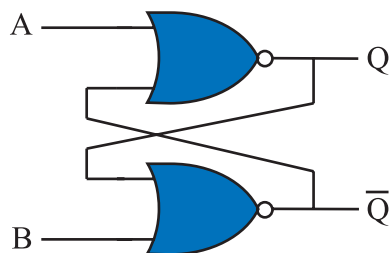


(۲)



(۱)

۳- اگر  $A=1$  و  $B=0$  باشد  $Q$  و  $\bar{Q}$  در چه حالت منطقی قرار دارند؟



۴- منظور از کلمات بیت و بایت چیست؟

۵- حافظه RAM چه نوع حافظه‌ای است؟

۶- حافظه‌ای که به توان آن را با سیگنال الکتریکی پاک کرد کدام نوع حافظه است؟

RAM (۱)

PROM (۲)

EPROM (۳)

E<sup>P</sup>PROM (۴)

۷- معمولاً برای تنظیم صدای یک تلویزیون رنگی (کم و یا زیاد کردن صدا) از چند طریق می‌توان به تلویزیون

فرمان داد؟

۸- آی‌سی‌ای که به‌عنوان میکروکنترلر در تلویزیون رنگی گروندیک عمل می‌کند آی‌سی شماره.....

است و شماره‌ی فنی آن..... می‌باشد.

۹- حافظه جانبی آی‌سی میکروکنترلر کدام است و این آی‌سی از چه نوعی است؟

۱۰- مدار دیودی یک سون‌سگمنت<sup>۱</sup> (واحد نمایش) آند مشترک را رسم کنید.

## ۲-۱- شناسایی سیستم‌های گیرنده رنگی جدید

### ۲-۱-۱- بررسی مدار گیت‌های دیجیتال

— بررسی کلی: چون در گیرنده‌های رنگی جدید از

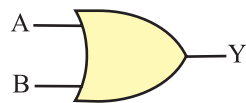
مدارهای دیجیتال استفاده می‌شود لازم است گیت‌های دیجیتال مورد بررسی قرار گیرد. البته در الکترونیک کار عمومی گیت‌های دیجیتال پایه، مورد مطالعه و بررسی قرار گرفته است. لذا در این قسمت این گیت‌ها به اختصار توضیح داده خواهد شد.

### ۲-۱-۲- دروازه<sup>۱</sup> منطقی OR (یا): دروازه منطقی

OR دروازه‌ای است که خروجی آن زمانی وجود دارد (یک می‌شود) که حداقل یکی از ورودی‌های آن وجود داشته باشد (یک باشد). جدول ۲-۱ جدول درستی دروازه منطقی OR را نشان می‌دهد.

جدول ۲-۱- جدول درستی دروازه منطقی OR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



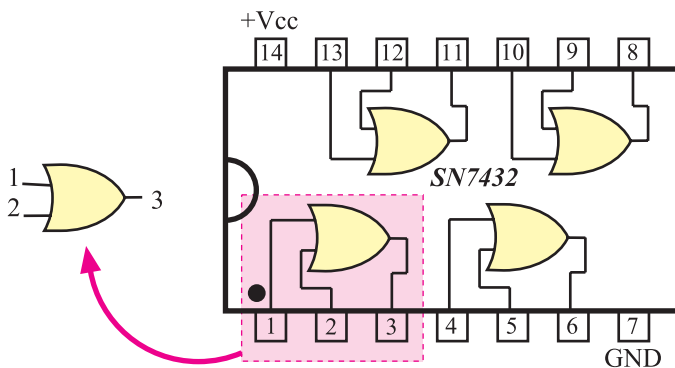
شکل ۲-۱- نماد مداری دروازه OR

شکل ۲-۱ نماد مداری دروازه منطقی OR را در استاندارد

بین‌المللی (IEC) نشان می‌دهد. رابطه منطقی خروجی دروازه‌ی

OR را برحسب متغیرهای ورودی به صورت  $Y = A + B$

می‌نویسند.

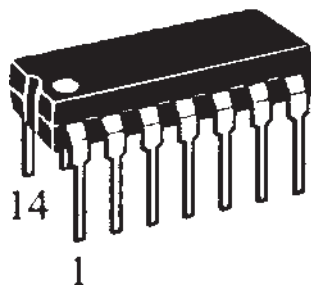


شکل ۲-۲- گیت‌های داخل تراشه ۷۴۳۲

در شکل ۲-۲ تراشه ۷۴۳۲ که یک آی‌سی ۱۴ پایه است

و در آن چهار دروازه OR قرار دارد نشان داده شده است. در

شکل ۲-۳ تصویر ظاهری آی‌سی ۷۴۳۲ را ملاحظه می‌کنید.



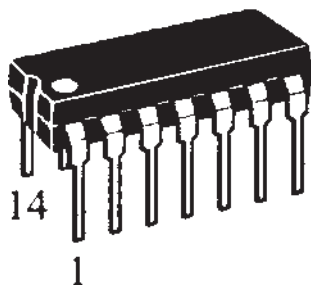
شکل ۲-۳- نقشه ظاهری آی‌سی ۷۴۳۲

جدول ۲-۲- جدول درستی دروازه منطقی AND

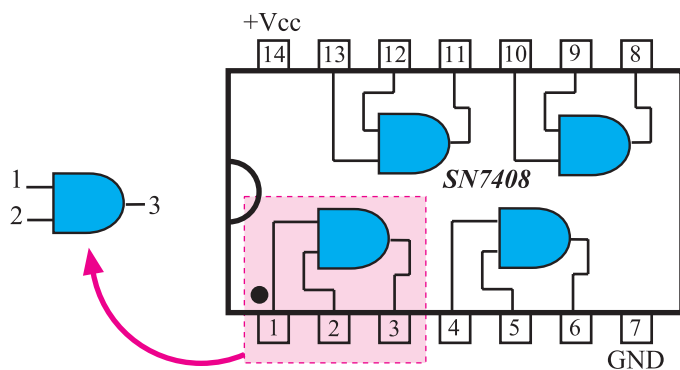
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



شکل ۲-۴- نماد مداری دروازه منطقی AND



شکل ۲-۵- تصویر ظاهری تراشه ۷۴۰۸



شکل ۲-۶- گیت‌های داخل آی‌سی ۷۴۰۸

### ۳-۱-۲- دروازه منطقی AND (و): دروازه منطقی

AND دروازه‌ای است که خروجی آن زمانی یک می‌شود که همه ورودی‌های آن یک باشند. در جدول ۲-۲ جدول درستی دروازه منطقی AND نوشته شده است.

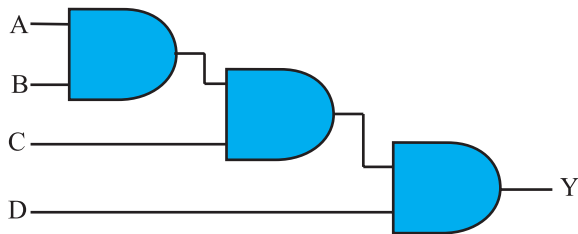
در شکل ۲-۴ نماد مداری دروازه منطقی AND نشان

داده شده است. رابطه منطقی خروجی دروازه AND را برحسب

متغیرهای ورودی آن به صورت  $Y = A \times B$  یا  $Y = A \cdot B$  می‌نویسند. در شکل ۲-۵ نماد ظاهری تراشه ۷۴۰۸ و در شکل

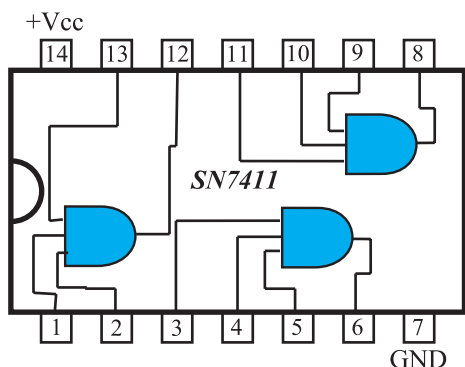
۲-۶ گیت‌های داخل این تراشه را مشاهده می‌کنید.

پایه ۱۴ آی‌سی تغذیه مثبت (۵+ ولت) و  
پایه ۷ زمین آی‌سی است.



شکل ۷-۲- توسعه ورودی AND

توجه کنید که دروازه منطقی معمولی OR و AND دو ورودی دارند ولی تعداد ورودی‌های این دروازه‌های منطقی می‌تواند بیشتر باشد. هم‌چنین می‌توان با سری کردن چند دروازه با دو ورودی، ورودی‌ها را به ۳ یا ۴ یا بیشتر افزایش داد. شکل ۷-۲ توسعه ورودی‌های AND را با استفاده از سه دروازه‌ی AND با دو ورودی، نشان می‌دهد.



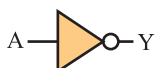
شکل ۸-۲- آی‌سی گیت AND با سه ورودی

در شکل ۸-۲ گیت‌های داخل تراشه ۷۴۱۱ را که دارای سه گیت AND با سه ورودی است ملاحظه می‌کنید.

جدول ۳-۲- جدول درستی گیت NOT

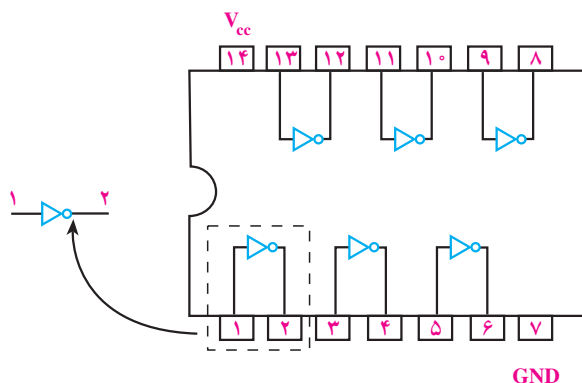
A	Y
0	1
1	0

۴-۱-۲ دروازه منطقی NOT (نفی): خروجی دروازه منطقی NOT همواره معکوس (نفی) ورودی آن است یعنی خروجی این گیت زمانی یک است که متغیر ورودی آن صفر باشد. جدول ۳-۲ جدول درستی گیت NOT را نشان می‌دهد.



شکل ۹-۲- نماد مدار گیت NOT

در شکل ۹-۲ نماد مدار دروازه NOT رسم شده است. رابطه منطقی خروجی دروازه NOT برحسب متغیر ورودی، به صورت  $Y = \bar{A}$  یا  $Y = A'$  نوشته می‌شود.



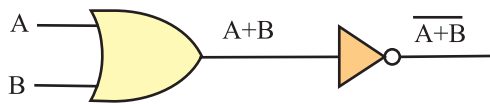
شکل ۱۰-۲- گیت‌های داخل آی‌سی ۷۴۰۴

در شکل ۱۰-۲ شش گیت NOT را داخل تراشه ۷۴۰۴ مشاهده می‌کنید.

پایه ۱۴ آی‌سی تغذیه مثبت (۵ ولت) و پایه ۷ زمین آی‌سی است.

## ۵-۱-۲- دروازه منطقی NOR (NOT-OR): دروازه

منطقی NOR از ترکیب دروازه‌های OR و NOT ساخته می‌شود. به عبارت دیگر متغیرهای ورودی این دروازه ابتدا با یکدیگر OR می‌شوند و سپس حاصل آن NOT می‌شود. شکل ۲-۱۱ گیت‌های تشکیل‌دهنده دروازه منطقی NOR را نشان می‌دهد.



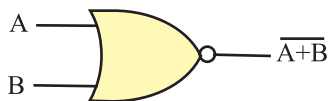
شکل ۲-۱۱- گیت‌های دروازه منطقی NOR

جدول ۲-۴- جدول درستی گیت NOR

A	B	$F = \overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

جدول ۲-۴- جدول درستی دروازه منطقی NOR است.

با توجه به جدول درستی، درمی‌یابیم خروجی دروازه NOR زمانی ۱ است که همه ورودی‌های آن ۰ باشد. اگر حداقل یک ورودی دروازه NOR ۱ باشد خروجی دروازه ۰ است.



در شکل ۲-۱۲ نماد مداری دروازه منطقی NOR رسم

شده است.

رابطه منطقی خروجی دروازه NOR برحسب متغیرهای

ورودی آن به صورت  $Y = \overline{A+B}$  نوشته می‌شود.

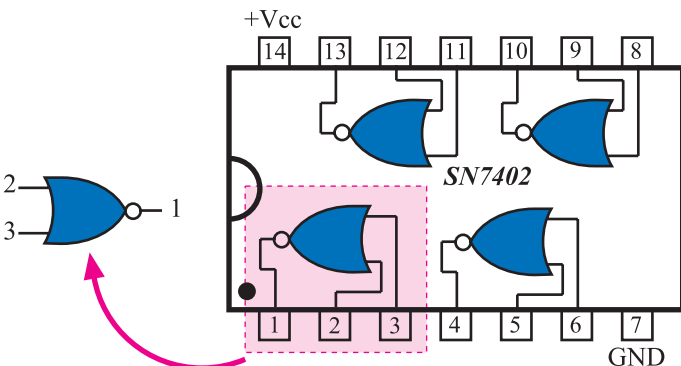
شکل ۲-۱۳ گیت‌های داخل تراشه ۷۴۰۲ را که شامل

چهار دروازه NOR است، نشان می‌دهد.

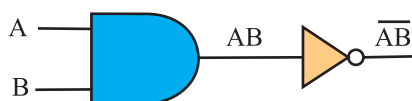
## ۶-۱-۲- دروازه منطقی NAND (NOT AND):

دروازه منطقی NAND از ترکیب دروازه‌های AND و NOT ساخته می‌شود. به عبارت دیگر ابتدا متغیرهای ورودی با یکدیگر AND و سپس حاصل آن NOT می‌شود.

شکل ۲-۱۲- نمای مداری دروازه منطقی NOR



شکل ۲-۱۳- گیت‌های داخل آی‌سی ۷۴۰۲



شکل ۲-۱۴- گیت‌های دروازه منطقی NAND

شکل ۲-۱۴- گیت‌های تشکیل‌دهنده دروازه منطقی

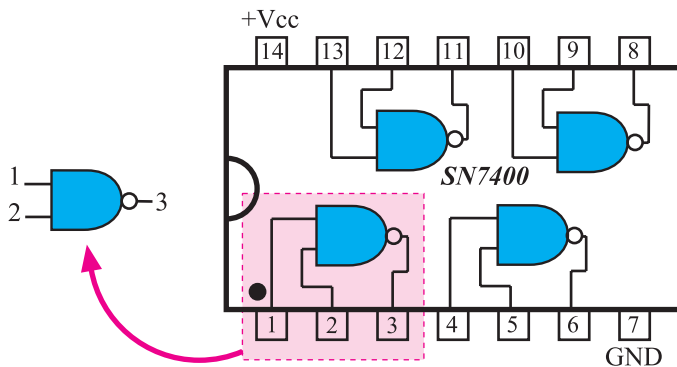
NAND را نشان می‌دهد.

جدول ۵-۲- جدول درستی NAND

A	B	$F = \overline{AB}$
0	0	1
0	1	1
1	0	1
1	1	0



شکل ۱۵-۲- نماد مداری دروازه NAND



شکل ۱۶-۲- گیت‌های داخل آی‌سی ۷۴۰۰

جدول ۵-۲ جدول درستی دروازه منطقی NAND است.

جدول درستی بیان می‌کند خروجی گیت NAND زمانی (۱) است که حداقل یکی از ورودی‌ها، صفر باشد. بنابراین هنگامی که همه ورودی‌های دروازه NAND یک است خروجی آن صفر می‌شود.

شکل ۱۵-۲ نماد مداری دروازه NAND را نشان می‌دهد.

رابطه منطقی خروجی NAND برحسب متغیرهای ورودی آن به صورت  $Y = \overline{AB}$  نوشته می‌شود.

در شکل ۱۶-۲ گیت‌های داخل تراشه ۷۴۰۰ که شامل

چهار دروازه NAND است را مشاهده می‌کنید.

پایه ۱۴ آی‌سی تغذیه مثبت (+۵ ولت) و پایه ۷ زمین آی‌سی است.

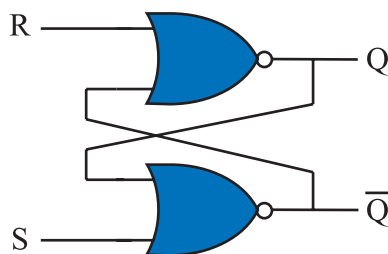
## ۲-۲- بررسی انواع مدارهای فلیپ‌فلاپ<sup>۱</sup>

### ۲-۲-۱- بررسی کلی: حفظ اطلاعات در سلول‌های

حافظه توسط مدار فلیپ‌فلاپ انجام می‌شود. فلیپ‌فلاپ‌ها تا مادامی که تغذیه مدار برقرار است می‌توانند اطلاعات را که به صورت صفر یا یک هستند در خود نگه دارند. فلیپ‌فلاپ‌ها باید در هر زمان اطلاعات را که به صورت ۰ یا ۱ منطقی است بپذیرند و در خود نگه دارند. بدیهی است با تغییر حالت در اطلاعات ورودی، اطلاعات موجود در حافظه تغییر می‌کند.

### ۲-۲-۲- مدار پایه‌ای فلیپ‌فلاپ: مدار فلیپ‌فلاپ

را می‌توان با استفاده از دو گیت NOR مطابق شکل ۱۷-۲ به وجود آورد. در مدار از خروجی یک گیت به ورودی گیت



شکل ۱۷-۲- مدار فلیپ‌فلاپ

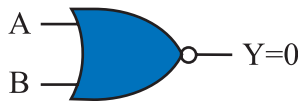
<sup>۱</sup> flip flop = FF



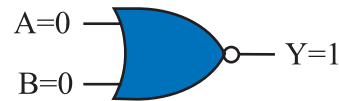
دیگر اتصال داده شده است که مسیر فیدبک را ایجاد می‌کند. این فلیپ‌فلاپ دارای دو خروجی است که یکی Q و دیگری نفی آن  $\bar{Q}$  (کیونات) نام دارد. دو ورودی آن S و R نام دارند. S حرف اول کلمه 'Set' (ست) و R حرف اول کلمه 'Reset' (ری‌ست) است.

### ۳-۲-۲- طرز کار مدار فلیپ‌فلاپ S-R:

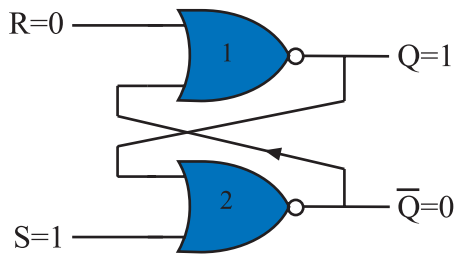
همان‌طوری که قبلاً در مورد گیت NOR گفته شد اگر حداقل یکی از ورودی‌های گیت NOR یک باشد خروجی آن صفر است و تنها زمانی که تمام ورودی‌های گیت NOR صفر باشد خروجی آن ۱ می‌شود. شکل ۲-۱۸ و ۲-۱۹ این دو وضعیت را نشان می‌دهد.



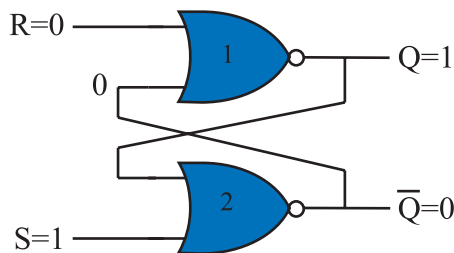
شکل ۲-۱۸- اگر A یا B یا هر دو ۱ باشد  $Y=0$  است.



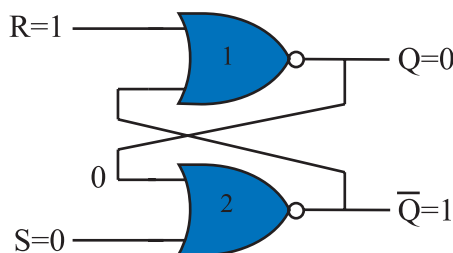
شکل ۲-۱۹- اگر  $A=0$  و  $B=0$  باشد  $Y=1$  است



شکل ۲-۲۰- فلیپ‌فلاپ RS



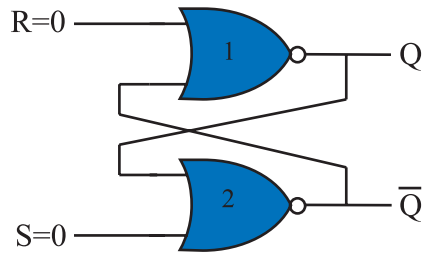
شکل ۲-۲۱- اگر  $S=1$  و  $R=0$  باشد  $Q=1$  و  $\bar{Q}=0$  می‌شود



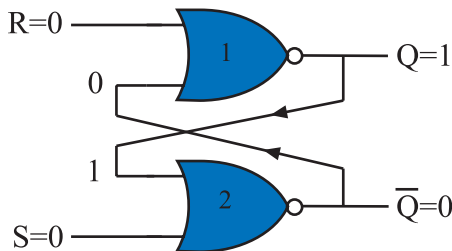
شکل ۲-۲۲- حالتی که  $\begin{cases} S=0 \\ R=1 \end{cases}$  است  $\begin{cases} Q=0 \\ \bar{Q}=1 \end{cases}$  می‌شود

فرض کنیم در لحظه شروع مطابق شکل ۲-۲۰،  $S=1$  و  $R=0$  است. در این حالت چون یکی از ورودی‌های گیت شماره ۱، دو، ۱ است. خروجی آن یعنی  $\bar{Q}$  مساوی با صفر خواهد شد. از طرفی خروجی  $\bar{Q}=0$  به یکی از ورودی‌های گیت شماره یک فیدبک شده است. این فیدبک هر دو ورودی گیت NOR شماره ۱ یک را صفر می‌کند و  $Q=1$  می‌شود. این شرایط در خروجی به صورت پایدار باقی می‌ماند تا ورودی‌ها تغییر حالت ندهند. شکل ۲-۲۱ وضعیت خروجی گیت‌ها را نشان می‌دهد.

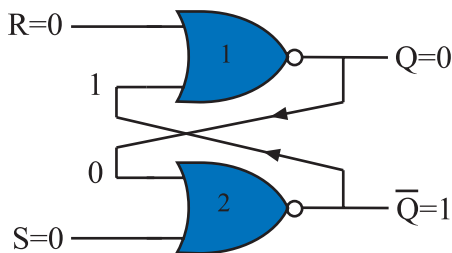
اگر مطابق شکل ۲-۲۲ ورودی‌ها به  $S=0$  و  $R=1$  تغییر کنند چون یکی از ورودی‌های گیت NOR شماره ۱ یک برابر با یک است خروجی آن یعنی  $Q=0$  می‌شود. از طرفی  $Q=0$  به یکی از ورودی‌های گیت NOR شماره ۲ دو فیدبک می‌شود و هر دو ورودی این گیت را صفر می‌کند. بنابراین  $\bar{Q}=1$  می‌شود.



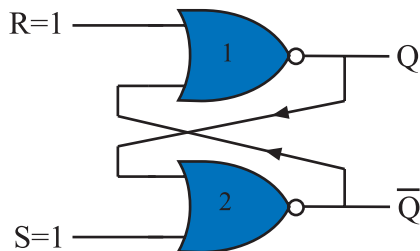
شکل ۲-۲۳- در حالتی که  $S=0$  و  $R=0$  خروجی‌ها به  $Q$  و  $\bar{Q}$  بستگی دارند



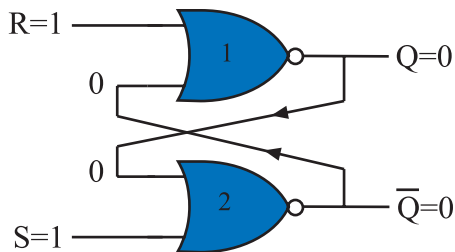
شکل ۲-۲۴-  $Q=1$  و  $\bar{Q}=0$



شکل ۲-۲۵-  $Q=0$  و  $\bar{Q}=1$  حافظه در همین حالت باقی می‌ماند



شکل ۲-۲۶- اگر  $S=1$  و  $R=1$  باشد  $Q$  و  $\bar{Q}$  در چه حالتی باقی می‌ماند؟



شکل ۲-۲۷- اگر  $S=1$  و  $R=1$  شود  $Q=\bar{Q}=0$  خواهد شد این حالت را حالت ممنوعه می‌گویند.

اگر مطابق شکل ۲-۲۳،  $S=0$  و  $R=0$  شود چون هر دو ورودی صفر هستند نمی‌توانند وضعیت خروجی گیت‌ها را تعیین کنند. وضعیت خروجی هر گیت به ورودی دیگر آن یعنی به ورودی فیدبک شده بستگی دارد. در این شرایط دو حالت پیش می‌آید.

الف- اگر مطابق شکل ۲-۲۴،  $Q=1$  و  $\bar{Q}=0$  باشد در این صورت خروجی در همین حالت یعنی  $Q=1$  و  $\bar{Q}=0$  باقی می‌ماند (چرا؟)

ب- ممکن است مطابق شکل ۲-۲۵،  $Q=0$  و  $\bar{Q}=1$  باشد در این صورت  $Q=0$  و  $\bar{Q}=1$  باقی می‌ماند. پس در شرایط  $S=0$  و  $R=0$  وضعیت  $Q$  و  $\bar{Q}$  تغییر نمی‌کند و مشابه آخرین حالت قبل از این مرحله، پایدار باقی می‌ماند.

در صورتی که مطابق شکل ۲-۲۶،  $S=1$  و  $R=1$  شود چون یکی از ورودی‌های گیت‌های NOR یک است خروجی آن‌ها یعنی  $Q$  و  $\bar{Q}$  مطابق شکل ۲-۲۷ برابر با صفر می‌شود. این حالت یعنی  $Q=\bar{Q}=0$  تعریف نشده است و نباید ایجاد شود. زیرا اگر بعد از مرحله  $S=R=1$  که  $Q=\bar{Q}=0$  شده است، ورودی‌های  $S$  و  $R$  به صفر تغییر حالت دهند، خروجی فلیپ‌فلاپ بین 0 و 1 نوسان می‌کند و بعد از چند مرحله نوسان،  $Q$  به طور تصادفی روی 0 یا 1 ثابت می‌ماند و قفل می‌شود. حالت  $S=R=1$  را حالت ممنوعه می‌گویند.

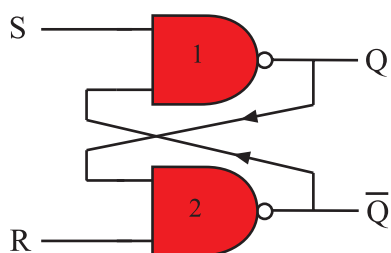
جدول ۶-۲- جدول درستی فلیپ فلاپ S-R

ورودی SET	ورودی RESET	خروجی در لحظه t
S	R	$Q_t$
0	0	$Q_{t-1}$
0	1	0
1	0	1
1	1	حالت ممنوعه

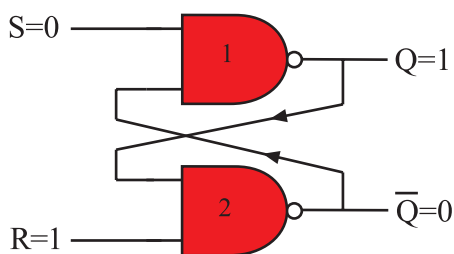
چهار حالت بررسی شده برای فلیپ فلاپ در جدول درستی ۶-۲ نشان داده شده است. منظور از  $Q_t$  وضعیت حافظه در لحظه t و منظور از  $Q_{t-1}$  وضعیت حافظه قبل از لحظه t ( $Q_t$ ) است.

#### ۴-۲-۲- مدار فلیپ فلاپ S-R با گیت NAND:

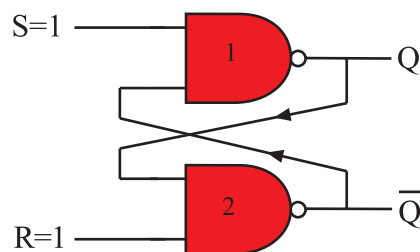
شکل ۲-۲۸ فلیپ فلاپ S-R را با گیت NAND نشان می دهد. چهار حالت ممکن برای حالت S-R وجود دارد. این چهار حالت مشابه فلیپ فلاپ S-R با گیت NOR است. در شکل های ۲-۲۹ تا ۲-۳۲ چهار حالت مختلف ورودی فلیپ فلاپ و وضعیت خروجی Q و  $\bar{Q}$  مشخص شده است.



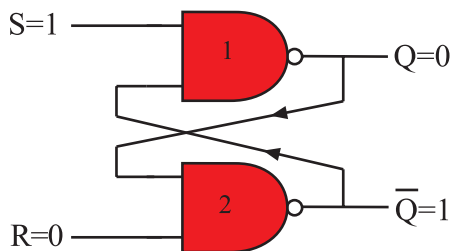
شکل ۲-۲۸- فلیپ فلاپ S-R با NAND



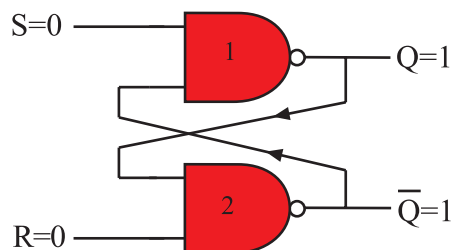
شکل ۲-۲۹- در  $S=0$  و  $R=1$  خروجی  $Q=1$  و  $\bar{Q}=0$  می شود



شکل ۲-۳۱- اگر  $S=R=1$  شود وضعیت Q و  $\bar{Q}$  به حالت قبل بستگی دارد



شکل ۲-۳۰- در  $S=1$  و  $R=0$  خروجی  $Q=0$  و  $\bar{Q}=1$  می شود



شکل ۲-۳۲- در صورتی که  $S=0$  و  $R=0$  باشد  $Q=\bar{Q}=1$  می شود که تعریف نشده است

در جدول درستی ۲-۷ چهار حالت ورودی و وضعیت خروجی Q و  $\bar{Q}$  مشخص شده است.

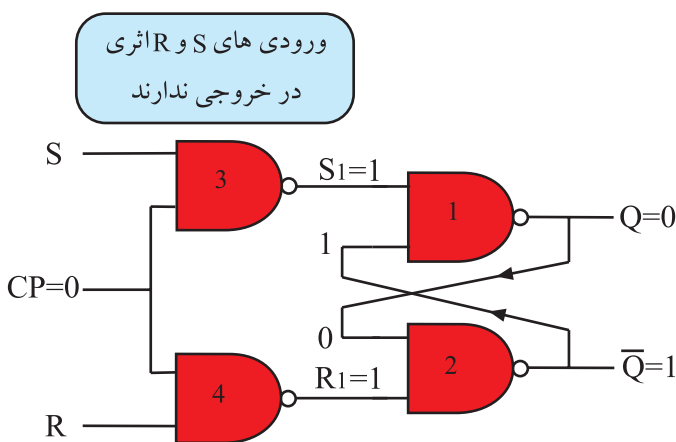
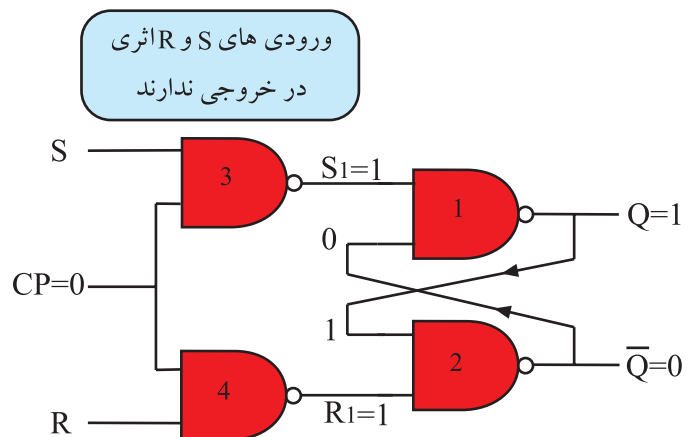
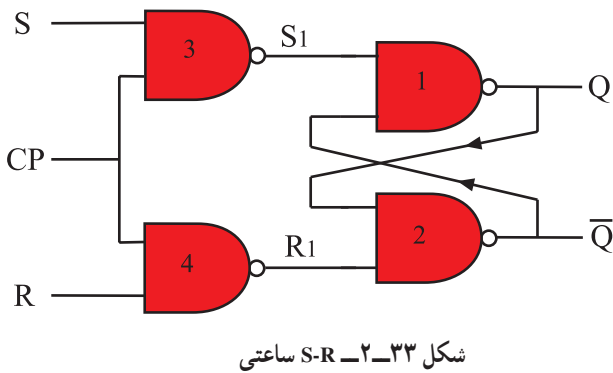
جدول ۲-۷- جدول درستی فلیپ فلاپ S-R با NAND

ورودی SET	ورودی RESET	خروجی در لحظه t
S	R	$Q_t$
0	0	حالت ممنوعه
0	1	1
1	0	0
1	1	$Q_{t-1}$

خروجی قبل از لحظه t

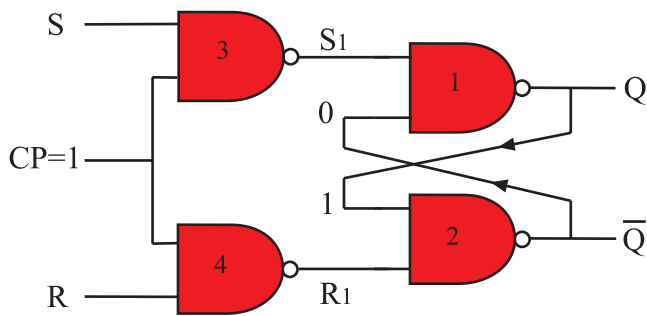
### ۲-۲-۵- فلیپ فلاپ S-R با پالس ساعت<sup>۱</sup>:

فلیپ فلاپ S-R ساعتی از یک مدار S-R ساده و دو گیت NAND اضافی مطابق شکل ۲-۳۳ تشکیل شده است. پالس ساعت ورودی (CP) به عنوان یک سیگنال فعال ساز عمل می کند. هنگامی که  $CP = 0$  است،  $S_1$  و  $R_1$  یک می شود. در این شرایط خروجی Q و  $\bar{Q}$  تغییر وضعیت نمی دهند و حالت قبل خود را حفظ می کنند. شکل های ۲-۳۴ و ۲-۳۵ این حالت ها را نشان می دهد.



شکل ۲-۳۵- خروجی  $Q = 1$  حالت قبل را حفظ می کند و ثابت می ماند

شکل ۲-۳۴- خروجی  $Q = 0$  حالت قبل را حفظ می کند و ثابت می ماند



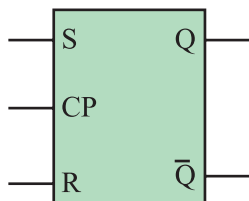
شکل ۲-۳۶-۱ CP=1 است. Q و  $\bar{Q}$  از مقادیر S و R تبعیت می‌کنند

اگر  $CP=1$  شود خروجی گیت NAND شماره ۳ و ۴ براساس ورودی‌های S و R تغییر می‌کند و در این حالت خروجی Q و  $\bar{Q}$  مطابق جدول درستی فلیپ‌فلاپ S-R می‌شود (شکل ۲-۳۶).

جدول ۲-۸-۲ جدول درستی S-R ساعتی

ورودی پالس ساعت	ورودی SET	ورودی RESET	خروجی در لحظه t
CP	S	R	$Q_t$
0	0	0	$Q_{t-1}$
0	0	1	$Q_{t-1}$
0	1	0	$Q_{t-1}$
0	1	1	$Q_{t-1}$
1	0	0	$Q_{t-1}$
1	0	1	0
1	1	0	1
1	1	1	حالت ممنوعه

خروجی قبل از لحظه t ←  $Q_{t-1}$

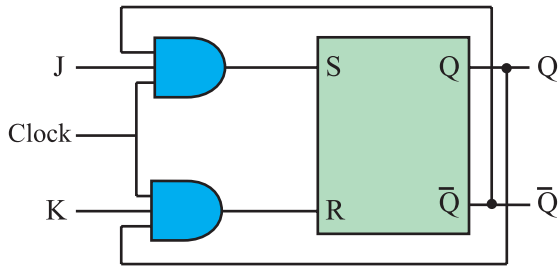


شکل ۲-۳۷-۲ نمای بلوکی S-R ساعتی

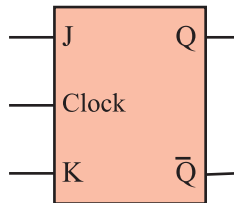
جدول ۲-۸-۲، جدول درستی فلیپ‌فلاپ S-R ساعتی را نشان می‌دهد. نماد بلوکی S-R ساعتی در شکل ۲-۳۷ آمده است.

## ۲-۲-۶- فلیپ فلاپ J-K: اشکال عمده فلیپ فلاپ

S-R مربوط به حالت تعریف نشده آن یعنی وضعیت  $S=R=1$  است. برای اصلاح این حالت از فلیپ فلاپ J-K استفاده می شود. در شکل ۲-۳۸ مدار فلیپ فلاپ J-K رسم شده است.

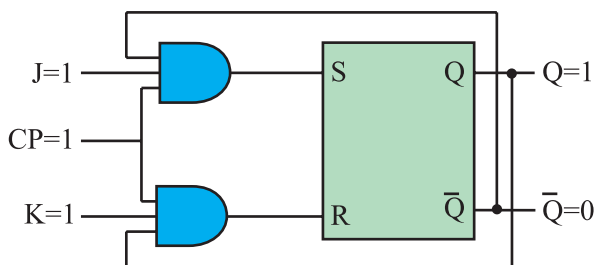
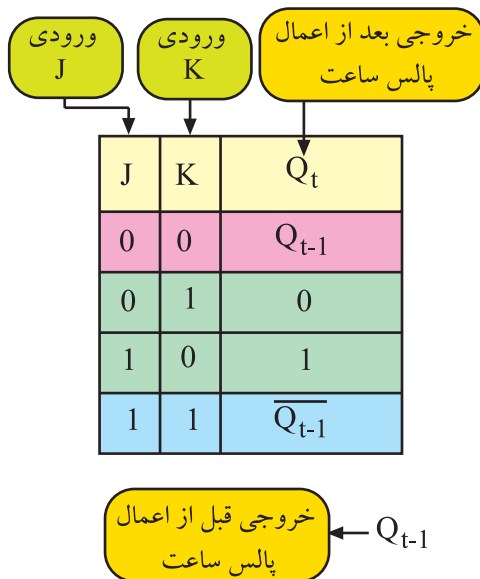


شکل ۲-۳۸- فلیپ فلاپ J-K



شکل ۲-۳۹- نماد بلوکی فلیپ فلاپ J-K

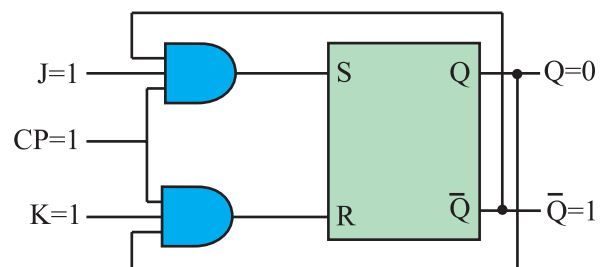
جدول ۲-۹- جدول درستی فلیپ فلاپ J-K



شکل ۲-۴۰-  $J=1$  و  $K=1$  خروجی  $Q$  (۱) است

نماد بلوکی فلیپ فلاپ J-K را در شکل ۲-۳۹ مشاهده

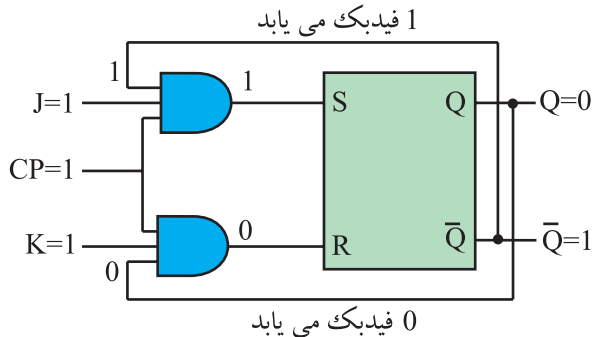
می کنید. جدول درستی فلیپ فلاپ J-K در جدول ۲-۹ آمده است. این جدول نشان می دهد حالت ممنوعه برطرف شده است یعنی هنگامی که  $J=K=1$  می شود اگر فلیپ فلاپ مطابق شکل ۲-۴۰ در حالت Set یعنی  $Q=1$  قرار داشته باشد، وضعیت آن تغییر می کند و Reset می شود. بنابراین مطابق شکل ۲-۴۱ خروجی  $Q=1$  به حالت  $Q=0$  تغییر حالت می دهد.



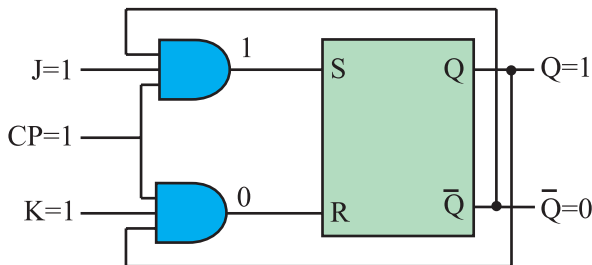
شکل ۲-۴۱- در وضعیت  $J=1$  و  $K=1$ ،  $Q$  و  $\overline{Q}$  برعکس حالت قبل شده است

هم چنین اگر فلیپ فلاپ در وضعیت Reset یعنی  $Q=0$  باشد با برقراری  $J=K=1$  به وضعیت Set می رود یعنی  $Q=1$  می شود به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می دهد. این وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی<sup>۱</sup> می نامند.

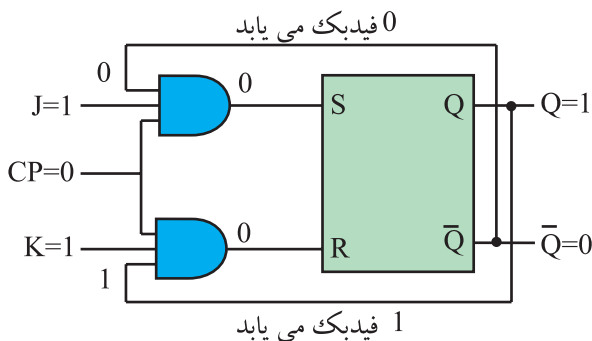
باید توجه داشت تغییر وضعیت  $Q$  و  $\bar{Q}$  زمانی رخ می دهد که پالس ساعت فعال باشد. ( $CP=1$ ) طبیعی است اگر پالس ساعت فعال نباشد یعنی  $CP=0$  شود  $Q$  و  $\bar{Q}$  تغییر وضعیت نمی دهند و حالت اولیه خود را حفظ می کنند.



شکل ۲-۴۲ —  $J=1$  و  $K=1$  و  $Q=0$



شکل ۲-۴۳ — با فیدبک خروجی  $Q$  و  $\bar{Q}$  به ورودی وضعیت جدید  $Q=1$  و  $\bar{Q}=0$  ظاهر شده است

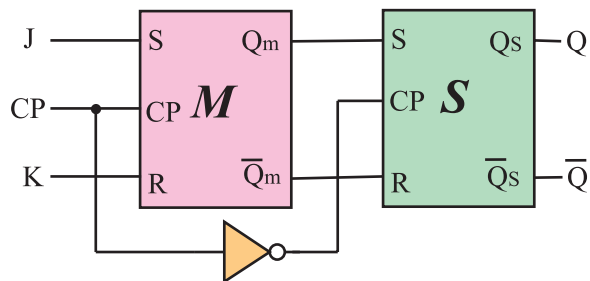


شکل ۲-۴۴ —  $Q$  و  $\bar{Q}$  فیدبک می شوند چون  $CP=0$  است خروجی تغییر نمی کند

## ۲-۲-۷ — عیب فلیپ فلاپ J-K: همان طور که مشاهده

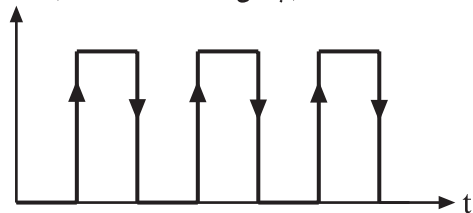
کردید فلیپ فلاپ J-K توانسته است حالت تعریف نشده ی فلیپ فلاپ S-R را برطرف کند. چون خروجی های  $Q$  و  $\bar{Q}$  مستقیماً به ورودی ها فیدبک شده اند. اگر در حالت  $J=K=1$ ، پالس ساعت برابر با (۱) باقی بماند به دلیل وجود فیدبک، مقادیر  $Q$  و  $\bar{Q}$  مرتباً تغییر می کنند و خروجی فلیپ فلاپ دائماً بین صفر و یک نوسان می کند. در شکل ۲-۴۲ و ۲-۴۳ تغییر وضعیت  $Q$  و  $\bar{Q}$  نشان داده شده است.

حال اگر مطابق شکل ۲-۴۴،  $CP=0$  شود، در این لحظه  $Q$  روی آخرین وضعیت خود ثابت می ماند. این حالت فلیپ فلاپ را پدیده دور خود چرخیدن<sup>۲</sup> می گویند. برای برطرف کردن این عیب از فلیپ فلاپ J-K-MS استفاده می شود.



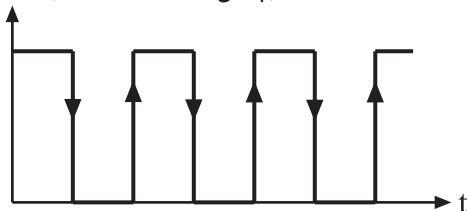
شکل ۲-۴۵ - نقشه بلوکی فلیپ فلاپ JK-MS بدون رسم مسیر فیدبک

CP ( پالس ساعت Master )

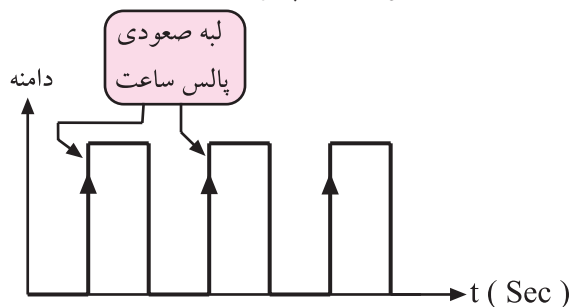


شکل ۲-۴۶ - پالس ساعت Master

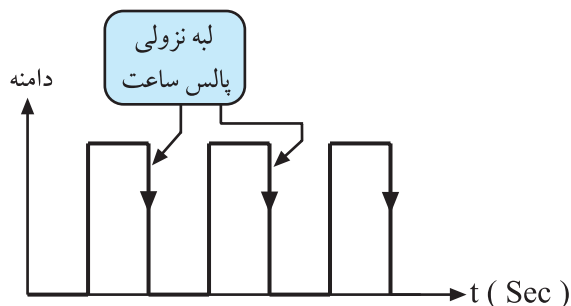
$\overline{CP}$  ( پالس ساعت Slave )



شکل ۲-۴۷ - پالس ساعت Slave



شکل ۲-۴۸ - پالس و لبه صعودی آن



شکل ۲-۴۹ - پالس و لبه نزولی آن

## ۸-۲-۲- فلیپ فلاپ MS-JK<sup>۱</sup>: فلیپ فلاپ JK-MS

از دو فلیپ فلاپ S-R مجزا درست شده است که یکی مَستر (Master) و دیگری اسلیو (Slave) نام دارد. شکل ۲-۴۵ نقشه بلوکی این فلیپ فلاپ را نشان می‌دهد. در نقشه بلوکی خطوط فیدبک از Q و  $\overline{Q}$  به ورودی‌ها رسم نشده است.

با توجه به نقشه بلوکی شکل ۲-۴۵ درمی‌یابیم که پالس ساعت فلیپ فلاپ Master، NOT می‌شود و به عنوان پالس ساعت فلیپ فلاپ Slave عمل می‌کند. شکل‌های ۲-۴۶ و ۲-۴۷ وضعیت پالس ساعت Master و Slave را نسبت به هم نشان می‌دهد.

هنگامی که پالس از ولتاژ صفر به سمت سطح ولتاژ زیاد تغییر می‌کند، به این بخش لبه صعودی پالس گویند. شکل ۲-۴۸ لبه صعودی پالس را نشان می‌دهد. هنگامی که پالس از سطح ولتاژ زیاد به سمت سطح ولتاژ صفر نزول می‌کند این بخش، لبه نزولی پالس نام دارد. شکل ۲-۴۹ لبه نزولی پالس را نشان می‌دهد.