فصل سوم

ترانزیستور اثر میدان (FET)

Field Effect Transistor

زمان اجرا : ۱۶ ساعت آموزشی

هدف کلی : بررسی اصول کار ترانزیستورهای اثر میدان و مدارهای سادهٔ آن

هدف‌های رفتاری : پس از پایان این فصل از فراگیرنده انتظار می‌رود که :

۱ــ ساختمان ترانزیستور اثر میدان (FET) و نماد آن را شرح دهد.
۲ــ منحنی مشخصهٔ JFET را شرح دهد.
۳ــ ولتاژبندی (بایاس) JFET را توضیح دهد.
۴ــ کاربردهای JFET را از روی منحنی مشخصه شرح دهد (منبع جریان ثابت، مقاومت متغیر، تقویت‌کننده، سوئیچ)
۵ــ JFET را با BJT مقایسه کند.
۶ــ چگونگی تقویت توسط JFET را تشریح کند.
۷ــ آرایش تقویت‌کننده JFET به صورت CS ، CG و CD را شرح دهد.
۸ ــ تقویت کننده‌های BJT را با تقویت‌کننده‌های FET مقایسه کند.
۹ــ ساختمان ترانزیستور اثر میدان باگیت عایق شده را شرح دهد.
۱۰ــ منحنی مشخصه‌های خروجی و انتقالی MOSFET را تجزیه و تحلیل کند.
۱۱ــ ساختمان VMOSFET را تعریف کند.
۱۲ــ ساختمان داخلی VMOSFET را با MOSFET مقایسه کند.
۱۳ــ کاربردهای VMOSFET را شرح دهد.
۱۴ــ مشخصات مهم ترانزیستورهای JFET یا MOSFET را از Datasheet استخراج کند.
۱۵ــ به سؤال‌های الگوی پرسش پاسخ دهد.

پیش‌گفتار

ترانزیستورهای معمولی به دلیل ساختار فیزیکی خاصی که دارند ترانزیستورهای دوپیوندی یا BJT نامیده می‌شوند و عناصری هستند که جریان را کنترل می‌کنند به بیانی دیگر جریان بیس‌ترانزیستور جریان کلکتور را کنترل می‌کند. البته در BJT تغییر ولتاژ بیس امیتر نیز می‌تواند I_B را تغییر داده و سرانجام I_C کنترل شود. برای برقراری جریان در اتصال کلکتور، باید جریان بیس به اندازه‌ای باشد که بتواند به‌طور کامل بر پتانسیل سد پیوند بیس امیتر غلبه کند و آن را بشکند. وجود جریان ورودی زیاد در ترانزیستور BJT باعث می‌شود که مقاومت ورودی ترانزیستورهای دوپیوندی نسبتاً کم باشد به‌طوری که مقاومت ورودی حتی در آرایش کلکتور مشترک، از چند صدهزار اهم تجاوز نکند. بنابراین هنگامی که می‌خواهیم سیگنال منبعی با مقاومت داخلی بسیار زیاد (مثلاً حدود چند مگا اهم) را تقویت کنیم نمی‌توانیم ترانزیستور BJT را در طبقه اول تقویت‌کننده به‌کار ببریم زیرا مقاومت ورودی کم آن باعث بارگذاری می‌شود. هم‌چنین هنگام اتصال در دستگاه‌های اندازه‌گیری مانند ولت‌متر و اسیلوسکوپ به مدار، نباید از مدار مورد اندازه‌گیری جریان زیادی گرفته شود. لازم است این دستگاه‌ها مقاومت ورودی زیادی داشته باشند. بنابراین ترانزیستورهای BJT در این‌گونه مدارها، کارآیی لازم را ندارند. ساختمان داخلی ترانزیستورهای

اثر میدان در مقایسه با ترانزیستورهای BJT، ساده‌تر است و مقاومت ورودی بسیار زیاد (در حدود ۱۰MΩ تا ۱۰۰۰MΩ) دارند. ترانزیستورهای اثر میدان با ولتاژ کنترل می‌شوند و در ساختمان داخلی آن‌ها فقط دو نوع نیمه‌هادی به‌کار می‌رود، به همین علت این ترانزیستورها را «تک‌پیوندی» (unijunction Transistor) یا یک قطبی می‌گویند. ترانزیستورهای اثر میدان را در دو نوع متفاوت به شرح زیر می‌سازند.

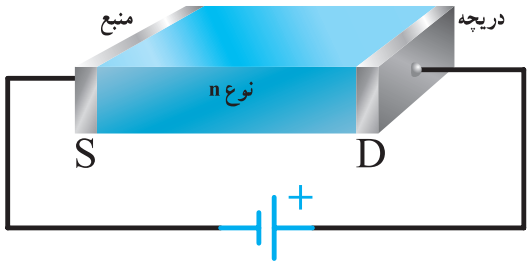
الف) استفاده از روش نفوذی یعنی نفوذ دادن کریستال نوع N در P یا برعکس، این نوع ترانزیستورها را JFET می‌نامند.

ب) استفاده از خاصیت خازنی لایه‌ها، این نوع ترانزیستورها را MOSFET می‌نامند. MOS از کلمات M=Metal فلزی O=Oxide اکسید و S=Semiconductor نیمه هادی گرفته شده است.

۱ــ۳ــ ترانزیستور با اثر میدان پیوندی یا JFET (Junction Field Effect Transistor)

۱ــ ۱ــ۳ــ ساختمان JFET با کانال N : یک میلهٔ سیلیسیمی را که کمی ناخالصی نوع n به آن افزوده شده باشد، درنظر بگیرید. این میله درست مانند یک مقاومت عمل می‌کند که مقدار آن به میزان ناخالصی افزوده شده، سطح مقطع و طول میله بستگی دارد.

اگر یک باتری، مطابق شکل ۱ــ۳ به دوسر این میله وصل کنیم، جریانی متناسب با ولتاژ دوسر باتری از آن عبور می‌کند. یک انتهای میله را که الکترون‌ها از آن خارج می‌شوند دریچه یا درین (Drain) و انتهای دیگر میله را، که الکترون‌ها به آن وارد می‌شوند منبع یا سورس (Source) نام‌گذاری می‌کنیم.

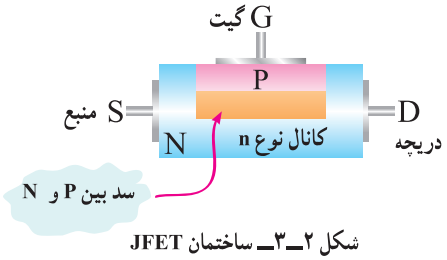


شکل ۱ــ۳ــ نیمه‌هادی با ناخالصی n

این میلهٔ نیمه هادی، با توجه به میزان ناخالصی، سطح مقطع و طول مشخص، در شرایط عادی مانند یک مقاومت ثابت عمل می‌کند یعنی با دادن یک ولتاژ ثابت، جریان ثابتی از آن می‌گذرد. اگر مقاومت این میله تغییر کند، میزان جریانی که در برابر یک ولتاژ ثابت از آن عبور می‌کند نیز تغییر خواهد کرد. تغییر مقدار مقاومت میله با تغییر طول، سطح مقطع و میزان ناخالصی آن امکان‌پذیر است. از این سه متغیر، تنها سطح مقطع مؤثر میله را می‌توان با استفاده از روش الکتریکی به کنترل درآورد.

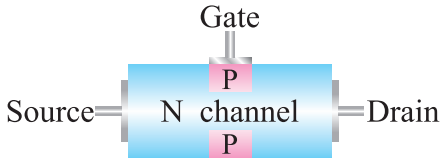
اگر در قسمتی از این میله یک فلز سه‌ظرفیتی مانند ایندیُم را به‌گونه‌ای نفوذ دهیم که یک ناحیهٔ نوع p با غلظتی بیش از ناحیهٔ n تشکیل شود، یک پیوند pn به‌وجود می‌آید. در این‌حالت ناحیهٔ n را کانال و نیمه‌هادی نوع p را دروازه یا گیت (Gate) می‌نامند. با اتصال دو سیم به دو طرف لایه N و یک سیم به لایهٔ P یک عنصر سه‌پایه حاصل می‌شود که به ترانزیستور با اثر میدان پیوندی معروف است.

شکل ۲ــ۳ ساختمان JFET با کانال N و پایه‌های آن را نشان می‌دهد.



شکل ۲ــ۳ــ ساختمان JFET

در عمل برای آن که ترانزیستور مشخصات الکتریکی بهتری داشته باشد، ناحیهٔ گیت را مانند شکل ۳ــ۳ در اطراف کانال ایجاد می‌کنند.

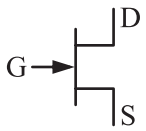


شکل ۳ــ۳ــ ساختمان JFET با گیت در دو طرف

دو کریستال P را معمولاً از داخل به هم وصل می‌کنند، چنانچه ترانزیستوری با دو گیت در دست باشد، باید به‌وسیلهٔ

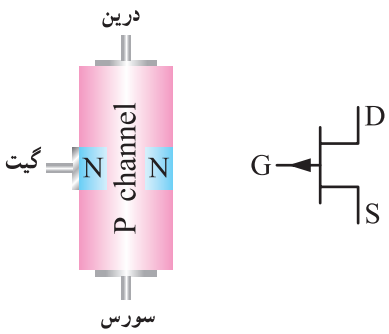
سیمی این دو پایه را به هم وصل نمود. ممکن است برای سادگی رسم شکل، دو کریستال P را که به هم متصل هستند فقط با یک اتصال گیت، نشان دهند.

علامت اختصاری JFET با کانال N به صورت شکل ۳ـ۴ است. توجه داشته باشید که نوک پیکان به سمت داخل معرف گیت از نوع P است.



شکل ۳ـ۴ـ علامت اختصاری JFET با کانال N

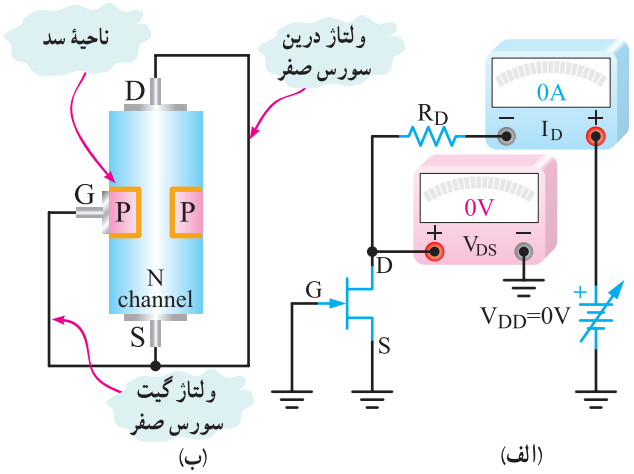
۳ـ۱ـ۲ـ ساختمان JFET با کانال P : ساختمان JFET با کانال P شبیه JFET با کانال N است، با این تفاوت که جنس کانال از نوع کریستال P و جنس گیت از کریستال N است. در شکل ۳ـ۵ ساختمان کریستالی و علامت اختصاری JFET با کانال P را مشاهده می‌کنید.



شکل ۳ـ۵ـ ساختمان کریستالی و علامت اختصاری JFET با کانال P

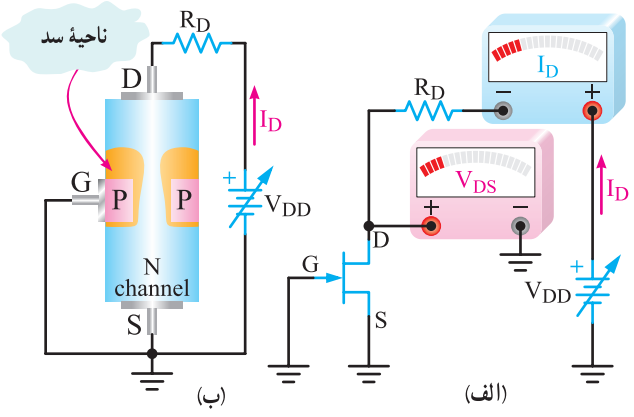
۳ـ۱ـ۳ـ رفتار JFET در مدار : برای بررسی رفتار این ترانزیستور در مدار، نخست حالتی را درنظر می‌گیریم که پایهٔ گیت به پایهٔ سورس اتصال کوتاه شده باشد. در این حالت اثر تغییر V_{DS} را روی کانال بررسی می‌کنیم.

مطابق شکل ۳ـ۶ اگر پایه‌های درین سورس نیز اتصال کوتاه شده باشند، هیچ جریانی از کانال نمی‌گذرد و نواحی p و n توسط لایهٔ نازک سد که تهی از حامل‌های جریان است و بلافاصله پس از ایجاد پیوند pn به‌وجود می‌آید، از یک‌دیگر جدا می‌شوند.



شکل ۳ـ۶ـ وضعیت مدار FET وقتی $V_{DS} = 0$ و $I_D = 0$ است.

حال اگر یک منبع ولتاژ به نام V_{DD} را بین پایه‌های درین و سورس وصل کنیم، به‌طوری که درین نسبت به سورس مثبت باشد، با افزایش تدریجی ولتاژ، جریانی که از کانال می‌گذرد نیز افزایش می‌یابد. اعمال این ولتاژ بین درین و سورس و عبور جریان از آن، افت ولتاژی را در مسیر به‌وجود می‌آورد و پیوند pn را در گرایش معکوس قرار می‌دهد. در این حالت ناحیهٔ تهی‌شده از حامل‌های جریان بیش‌تر در داخل کانال نفوذ می‌کند. شکل ۳ـ۷ـ الف و ب، ناحیهٔ تهی از بار بین P و N (افزایش لایه سد) در اثر افزایش جریان درین را نشان می‌دهد.

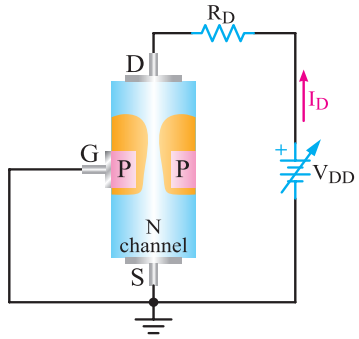


شکل ۳ـ۷ـ افزایش V_{DS} سد بین N و P و I_D را افزایش می‌دهد.

گسترش ناحیهٔ تهی از بار در اثر توزیع پتانسیل V_{DS} از درین تا سورس است. چون گیت در پتانسیل صفر قرار دارد و هم پتانسیل با سورس است، هرقدر در طول کانال به درین نزدیک‌تر شویم، اختلاف پتانسیل آن نسبت به گیت بیش‌تر می‌شود، زیرا

افت ولتاژ در طول میله مانند افت ولتاژ در یک مقاومت است. در این شرایط اتصال PN بیش‌تر به بایاس مخالف میل می‌کند و لایهٔ تهی از بار گسترده‌تر می‌شود. به بیان دیگر توسعهٔ ناحیهٔ تهی از بار (گسترش ناحیهٔ سد) از سمت درین رشد می‌کند.

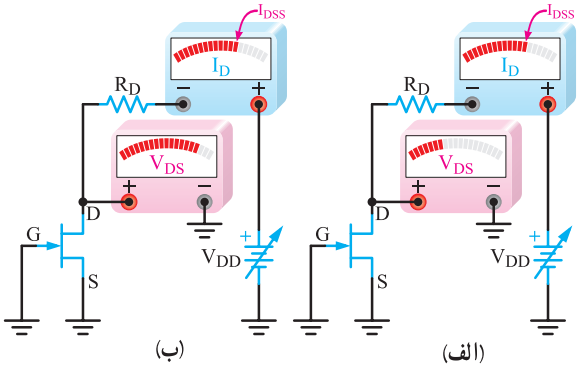
چنانچه V_{DS} را باز هم افزایش دهیم، ناحیهٔ تهی‌شده گسترش بیش‌تری می‌یابد و سرانجام مطابق شکل ۸ــ۳، به حداکثر گسترش خود می‌رسد.



شکل ۸ــ۳ــ افزایش V_{DS} منجر به گسترش ناحیهٔ سد در عرض کانال می‌شود.

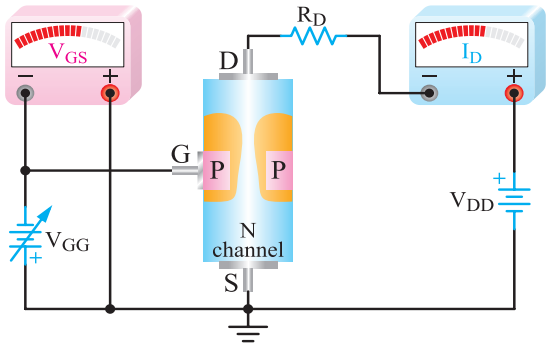
تا زمانی که کانال به حداکثر گرفتگی نرسیده است، افزایش V_{DS} سبب افزایش جریان درین (I_D) می‌شود. حال ببینیم اگر درین به‌طور کامل مسدود شود چه اتفاقی می‌افتد؟ با مسدود شدن کامل کانال، جریان درین صفر می‌شود.

با صفر شدن جریان درین، ناحیهٔ سد (منطقهٔ تهی از بار) به حالت اولیه برمی‌گردد و دوباره جریان برقرار می‌شود. بنابراین کانال در هیچ شرایطی نمی‌تواند به‌طور کامل مسدود شود، امّا مسدود شدن آن به حداکثر می‌رسد. با بسته شدن حداکثری کانال، دیگر افزایش V_{DS} تغییر محسوسی در جریان درین ایجاد نمی‌کند و جریان درین ثابت می‌ماند، در این حالت می‌گویند JFET به اشباع رسیده است. جریان اشباع را I_{DSS} (جریان درین سورس اشباع) می‌نامند. افزایش بیش‌تر V_{DS}، ناحیهٔ تهی از بار در سطح کانال را گسترده‌تر می‌کند و مقاومت کانال را افزایش می‌دهد. چون میزان افزایش V_{DS} و افزایش مقاومت کانال (R_{DS}) به یک نسبت است، جریان درین هم‌چنان ثابت باقی می‌ماند. همان‌طور که در شکل ۹ــ۳ الف و ب مشاهده می‌شود، افزایش V_{DS} بعد از بسته شدن حداکثری کانال، تأثیری در مقدار I_D ندارد و I_D در حد مقدار I_{DSS} ثابت باقی مانده است.



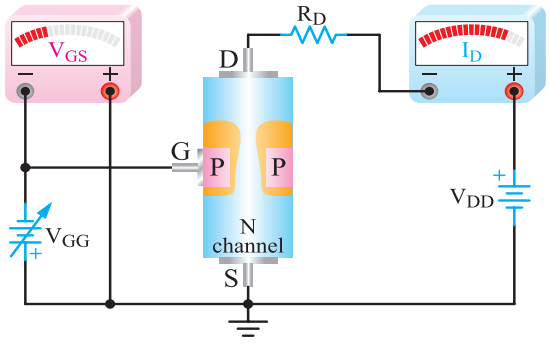
شکل ۹ــ۳ــ بعد از بسته شدن حداکثری کانال، افزایش V_{DS} در I_D اثری ندارد.

۴ــ۱ــ۳ــ اعمال ولتاژ مخالف به گیت : اکنون چنان‌چه مطابق شکل ۱۰ــ۳ با اعمال یک ولتاژ به دوسر گیت سورس سد PN را در گرایش معکوس قرار دهیم، هرگونه افزایشی در میزان این ولتاژ، گسترش سریع‌تر لایهٔ سد (ناحیهٔ تهی از حامل‌های جریان) در داخل کانال را به همراه دارد و موجب افزایش مقاومت کانال و کاهش جریان درین می‌شود.



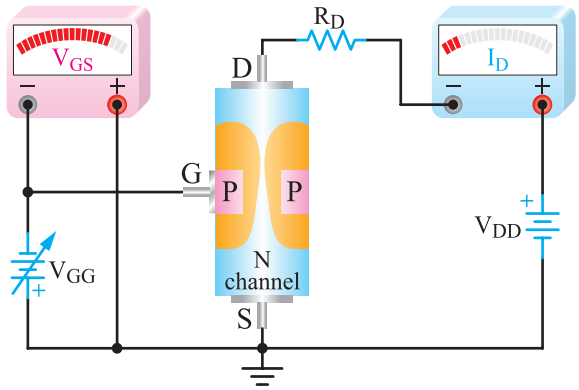
شکل ۱۰ــ۳ــ V_{GG} پیوند PN را به بایاس مخالف می‌برد.

شکل ۱۱ــ۳ نشان می‌دهد که با کاهش V_{GG}، عرض کانال بیش‌تر می‌شود و مقاومت کانال را کاهش می‌دهد. در این شرایط جریان درین بیش‌تری از مدار می‌گذرد.



شکل ۱۱ــ۳ــ با V_{GG} کم‌تر، I_D بیش‌تر است.

در شکل ۱۲ــ۳ مقدار V_{GS} را افزایش داده‌ایم. در این حالت، کانال باریک‌تر می‌شود و مقاومت کانال افزایش می‌یابد. لذا جریان درین (I_D) کم‌تری از مدار می‌گذرد.



شکل ۱۲ــ۳ با V_{GG} بیش‌تر I_D کم شده است.

۲ــ۳ــ اصطلاحات و تعاریف مهم و متداول

۱ــ۲ــ۳ــ ولتاژ بحرانی V_P (Pinch off Voltage) :

اگر $V_{GS} = 0$ باشد به مقدار V_{DS} که به بسته شدن حداکثری کانال منجر می‌شود، ولتاژ بحرانی (V_P) می‌گویند. در این حالت جریان درین (I_D) ثابت می‌ماند. برای یک FET با شمارهٔ فنی معین، V_P مقدار مشخصی است که در برگهٔ اطلاعات آن داده می‌شود.

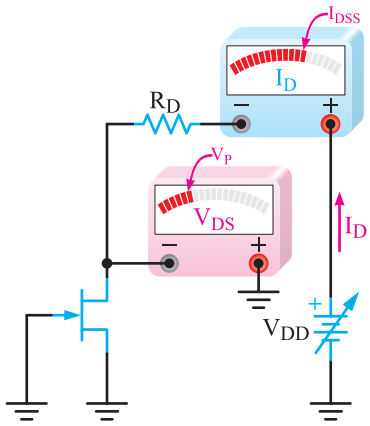
۲ــ۲ــ۳ــ جریان درین سورس اشباع I_{DSS} (I_{DS} saturation) :

در $V_{GS} = 0$ هنگامی که V_{DS} به مقدار V_P و بیش‌تر از آن برسد، I_D ثابت می‌ماند. این جریان را جریان درین سورس اشباع می‌نامند و آن را با (I_{DSS}) نمایش می‌دهند. I_{DSS} ماکزیمم جریانی است که JFET می‌تواند از خود عبور دهد. برای قطعه‌ای که کاربرد سیگنال کوچک را دارد، این جریان در حدود میلی‌آمپر است و مقدار آن معمولاً در برگهٔ اطلاعات نوشته می‌شود.

شکل ۱۳ــ۳ مداری از JFET را نشان می‌دهد که در آن $V_{DS} = V_P$ است و جریان درین برابر با I_{DSS} شده است.

۳ــ۲ــ۳ــ ولتاژ شکست درین سورس V_B (Break down voltage) :

اگر V_{DS} را بیش از اندازهٔ مجاز افزایش دهیم، در محل اتصال PN بایاس مخالف، پدیدهٔ شکست بهمنی رخ می‌دهد و جریان درین به سرعت افزایش می‌یابد. در



شکل ۱۳ــ۳ــ $V_{DS} = V_P$ و I_D ثابت و برابر I_{DSS} است.

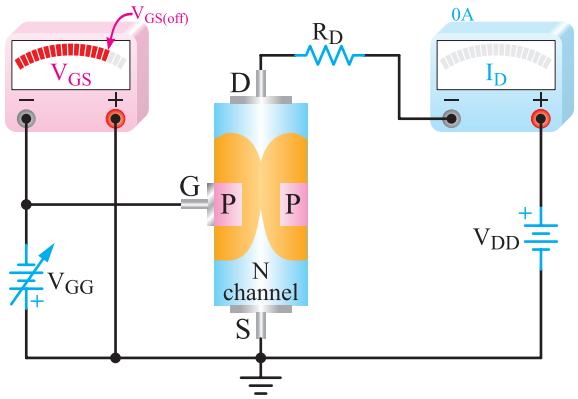
این شرایط معمولاً JFET آسیب می‌بیند. ولتاژ شکست در JFETهای معمولی حدود ۲۰ تا ۳۰ ولت است.

۴ــ۲ــ۳ــ ولتاژ قطع گیت سورس ($V_{GS\ off}$) :

هرقدر V_{GS} منفی‌تر شود، I_D کاهش می‌یابد، مقدار V_{GS} که بتواند I_D را تقریباً به صفر برساند، ولتاژ قطع گیت سورس (V_{GSoff}) نام دارد. معمولاً مقدار عددی ولتاژ قطع گیت سورس با مقدار عددی ولتاژ V_P برابر است. علامت‌های این دو باهم تفاوت دارد. مثلاً اگر V_P = + ۵ ولت باشد، $V_{GSoff} = -5V$ است بنابراین می‌توانیم بگوییم :

$$|V_{GSoff}| = |V_P|$$

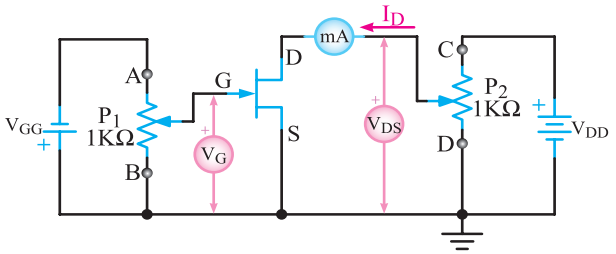
قطع شدن I_D معمولاً در اثر عریض شدن ناحیهٔ تهی از بار (لایهٔ سد) رخ می‌دهد. شکل ۱۴ــ۳ JFET را در حالت قطع (cut off) نشان می‌دهد.



شکل ۱۴ــ۳ــ JFET در ناحیهٔ قطع قرار دارد.

۳ــ۳ــ منحنی مشخصهٔ خروجی JFET

در ترانزیستور JFET تغییرات جریان درین وابسته به تغییرات دو عامل V_{DS} و V_{GS} است. برای مشخص کردن میزان این وابستگی به هریک از این دو عامل، باید یکی از آن دو را ثابت نگه داریم و اثر تغییرات عامل دیگر را بر جریان بررسی کنیم. مدار شکل ۱۵ــ۳ برای انجام این آزمایش مناسب است.



شکل ۱۵ــ۳ــ یک نمونه مدار آزمایشی برای به‌دست آوردن منحنی مشخصهٔ JFET

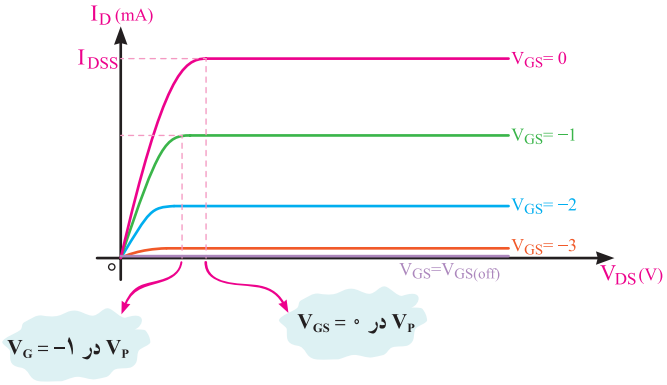
در این مدار، ابتدا سر متغیر پتانسیومتر P_1 را در نقطهٔ B و سر متغیر پتانسیومتر P_2 را در نقطهٔ D قرار می‌دهیم. در این حالت $V_{DS} = 0$ و $V_{GS} = 0$ می‌شود و میلی آمپرمتر هیچ جریانی را نشان نمی‌دهد. حال به تدریج V_{DS} را به کمک پتانسیومتر P_2 افزایش می‌دهیم.

تا زمانی که ولتاژ درین سورس از ولتاژ بحرانی ترانزیستور کم‌تر است، افزایش جریان درین متناسب با افزایش V_{DS} ادامه می‌یابد؛ یعنی، ترانزیستور مانند یک مقاومت اهمی عمل می‌کند. با رسیدن V_{DS} به ولتاژ بحرانی (V_P) جریان به حداکثر مقدار خود یعنی جریان اشباع (I_{DSS}) می‌رسد.

از آن به بعد افزایش مقدار V_{DS} تغییر محسوسی در I_{DSS} ایجاد نمی‌کند.

بار دیگر V_{GS} را به کمک پتانسیومتر P_1 مثلاً برابر با ۱− ولت انتخاب می‌کنیم و V_{DS} را به تدریج از صفر افزایش می‌دهیم. این بار نیز جریان متناسب با میزان افزایش V_{DS} زیاد می‌شود و پس از رسیدن به حد معینی ثابت باقی می‌ماند.

در این حالت، تثبیت جریان در حدی کم‌تر از حالت قبل و در V_{DS} کم‌تر از ولتاژ بحرانی اتفاق می‌افتد. اگر برای چند مقدار دیگر V_{GS}، تغییرات جریان درین را برحسب تغییرات V_{DS} بررسی کنیم و نتیجهٔ آن را به صورت نمودار نشان دهیم، دسته (خانوادهٔ) منحنی‌هایی مشابه شکل ۱۶ــ۳ به‌دست می‌آید.



شکل ۱۶ــ۳ــ منحنی‌های مشخصه خروجی

۱ــ۳ــ۳ــ نواحی کار روی منحنی مشخصه

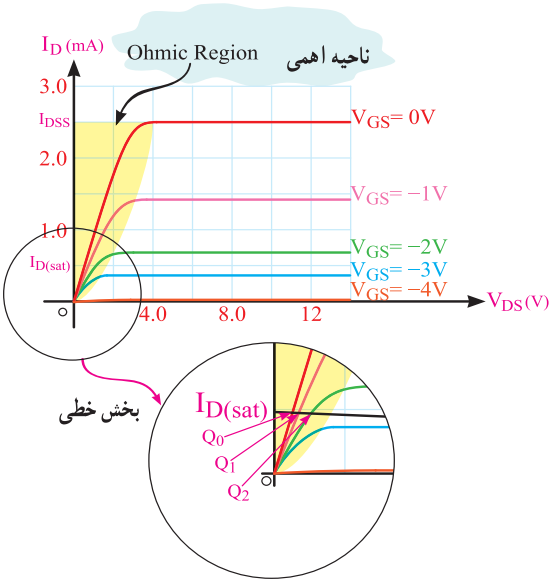
: در روی منحنی مشخصه ترانزیستور JFET، مشابه منحنی مشخصهٔ ترانزیستور BJT نواحی کار متفاوتی وجود دارد که در ادامه به آن می‌پردازیم.

۲ــ۳ــ۳ــ ناحیه قطع (Cut off Region)

: ناحیهٔ قطع، پس از رسیدن V_{GS} به ولتاژ آستانه، $V_{GS(off)}$ ، شروع می‌شود. در این ناحیه، در اثر ولتاژ مخالف گیت سورس ناحیه سد گسترش می‌یابد و ناحیهٔ سد سرتاسر کانال را فرامی‌گیرد. در این حالت هیچ جریانی از درین نمی‌گذرد و ترانزیستور به صورت یک کلید قطع عمل می‌کند. هم‌چنین تا زمانی که مقدار V_{GS} کم‌تر از ولتاژ شکست معکوس پیوند گیت سورس (V_B) است تأثیری بر FET ندارد. در شکل ۱۷ــ۳ این ناحیه در زیر خط $V_{GS} = -4\ V$ واقع شده است.

۳ــ۳ــ۳ــ ناحیهٔ اهمی (Ohmic Region)

: ناحیهٔ اهمی، بخشی از منحنی مشخصهٔ JFET است که در آن قانون اهم صدق می‌کند. در این ناحیه ترانزیستور مانند یک مقاومت اهمی تابع ولتاژ عمل می‌کند که مقدار آن با ولتاژ گیت سورس کنترل می‌شود. در شکل ۱۷ــ۳ ناحیه اهمی روی منحنی مشخصه نشان داده شده است. بخشی از منحنی به صورت خمیده و غیرخطی است ولی در مقادیر کم I_D و V_{DS} (حدود چند دهم ولت) منحنی کاملاً خطی است.



شکل ۱۷ــ۳ــ ناحیهٔ اهمی و بخش خطی آن

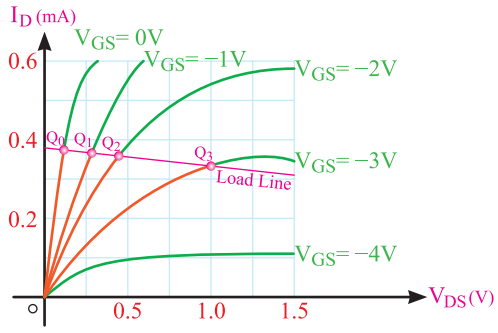
در مقادیر کم I_D، شیب منحنی ها ثابت است و هدایت انتقالی DC درین سورس را طبق رابطهٔ زیر بیان می‌کند.

$$\text{slope} = G_{DS} = \frac{I_D}{V_{DS}}$$

عکس هدایت انتقالی را مقاومت می‌نامند. بنابراین مقاومت درین سورس از رابطهٔ زیر محاسبه می‌شود :

$$R_{DS} = \frac{1}{G_{DS}} = \frac{V_{DS}}{I_D}$$

مثال ۱ــ۳ : یک JFET با کانال N در ناحیهٔ اهمی بایاس شده است. (شکل ۱۸ــ۳)، مقدار مقاومت DC درین سورس را در نقاط Q_0، Q_1، Q_2 و Q_3 محاسبه کنید.



شکل ۱۸ــ۳

پاسخ : از روی منحنی مشخصه مشخصات نقطه کار Q را در نقاط Q_0 تا Q_3 به‌دست می‌آوریم.

$$Q_0 \Rightarrow I_D = 0/36\text{mA} \quad V_{DS} = 0/13\text{V}$$

$$Q_1 \Rightarrow I_D = 0/355\text{mA} \quad V_{DS} = 0/27\text{V}$$

$$Q_2 \Rightarrow I_D = 0/35\text{mA} \quad V_{DS} = 0/42\text{V}$$

$$Q_3 \Rightarrow I_D = 0/34\text{mA} \quad V_{DS} = 1\text{V}$$

$$R_{DS(Q_0)} = \frac{V_{DS}}{I_D} = \frac{0/13}{0/36} = 361\Omega$$

$$R_{DS(Q_1)} = \frac{V_{DS}}{I_D} = \frac{0/27}{0/355} = 760\Omega$$

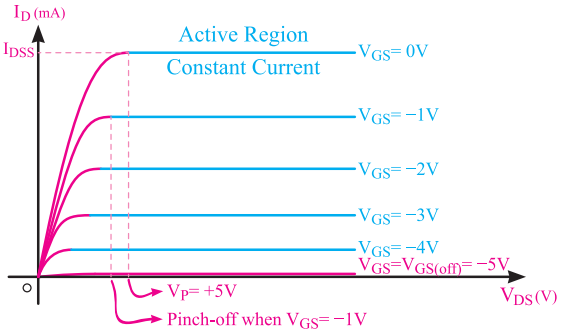
$$R_{DS(Q_2)} = \frac{V_{DS}}{I_D} = \frac{0/42}{0/35\text{mA}} = 1/2\text{K}\Omega$$

$$R_{DS(Q_3)} = \frac{V_{DS}}{I_D} = \frac{1\text{V}}{0/34\text{mA}} = 2/94\text{K}\Omega$$

همان‌طور که از مقادیر به‌دست آمده مشاهده می‌شود با تغییر V_{GS} از ۰ تا ۳− ولت مقدار R_{DS} از ۳۶۱ اهم تا ۲/۹۴ کیلواهم تغییر کرده است.

۴ــ۳ــ ناحیهٔ اشباع یا فعال (Active Region) یا ناحیهٔ Pinch off

: ناحیه‌ای از منحنی مشخصهٔ JFET که در آن $V_{DS} \geq V_P$ باشد را ناحیه اشباع یا فعال می‌نامند. در این ناحیه تغییرات V_{DS} اثر محسوسی در جریان I_D ندارد و I_D تقریباً ثابت است. شکل ۱۹ــ۳ ناحیهٔ اشباع (فعال) را روی منحنی مشخصهٔ JFET نشان می‌دهد.



شکل ۱۹ــ۳ــ ناحیه فعال در روی منحنی مشخصه

برای آن که ترانزیستور از ناحیهٔ اهمی وارد ناحیهٔ اشباع (فعال) شود باید مقدار ولتاژ درین سورس از مقدار معینی که ولتاژ درین سورس گذر (Transition Voltage) (V_{Dstr}) نامیده می‌شود، بیش‌تر باشد یعنی $V_{DS} \geq V_{DS(Tr)}$

ولتاژ درین سورس گذر از رابطهٔ :

$$V_{DS(tr)} = V_P + V_{GS}$$

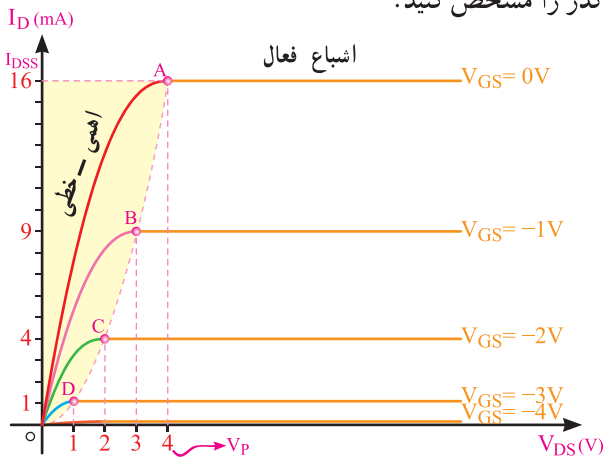
به‌دست می‌آید.

در ناحیهٔ اشباع، مقدار جریان I_D را می‌توان از رابطهٔ زیر به‌دست آورد :

$$I_D = I_{DSS}(1 - \frac{V_{GS}}{V_{GS(off)}})^2$$

در این رابطه، I_{DSS} جریان اشباع ترانزیستور در حالتی است که پیوند گیت سورس بایاس نشده باشد (یعنی $V_{GS} = 0$ باشد) مقدار I_{DSS} برای ترانزیستورهای معمولی در حدود ۱۰ تا ۳۰ میلی‌آمپر است.

مثال ۲ــ۳ : در یک JFET با کانال N اگر $V_P = 4V$ باشد به ازای V_{GS} برابر با صفر، ۱- ، ۲- و ۳- ولت، ولتاژ درین سورس گذر (V_{DSTr}) را محاسبه کنید، سپس روی منحنی مشخصهٔ ترانزیستور که در شکل ۲۰ــ۳ ترسیم شده است، نقاط گذر را مشخص کنید.



شکل ۲۰ــ۳ــ مقادیر $V_{DS(tr)}$ روی منحنی مشخصه

پاسخ : چون $V_{DS(tr)} = V_P + V_{GS}$ است؛ برای هریک از مقادیر V_{GS}، ولتاژ گذر را محاسبه می‌کنیم. در $V_G = 0$ مقدار ولتاژ گذر برابر است با $V_{DS(tr)} = V_P + V_{GS} = 4 + (0) = 4V$

همان‌طور که از مقدار به‌دست آمده مشاهده می‌شود، در $V_{GS} = 0$ ولتاژ درین سورس گذر برابر با V_P است. این مقدار حداکثر ولتاژ درین سورس گذر است. برای $V_{GS} = -1V$ مقدار $V_{DS(tr)}$ برابر با ۳- ولت می‌شود زیرا :

$$V_{DS(tr)} = (4) + (-1) = 3V$$

برای $V_{GS} = -2V$ داریم :

$$V_{DS(tr)} = (4) + (-2) = 2V$$

و برای $V_{GS} = -3V$ مقدار $V_{DS(tr)}$ را به‌دست می‌آوریم.

$$V_{DS(tr)} = 4 + (-3) = +1V$$

این نقاط گذر را در شکل ۲۰ــ۳ روی منحنی مشخصه با حروف A ، B ، C و D مشخص کرده‌ایم.

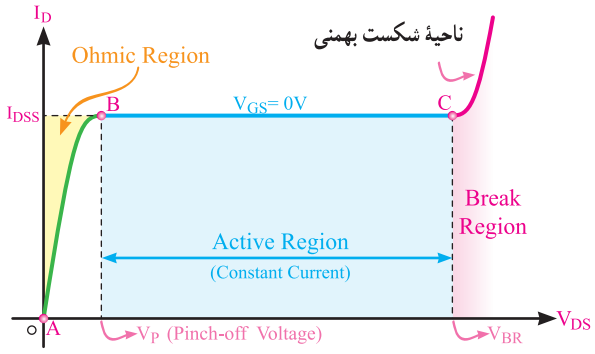
مثال ۳ــ۳ :در یک JFET با کانال N اگر، $I_{DSS} = 16mA$ $V_P = 4V$ و $V_{GS} = -1V$ باشد، با فرض این که JFET در ناحیهٔ اشباع (فعال) کار می‌کند، جریان درین را محاسبه کنید.

پاسخ : چون FET در ناحیهٔ اشباع (فعال) کار می کند می‌توان برای محاسبهٔ I_D از فرمول $I_D = I_{DSS}(1 - \frac{V_{GS}}{V_{GS(off)}})^2$ استفاده کرد. چون $V_P = 4V$ است، V_{GSoff} را (۴-) ولت درنظر می‌گیریم و با عددگذاری در فرمول مقدار I_D را به‌دست می‌آوریم.

$$I_D = 16(1 - \frac{-1}{-4})^2$$

$$I_D = 16(\frac{4-1}{4})^2 = 9mA$$

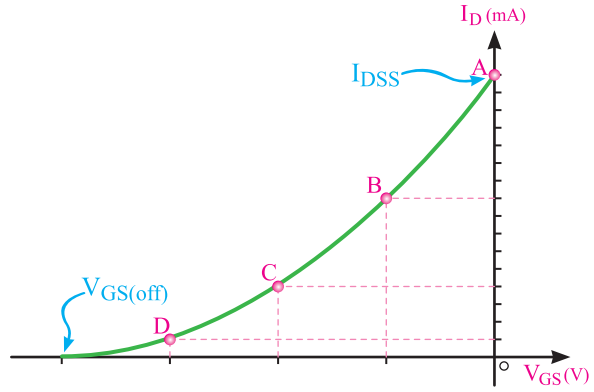
۵ــ۳ــ۳ــ ناحیهٔ شکست بهمنی : اگر V_{DS} از حد معینی تجاوز کند، در محل اتصال PN که در بایاس مخالف قرار دارد پدیدهٔ شکست بهمنی رخ می‌دهد یعنی جریان درین به سرعت افزایش می‌یابد و ترانزیستور آسیب می‌بیند. ناحیهٔ شکست در روی منحنی شکل ۲۱ــ۳ نشان داده شده است.



شکل ۲۱ــ۳ــ ناحیهٔ شکست بهمنی روی منحنی مشخصهٔ JFET

۴ــ۳ــ منحنی مشخصهٔ انتقالی JFET
Transfer charactristic

مقدار V_{GS} از صفر ولت تا مقدار V_{GSoff} می‌تواند تغییر کند. این تغییرات ولتاژ، جریان درین را از $I_D = ۰$ تا I_{DSS} کنترل می‌کند. به همین دلیل نسبت بین دو کمیت I_D و V_{GS} بسیار مهم است. منحنی تغییرات I_D برحسب تغییرات V_{GS} در شرایطی که V_{DS} ثابت است را منحنی مشخصهٔ انتقالی می‌گویند. در شکل ۲۲ــ۳ منحنی مشخصهٔ انتقالی برای یک نوع JFET با کانال N رسم شده است.



شکل ۲۲ــ۳ــ منحنی مشخصهٔ انتقالی JFET

برای رسم این منحنی کافی است مراحل زیر را انجام دهیم :

الف) V_{GS} را برای تعداد مشخصی از نقاط در محدودهٔ صفر تا V_{GSoff} انتخاب کنیم.

ب) با استفاده از فرمول $I_D = I_{DSS}(۱ - \frac{V_{GS}}{V_{GS(off)}})^۲$ مقدار I_D را در محدودهٔ I_{DSS} تا $I_D = ۰$ برای مقادیر V_{GS} انتخاب شده، محاسبه کنیم.

پ) با استفاده از مشخصات به‌دست آمده برای I_D و V_{GS}، نمودار را در یک دستگاه محور مختصات رسم کنیم.

مثال ۴ــ۳ : در یک JFET با کانال N، $I_{DSS} = ۱۲mA$ و $V_P = ۵V$ است. منحنی مشخصهٔ انتقالی را رسم کنید.

پاسخ : چون $V_P = ۵V$ است مقدار V_{GSoff} برابر ۵– ولت می‌شود. حدود تغییرات V_{GS} را از صفر تا ۵– ولت درنظر می‌گیریم. ابتدا V_{GS} را صفر ولت درنظر می‌گیریم سپس I_D را محاسبه می‌کنیم.

$$V_{GS} = ۰V \Rightarrow I_D = ۱۲(۱ - \frac{۰}{-۵})^۲$$

$$I_D = ۱۲mA = I_{DSS}$$

$$\boxed{I_{D_۰} = ۱۲mA}$$

برای V_{GS} برابر ۱– ولت داریم :

$$V_{GS} = -۱V \Rightarrow I_{D_۱} = ۱۲(۱ - \frac{-۱}{-۵})^۲$$

$$I_{D_۱} = ۱۲(\frac{۴}{۵})^۲ = ۷/۶۸mA$$

$$\boxed{I_{D_۱} = ۷/۶۸mA}$$

به همین ترتیب به ازای V_{GS} برابر ۲–، ۳–، ۴– و ۵– ولت I_D را محاسبه می‌کنیم.

$$V_{GS} = -۲V \Rightarrow I_{D_۲} = ۱۲(۱ - \frac{-۲}{-۵})^۲$$

$$I_{D_۲} = ۱۲(\frac{۳}{۴})^۲ = ۴/۳۲mA$$

$$\boxed{I_{D_۲} = ۴/۳۲mA}$$

$$V_{GS_۳} = -۳V \Rightarrow I_{D_۳} = ۱۲(۱ - \frac{-۳}{-۵})^۲$$

$$I_{D_۳} = ۱۲(\frac{۲}{۵})^۲ = ۱/۹۲mA$$

$$\boxed{I_{D_۳} = ۱/۹۲mA}$$

$$V_{GS} = -۴ \Rightarrow I_{D_۴} = ۱۲(۱ - \frac{-۴}{-۵})^۲$$

$$I_{D_۴} = ۱۲(\frac{۱}{۵})^۲ = ۰/۴۸mA$$

$$\boxed{I_{D_۴} = ۰/۴۸mA}$$

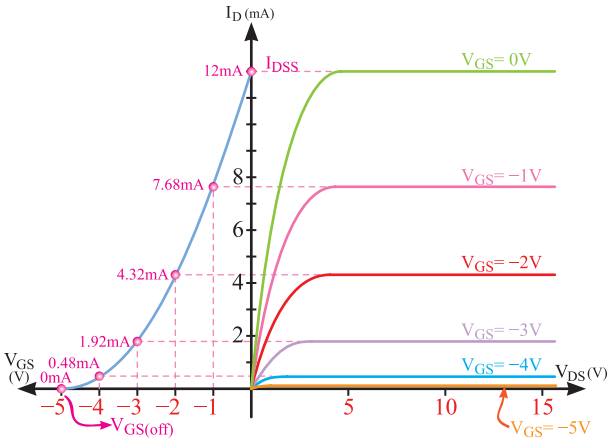
به ازای V_{GS} برابر ۵– ولت I_D برابر صفر به دست می‌آید زیرا در این حالت $V_{GS} = V_{GSoff}$ است.

$$V_{GS_۵} = -۵ \Rightarrow I_{D_۵} = ۱۲(۱ - \frac{-۵}{-۵})^۲$$

$$I_{D_۵} = ۱۲(۱-۱)^۲ = ۰\ mA$$

$I_{D_{V_{GS}=0}} = 0\ mA$

منحنی تغییرات I_D برحسب تغییرات V_{GS} همراه با خانواده منحنی‌های تغییرات I_D برحسب تغییرات V_{DS} و V_{GS} در شکل ۳ــ۲۳ رسم شده است.



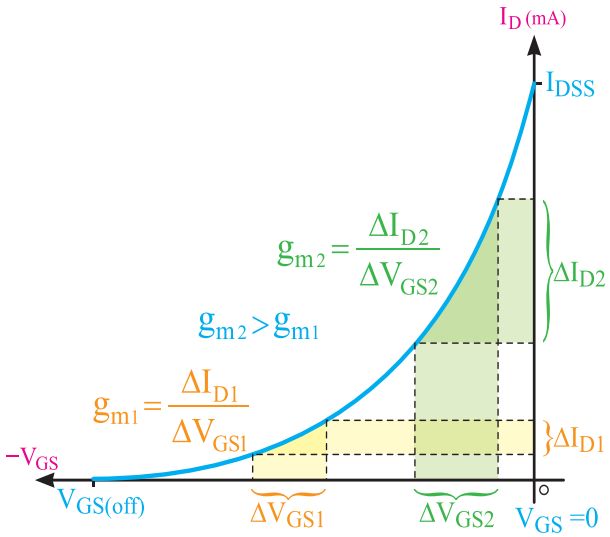
شکل ۳ــ۲۳ــ منحنی $I_D - V_{GS}$ و منحنی $I_D - V_{DS}$ و ارتباط آن‌ها با یکدیگر

۱ــ۴ــ۳ــ هدایت انتقالی (g_m) و نحوهٔ به دست آوردن آن

: نسبت تغییرات جریان درین (ΔI_D) به تغییرات ولتاژ گیت سورس (ΔV_{GS}) به ازای ولتاژ درین سورس ثابت را هدایت انتقالی دینامیک در JFET می‌نامند و آن را با g_m نشان می‌دهند. واحد g_m به صورت $\left[\frac{1}{\Omega}\right]$ یا زیمنس [S] است.

$$g_m = \left.\frac{\Delta I_D}{\Delta V_{GS}}\right|_{V_{DS}=\text{ثابت}}$$

چون منحنی مشخصهٔ انتقالی برای JFET غیرخطی است هدایت انتقالی در نقاط مختلف آن متفاوت است. با محاسبه اثبات می‌شود که g_m در نواحی نزدیک به $V_{GS}=0$ بزرگ‌تر از انتهای منحنی یعنی نواحی نزدیک به V_{GSoff} است. معمولاً مقدار g_m در FET های مختلف بین ۱ تا ۱۰ میلی‌زیمنس است. g_m عامل مهمی برای تعیین میزان بهرهٔ ولتاژ در یک تقویت‌کنندهٔ JFET است. در شکل ۳ــ۲۴ چگونگی به‌دست آوردن g_m از روی منحنی مشخصهٔ انتقالی، نشان داده شده است.



شکل ۳ــ۲۴ــ نحوهٔ به‌دست آوردن g_m

نکته مهم: در صورتی که نسبت I_D به V_{GS} را در یک نقطه به‌دست آوریم، این مقدار را هدایت استاتیک (Static) می‌نامند. $g_m = \frac{I_D}{V_{GS}}$

۵ــ۳ــ برگهٔ اطلاعات

همان‌طور که قبلاً گفته شد، مشخصات فنی ترانزیستورهای اثر میدان در برگه‌های اطلاعات (Data sheet) داده می‌شود. برای دسترسی اطلاعات کامل می‌توانید به سایت

Alldatasheet. com

مراجعه نمایید. در ادامه برخی از مشخصات یک نمونه JFET با کانال N با شمارهٔ LS۸۴۶ آمده است.

نکته مهم: در صورت طرح سؤال جهت آزمون، جداول مربوط به datasheet به زبان اصلی حتماً در اختیار هنرجویان قرار داده شود.

LINEAR SYSTEMS

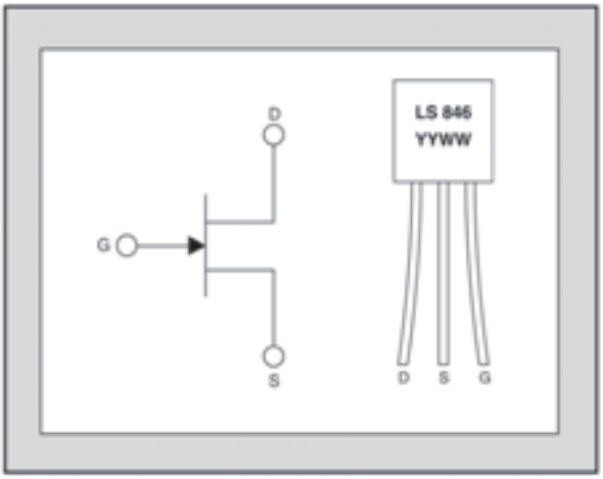
سیستم خطی

Linear Integrated Systems سیستم‌های مجتمع خطی

LS846

LOW NOISE, LOW LEAKAGE SINGLE N-CHANNEL JFET

JFET، کانال N ، نویز و جریان نشتی کم



شکل ۲۵ــ۳

FEATURES	مشخصه‌ها	
ULTRA LOW NOISE	نویز فوق‌العاده کم	e_n = 3nV/Hz
LOW GATE LEAKAGE	جریان نشتی گیت بسیار کم	I_G = 15pA
ABSOLUTE MAXIMUM RATINGS[1] @ 25 °C (unless otherwise stated)	مقادیر ماکزیمم مطلق در درجه حرارت ۲۵ درجه سانتی‌گراد	
Maximum Temperatures	حداکثر درجه حرارت	
Storage Temperature	درجه حرارت نگهداری	-65 to +150 °C
Operating Junction Temperature	درجه حرارت پیوند	-55 to +135 °C
Maximum Power Dissipation	حداکثر توان قابل تحمل	
Continuous Power Dissipation @ +125 °C		350mW
Maximum Currents	جریان ماکزیمم	
Gate Forward Current	جریان موافق گیت	$I_{G(F)}$ = 50mA
Maximum Voltages	ماکزیمم ولتاژ	
Drain to Source	درین سورس	V_{DSO} = 60V
Gate to Source	گیت سورس	V_{GSS} = 60V
Gate to Drain	گیت درین	V_{GDS} = 60V

توان تلف شده در بار دائمی در ۱۲۵ درجهٔ سانتی‌گراد

مشخصه‌های الکتریکی در ۲۵ درجهٔ سانتی‌گراد
(در غیر این صورت قید شده است.)

ELECTRICAL CHARACTERISTICS @ 25 °C (unless otherwise stated)

SYMBOL	CHARACTERISTIC مشخصه‌ها	MIN	TYP	MAX	UNITS	CONDITIONS
BV_{GSS}	Gate to Source Breakdown Voltage	60			V	V_{DS} = 0, I_D = 1nA
$V_{GS(OFF)}$	Gate to Source Pinch-off Voltage	1		3.5	V	V_{DS} = 15V, I_D = 1nA
V_{GS}	Gate to Source Operating Voltage	0.5		3.5	V	V_{DS} = 15V, I_D = 500µA
I_{DSS}	Drain to Source Saturation Current	1.5	5	15	mA	V_{DG} = 15V, V_{GS} = 0
I_G	Gate Operating Current		15	50	pA	V_{DG} = 15V, I_D = 500µA
I_G	Gate Operating Current Reduced V_{DG}		5	30	pA	V_{DG} = 3V, I_D = 500µA
I_{GSS}	Gate to Source Leakage Current			100	pA	V_{DG} = 15V, V_{DS} = 0
Y_{os}	Typical Output Conductance		0.2	2	µmho	V_{DG} = 15V, I_D = 500µA
NF	Noise Figure			0.5	dB	V_{DS} = 15V, V_{GS} = 0, R_G = 10MΩ, f = 100Hz, NBW = 6Hz
e_n	Noise Voltage			11	nV/√Hz	V_{DS} = 15V, I_D = 500µA, f = 10Hz, NBW = 1Hz
C_{ISS}	Common Source Input Capacitance			8	pF	V_{DS} = 15V, I_D = 500µA

۶ــ۳ــ الگوی پرسش

کامل کردنی

۱ــ۶ــ۳ــ ترانزیستورهای BJT عناصری کنترل شده با ..... و ترانزیستورهای FET عناصری کنترل شده با ..... هستند.

۲ــ۶ــ۳ــ مقاومت ورودی ترانزیستورهای BJT به علت وجود ..... نسبتاً ..... است.

صحیح یا غلط

۳ــ۶ــ۳ــ مقاومت ورودی ترانزیستورهای اثر میدان بسیار زیاد است.

صحیح ☐ غلط ☐

۴ــ۶ــ۳ــ FET یک ترانزیستور تک قطبی(unipolar) است.

صحیح ☐ غلط ☐

۵ــ۶ــ۳ــ برای JFET با کانالN، ولتاژ گیت سورس می‌تواند از صفر تا $V_{GS(Off)}$ + تغییر کند.

صحیح ☐ غلط ☐

چهار گزینه‌ای

۶ــ۶ــ۳ــ در یک ترانزیستور JFET کانال بین ..... و ..... ایجاد می‌شود.

۱) گیت و درین ۲) درین و سورس

۳) گیت و سورس ۴) ورودی و خروجی

۷ــ۶ــ۳ــ کدام گزینه در مورد اتصال پایه‌های JFET با کانال N صحیح است (بایاس DC) ؟

۱) اتصال PN گیت سورس در بایاس مخالف

۲) اتصال PN گیت سورس در بایاس موافق

۳) اتصال کوتاه درین به سورس

۴) اتصال کوتاه درین به گیت

۸ــ۶ــ۳ــ در $V_{GS}=0$ جریان درین زمانی ثابت می‌ماند که V_{DS} برابر با ..... شود.

۱) قطع ۲) V_{DD} ۳) V_P ۴) صفر ولت

۹ــ۶ــ۳ــ ناحیهٔ جریان ثابت در FET بین کدام دو ناحیه است؟

۱) قطع و اشباع ۲) قطع و بحرانی (Pinch off)

۳) صفر و I_{DSS} ۴) بحرانی (V_p) و شکست بهمنی (Break down)

۱۰ــ۶ــ۳ــ I_{DSS} کدام است؟

۱) جریان درین وقتی سورس اتصال کوتاه است.

۲) جریان درین در حالتی که مدار قطع است.

۳) حد متوسط (میانگین) جریان درین

۴) حداکثر جریان ممکن درین

کوتاه پاسخ

۱۱ــ۶ــ۳ــ از datasheet یک JFET $V_{GS(Off)}=-4V$ استخراج شده است. V_P (ولتاژ Pinch off) چه‌قدر است؟

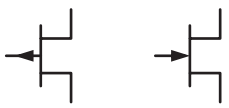
۱۲ــ۶ــ۳ــ منحنی مشخصه انتقالی در JFET منحنی تغییرات کدام کمیت‌ها نسبت به یکدیگر است؟

تشریحی

۱۳ــ۶ــ۳ــ در یک JFET با کانال P، ولتاژگیت‌سورس از ۱ تا ۳ ولت افزایش می‌یابد. الف) آیا ناحیه تهی از بار باریک‌تر می‌شود یا پهن‌تر چرا؟ شرح دهید.

ب) آیا مقاومت کانال کم می‌شود یا زیاد؟ شرح دهید.

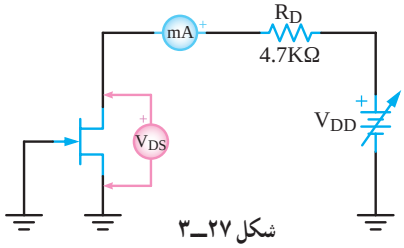
۱۴ــ۶ــ۳ــ نام پایه‌های JFET در شکل ۲۶ــ۳ را روی هر پایه بنویسید و سپس نوع کانال (NیاP) را مشخص کنید.



شکل ۲۶ــ۳

محاسباتی

۱۵ــ۶ــ۳ــ فرض کنید JFET شکل ۲۷ــ۳ دارای $V_{GS(Off)}=-4$ ولت است. منبع ولتاژ V_{DD} را افزایش می‌دهیم تا نقطه‌ای که آمپرمتر جریان ثابتی را نشان دهد. در این نقطه ولت‌متر چه ولتاژی را نشان می‌دهد؟ (کم ترین ولتاژ V_{DS} که درآن مقدار I_D ثابت می شود.)



شکل ۲۷ــ۳

۱۶ــ۶ــ۳ــ یک JFET با کانال N در ناحیه اهمی بایاس شده است. اگر V_{DS}=۰/۲۵ولت و I_D =۲۰۰ میکروآمپر باشد مقاومت درین سورس (R_{DS}) را محاسبه کنید.

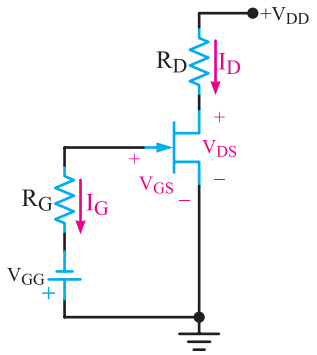
۱۷ــ۶ــ۳ــ در یک JFET با کانال N که در ناحیهٔ اشباع (فعال) کار می‌کند، مشخصات زیر حاکم است.

I_{DSS} =۱۸ mA و V_P=۳ V و VGS=−۱V مقدار I_D را محاسبه کنید.

۷ــ۳ــ تغذیهٔ JFET

برای ایجاد یک نقطهٔ کار مناسب، باید ترانزیستور FET را نیز مانند ترانزیستور BJT بایاس کنیم. روش‌های بایاس FET با روش‌های بایاس BJT تفاوت اساسی ندارند؛ فقط باید توجه داشت که چون مقاومت ورودی FET خیلی زیاد است، جریان بسیار کمی (حدود چند نانوآمپر یا پیکوآمپر) از گیت عبور می‌کند که می‌توان از آن صرف‌نظر کرد. در محاسبات I_G را مساوی صفر می‌گیرند. این موضوع محاسبات را ساده‌تر می‌کند.

۱ــ۷ــ۳ــ بایاس مستقل JFET : ساده‌ترین روش بایاس کردن FET استفاده از دو منبع ولتاژ جداگانه است که برای تأمین ولتاژهای تغذیهٔ درین و گیت به‌کار می‌رود. این روش را بایاس ثابت می‌نامند. در شکل ۲۸ــ۳ باتری V_{DD} برای بایاس درین سورس و باتری V_{GG} برای بایاس گیت سورس در نظر گرفته شده است.



شکل ۲۸ــ۳ــ بایاس ثابت JFET

مقاومت R_G به این علت در مدار قرار داده شده است تا هر سیگنال ac که به گیت اعمال می‌شود، در دو سر آن افت کند و بتواند بایاس گیت سورس را تحت تأثیر قرار دهد. در صورت نبودن مقاومت R_G، ولتاژگیت سورس همواره ثابت و برابر $-V_{GG}$ باقی می‌ماند. افت ولتاژ دو سر R_G از نظر DC برابر است با :

$$V_{RG}=R_GI_G=R_G(۰)=۰V$$

برای تعیین ولتاژ گیت‌سورس معادلهٔ KVL را در حلقهٔ ورودی می‌نویسیم :

$$+V_{GG}-R_GI_G+V_{GS}=۰$$

با صفر بودن افت ولتاژ دو سر R_G داریم :

$$V_{GG}+V_{GS}=۰$$

لذا $V_{GS}=-V_{GG}$ است.

در صورتی که ترانزیستور در ناحیهٔ اشباع کار کند، جریانی که از پایهٔ درین ترانزیستور می‌گذرد برابر است با :

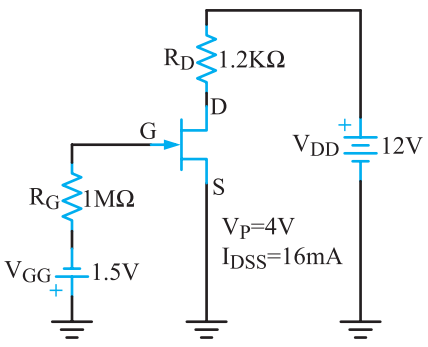
$$I_D=I_{DSS}(۱-\frac{V_{GS}}{V_{GS(Off)}})^۲$$

این جریان در دو سر مقاومت R_D افت پتانسیل برابر I_DR_D ایجاد می‌کند بنابراین افت پتانسیل دو سر درین سورس برابر است با :

$$V_{DS}=V_{DD}-I_DR_D$$

این معادله بیانگر چگونگی تغییر I_D بر اثر تغییر V_{DS} است، که با استفاده از آن معادلهٔ خط بار DC به دست می‌آید.

مثال ۵ــ۳ : جریان درین (I_D) و ولتاژ درین سورس (V_{DS}) و توان تلف شده در ترانزیستور ($P_D=V_{DS}\times I_D$) را در مدار شکل ۲۹ــ۳ محاسبه کنید.



شکل ۲۹ــ۳

پاسخ : چون V_P برابر ۴ ولت است لذا $V_{GS(Off)}$ برابر ۴- ولت می‌شود. با توجه به شکل داریم :

$$V_{GQ}=V_{GS}=V_{GG}=-۱/۵V$$

با مقایسهٔ مقادیر $V_{GSQ}=-۱/۵V$ و $V_{GS(Off)}=-۴V$، می‌توانیم تشخیص دهیم JFET در ناحیهٔ قطع کار نمی‌کند. فرض می‌کنیم ترانزیستور در ناحیهٔ اشباع کار می‌کند، لذا از فرمول $I_D=I_{DSS}(۱-\frac{V_{GS}}{V_{GS(Off)}})^۲$ استفاده می‌کنیم و مقدار I_D را به‌دست می‌آوریم.

$$I_D=۱۶(۱-\frac{-۱/۵}{-۴})^۲=۱۶(\frac{۴-۱/۵}{۴})^۲$$
$$I_D=(۲/۵)^۲=۶/۲۵\ mA$$

با استفاده از معادلهٔ KVL در حلقهٔ خروجی V_{DS} را محاسبه می‌کنیم.

$$V_{DS}=V_{DD}-R_DI_D=۱۲-(۱/۲)(۶/۲۵)$$
$$V_{DS}=۴/۵\ V$$

توان تلف شدهٔ ترانزیستور از رابطهٔ $P_T=V_{DS}\times I_D$ محاسبه می‌شود.

$$P_T=(۴/۵)(۶/۲۵)=۲۸/۱۲۵\ mw$$

چون فرض کرده‌ایم FET در ناحیهٔ اشباع کار می‌کند، این فرض را اثبات می‌کنیم. برای این منظور $V_{DS(tr)}$ را محاسبه می‌کنیم.

$$V_{DS(tr)}=V_P+V_{GS}=۴+(-۱/۵)$$
$$V_{DS\,(tr)}=۲/۵V$$

چون $V_{DS}=۴/۵V$ بزرگ‌تر از $V_{DS(tr)}$ است، فرض ما صحیح بوده و FET در ناحیهٔ اشباع کار می‌کند.

مثال۶ــ۳ : در مدار شکل ۲۹ــ۳ اگر V_{GG} برابر ۵- ولت شود، ناحیهٔ کار را مشخص کنید، سپس I_D و V_{DS} را محاسبه نمایید.

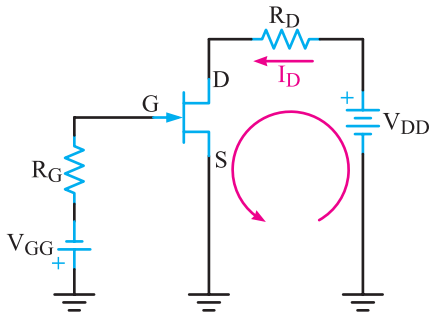
پاسخ : چون $V_P=۴V$ است مقدار $V_{GS(Off)}=-۴V$ می‌شود. چنانچه V_{GSQ} برابر با ۴V- یا منفی‌تر از آن باشد ترانزیستور در حالت قطع قرار دارد. در این مثال $V_{GSQ}=-۵V$ است. بنابراین ترانزیستور قطع است. در حالت قطع $I_D=۰$ و $V_{DS}=V_{DD}$ است زیرا

$$V_{DS}=V_{DD}-R_DI_D$$
$$V_{DS}=۱۲-(۱/۲)(۰)=۱۲V$$

تحقیق کنید : آیا می‌توانیم ترانزیستور نوع JFET را با لامپ‌های خلأ مقایسه کنیم؟ با مراجعه به سایت‌های اینترنتی نتیجهٔ حاصل را به کلاس ارائه دهید.

۲ــ۷ــ۳ــ تحلیل ترسیمی بایاس مستقل با استفاده از منحنی مشخصهٔ خروجی JFET

در این قسمت به تحلیل ترسیمی چگونگی تغذیهٔ DC یک مدار JFET می‌پردازیم. هر چند محاسبات ریاضی مثال قبل برای تعیین جریان I_D و ولتاژ V_{DS} مفهوم روشن و واضحی دارد. برای به‌دست آوردن نقطهٔ کار تقویت کنندهٔ ترانزیستوری مانند مدار شکل ۳۰ــ۳، ابتدا معادلهٔ خط بار DC را می‌نویسیم. برای این منظور معادلهٔ KVL در حلقهٔ خروجی را می‌نویسیم.



شکل ۳۰ــ۳ــ مدار تغذیهٔ مستقل

$$-V_{DD}+R_DI_D+V_{DS}=۰$$

اگر معادلهٔ خط بار را به دست آوریم به یک خط راست می‌رسیم زیرا

$$V_{DS}=V_{DD}-R_DI_D\Rightarrow I_DR_D=-V_{DS}+V_{DD}$$

یا

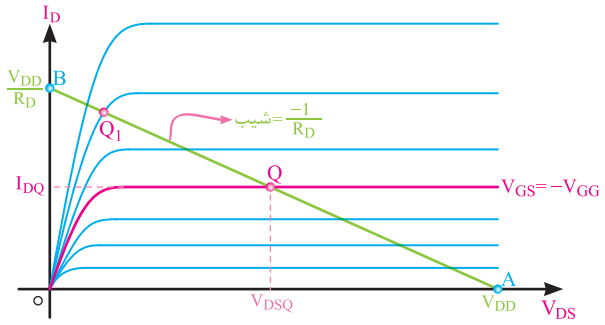
$$I_D=(-\frac{۱}{R_D})V_{DS}+\frac{V_{DD}}{R_D}$$

این معادله که شبیه به معادلهٔ خط بار استاتیکی ترانزیستور

BJT است، **معادله خط بار** FET نامیده می‌شود. برای رسم خط بار کافی است دو نقطهٔ آن را در صفحهٔ مختصات مشخص کنیم و با یک خط راست آن‌ها را به یک‌دیگر وصل نماییم. دو نقطه می‌تواند نقطهٔ قطع و نقطهٔ اشباع کامل باشد.

اگر ترانزیستور درحالت قطع کامل باشد (یعنی $I_D=0$ شود)، آن‌گاه $V_{DS}=V_{DD}$ می‌شود و نقطهٔ کار روی محور افقی قرار می‌گیرد (نقطهٔ A).

اگر ترانزیستور در اشباع کامل باشد، (یعنی $V_{DS}=0$شود)، آن‌گاه $I_D=\frac{V_{DD}}{R_D}$ می‌شود و نقطهٔ کار روی محور قائم قرار می‌گیرد (نقطهٔ B). چنان‌چه نقطهٔ A را به B وصل کنیم خط بار رسم می‌شود. از محل تلاقی خط بار با منحنی‌هایی مانند $V_{GS}=-V_{GG}$ می‌توانیم مقادیر I_D و V_{DS} را مشخص کنیم. این نقطه که در شکل ۳ــ۳۱ با حرف Q نشان داده شده است را نقطهٔ کار ترانزیستور می‌نامند.



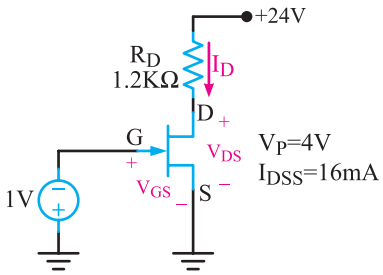
شکل ۳ــ۳۱ــ منحنی مشخصهٔ JFET و خط بار استاتیکی مربوط به مدار شکل ۳ــ۳۰

اگر V_{GS} تغییر کند، نقطهٔ کار روی خط بار AB جابه‌جا می‌شود. فرض کنیم V_{GS} آن قدر افزایش یابد (گیت مثبت‌تر شود) که نقطهٔ کار به موقعیت Q_1 منتقل شود. در این صورت، نقطهٔ کار ترانزیستور در خارج از منطقهٔ اشباع (فعال) قرار می‌گیرد و فرض‌های مربوط به ناحیهٔ اشباع را در محاسبات مدار نمی‌توان در نظر گرفت.

اگر لازم است ترانزیستور در ناحیهٔ اشباع کار کند، باید مقدار V_{DS} بیش از$V_{DS}(tr)$ باشد. چنان‌چه از FET به عنوان یک مقاومت کنترل شده با ولتاژ استفاده شود، باید V_{GS} و دیگر متغیرهای مدار طوری انتخاب شوند که ترانزیستور همواره در ناحیهٔ خطی (اهمی) باقی بماند.

مثال ۷ــ۳ : الف) نقطهٔ کار مدار شکل ۳ــ۳۲ را به روش محاسباتی به‌دست آورید. ب) خط بار DC مدار را روی منحنی مشخصه رسم کنید و نقطهٔ کار آن را به‌دست آورید.

پ) اگر مقاومت RD به ۳KΩ افزایش یابد و I_{DQ} همان مقدار قبل باشد در وضعیت کار ترانزیستور چه تغییری حاصل می‌شود؟ شرح دهید.



شکل ۳ــ۳۲

پاسخ : الف) ولتاژ درین سورس گذر را محاسبه می‌کنیم.

$$V_{DS}(tr)=V_P+V_{GS} \Rightarrow$$

$$V_{DS}(tr)=۴-۱=۳V$$

اگر ترانزیستور در ناحیهٔ اشباع باشد، I_D را از فرمول زیر به‌دست می‌آوریم :

$$I_D=I_{DSS}(۱-\frac{V_{GS}}{V_{GS(Off)}})^۲=۱۶\left(۱-\frac{۱}{۴}\right)^۲=۹mA$$

با معلوم بودن I_D ، V_{DS} را محاسبه می‌کنیم.

$$V_{DS}=V_{DD}-I_DR_D=۲۴-(۹\times ۱/۲)$$

$$V_{DS}=۱۳/۲V$$

چون $V_{DS}>V_{DS}(tr)$ است پس ترانزیستور در ناحیهٔ اشباع کار می‌کند.

ب) برای رسم خط‌بار DC، معادلهٔ خط‌بار را می‌نویسیم.

$$-V_{DD}+R_DI_D+V_{DS}=0$$

در معادله عدد گذاری می‌کنیم.

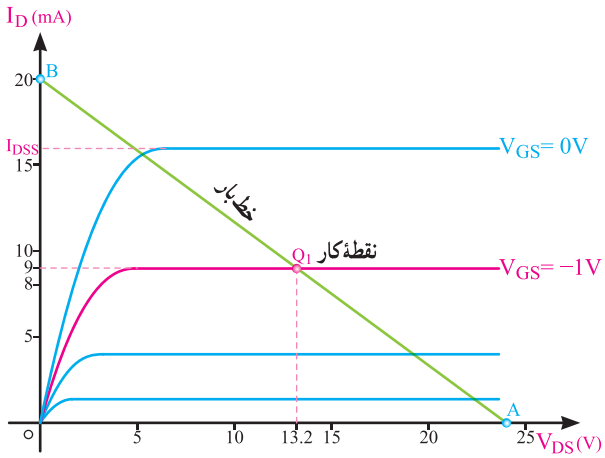
$$-۲۴+۱/۲I_D+V_{DS}=0$$

دو نقطه از خط را به‌دست می‌آوریم.

$$\text{نقطهٔ قطع (A)} \begin{cases} I_D = 0 \\ V_{DS} = V_{DD} = 24V \end{cases}$$

$$\text{نقطهٔ اشباع (B)} \begin{cases} I_D = \dfrac{V_{DD}}{R_D} = \dfrac{24}{1/2} = 20mA \\ V_{DS} = 0 \end{cases}$$

این دو نقطه را روی منحنی مشخصه با حروف A و B علامت‌گذاری می‌کنیم. با اتصال دو نقطهٔ A و B به یکدیگر خط بار ترسیم می‌شود. از تقاطع این خط با منحنی $V_{GS}=-1V$ نقطهٔ کار به‌دست می‌آید. شکل ۳۳ــ۳ خط بار و نقطهٔ کار Q را روی منحنی مشخصه نشان می‌دهد.



شکل ۳۳ــ۳ــ منحنی مشخصه خروجی و خط بار

مختصات نقطهٔ کار $\begin{cases} I_{DQ} = 9mA \\ V_{DSQ} = 13/2V \end{cases}$

است که این مقادیر با نتایج به‌دست آمده از طریق محاسبه کاملاً تطبیق دارد.

پ) با افزایش مقدار مقاومت R_D به $3k\Omega$ اگر محاسبه‌های I_D و V_{DS} را با این فرض که ترانزیستور هم‌چنان در ناحیهٔ اشباع باقی مانده است دنبال کنیم، در این شرایط چون مقدار I_D برابر همان مقدار قبلی (9mA) است می‌توانیم مقدار V_{DS} را به‌دست آوریم.

$$V_{DS} = V_{DD} - I_D R_D = 24 - (9 \times 3) = -3V$$

مقدار به‌دست آمده برای V_{DS} غیر قابل قبول است؛ زیرا ۶ ولت کم‌تر از $V_{DS\,(tr)}$ است. لذا نقطهٔ کار ترانزیستور در ناحیهٔ اُهمی قرار دارد، در این ناحیه فرمول $I_D = I_{DSS}(1 - \dfrac{V_{GS}}{V_{GS(Off)}})^2$ اعتبار ندارد. با رسم خط بار استاتیکی ترانزیستور، مشخصات دقیق نقطهٔ کار به‌دست می‌آید. معادلهٔ خط بار را می‌نویسیم :

$$-V_{DD} + R_D I_D + V_{DS} = 0$$

در معادلهٔ خط بار عدد گذاری می‌کنیم.

$$-24 + 3I_D + V_{DS} = 0$$

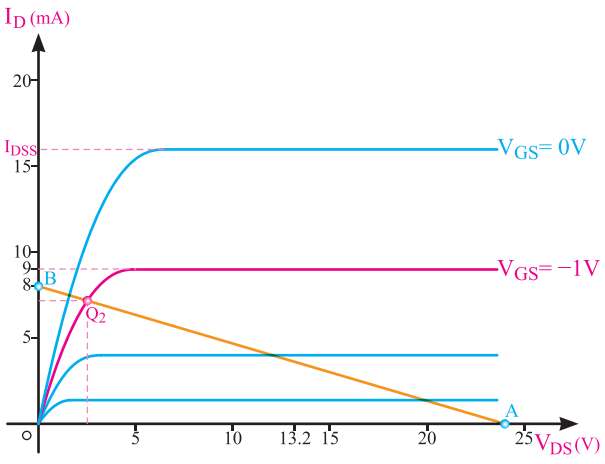
دو نقطه از خط را به‌دست می‌آوریم.

$$\text{نقطهٔ قطع (A)} \begin{cases} I_D = 0 \\ V_{DS} = 24V \end{cases}$$

$$\text{نقطهٔ اشباع (B)} \begin{cases} I_D = \dfrac{24}{3} = 8mA \\ V_{DS} = 0 \end{cases}$$

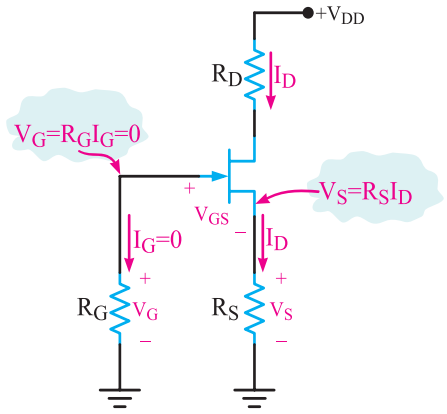
دو نقطه را روی محورهای مختصات مشخص می‌کنیم و با استفاده از آن‌ها خط بار را رسم می‌نماییم. از تقاطع خط بار با منحنی $V_{GS}=-1V$ نقطه کار از روی منحنی مشخصه به‌دست می‌آید. این نقطه را در شکل ۳۴ــ۳ با (Q_2) نشان داده‌ایم.

همان‌طور که مشاهده می‌شود، نقطهٔ کار در ناحیهٔ اهمی قرار گرفته است.



شکل ۳۴ــ۳ــ خط بار و نقطهٔ کار

۳ــ۷ــ۳ــ بایاس سرخود یا خودتغذیه(Self Bias) :
بایاس سرخود یا خود تغذیه متداول‌ترین نوع بایاس JFET است. می‌دانیم JFET باید طوری بایاس شود که همواره پیوند گیت سورس در بایاس مخالف باشد. برای این منظور باید در JFET با کانال N مقدار V_{GS} منفی و در JFET با کانال P، مقداری V_{GS} مثبت باشد. برای دست‌یابی به این هدف می‌توان با استفاده از یک منبع تغذیهٔ (V_{DD})، درین سورس و گیت سورس را به درستی بایاس کرد. شکل ۳ــ۳۵ مدار بایاس سرخود را برای JFET با کانال N نشان می‌دهد.



شکل ۳ــ۳۵ــ مدار بایاس سرخود

R_G روی بایاس DC اثری ندارد، زیرا $I_G=0$ است لذا افت پتانسیلی در دو سر آن ایجاد نمی‌شود.

$$V_G = R_G I_G = R_G(0) = 0\,V$$

عبور I_D از مقاومت R_S افت پتانسیل $V_S=R_S I_D$ را در دو سر مقاومت R_S ایجاد می‌کند. معادلهٔ ولتاژ در حلقهٔ ورودی به صورت زیر است :

$$V_{GS} + V_S - V_G = 0$$

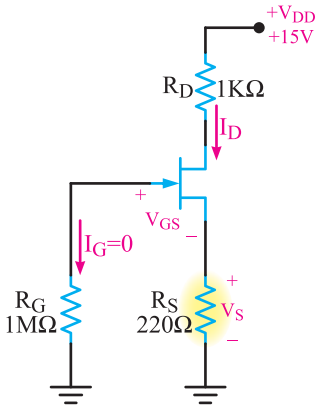
در این معادله $V_S = I_D R_S$ و $V_G = 0$ است لذا خواهیم داشت :

$$V_{GS} + I_D R_S = 0$$

$$V_{GS} = -R_S I_D$$

همان‌طور که مشاهده می‌شود افت پتانسیل دو سر R_S، گیت سورس را به‌درستی بایاس می‌کند.

مثال ۸ــ۳ : در مدار شکل ۳ــ۳۶ جریان $I_D = 5mA$ است مقدار V_{DS} و V_{GS} را محاسبه کنید.



شکل ۳ــ۳۶

پاسخ : برای محاسبه V_{DS} معادله KVL را در حلقهٔ خروجی می‌نویسیم.

$$V_{DD} = R_D I_D + V_{DS} + R_S I_D$$

$$V_{DS} = V_{DD} - (R_S + R_D) I_D$$

در معادله عدد گذاری می‌کنیم.

$$V_{DS} = 15 - (0/22 + 1)5 = 15 - 6/1$$

$$V_{DS} = 8/9V$$

برای محاسبهٔ مقدار V_{GS}، باید مقادیر V_G و V_S محاسبه کنیم.

$$V_G = R_G I_G = (1)(0) = 0\,V$$

$$V_S = R_S I_D = (0/22)(5) = 1/1\,V$$

$$V_{GS} = V_G - V_S = 0 - 1/1 = -1/1\,V$$

۴ــ۷ــ۳ــ تحلیل ترسیمی بایاس سرخود با استفاده از منحنی مشخصهٔ انتقالی : با استفاده از منحنی مشخصهٔ انتقالی JFET ابتدا نقطهٔ کار Q (I_D و V_{GS}) را به‌دست می‌آوریم. سپس از طریق محاسبه، مقدار V_{DS} را تعیین می‌کنیم. برای این منظور معادلهٔ KVL در حلقهٔ ورودی که معادلهٔ خط بار ورودی است را می‌نویسیم :

$$V_{GS} = -R_S I_D$$

باید دو نقطه از خط را به‌دست آوریم. یک نقطه را در $I_D=0$ در نظر می‌گیریم، با توجه به معادلهٔ $V_{GS}=-R_S I_D$ مقدار $V_{GS}=0$ به‌دست می‌آید.

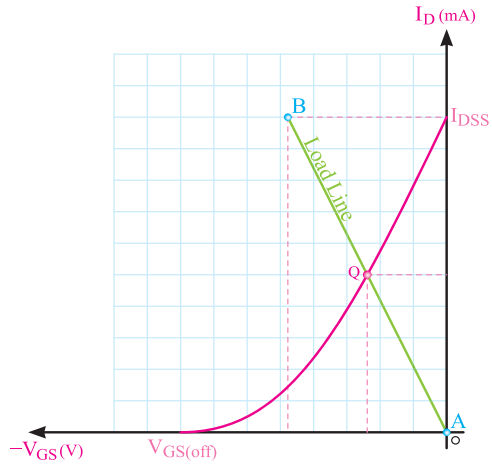
نقطه اول (A) $\begin{cases} I_D = 0 \\ V_{GS} = 0 \end{cases}$

نقطهٔ دیگر را در محل $I_D = I_{DSS}$ در نظر می‌گیریم، در این صورت داریم :

$$V_{GS} = -R_S I_D = -R_S I_{DSS}$$

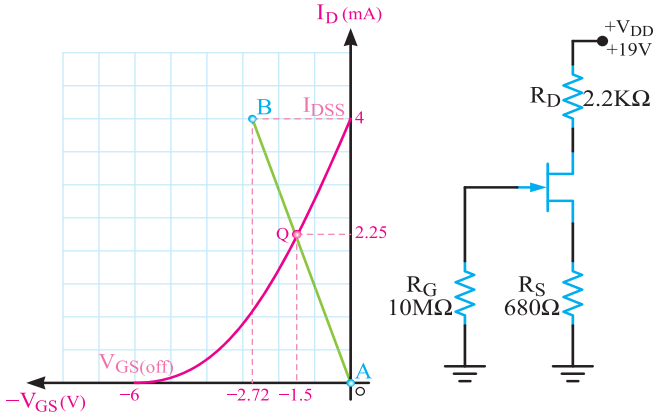
نقطه دوم (B) $\begin{cases} I_D = I_{DSS} \\ V_{GS} = -R_S I_{DSS} \end{cases}$

با تعیین این دو نقطه و اتصال آن‌ها به یک‌دیگر خط‌بار را رسم می‌کنیم (شکل ۳ــ۳۷). محل تلاقی خط‌بار با منحنی مشخصهٔ انتقالی، نقطهٔ کار Q است.



شکل ۳ــ۳۷ــ خط بار ورودی روی منحنی مشخصهٔ انتقالی

مثال ۳ــ۹ :برای مدار شکل ۳ــ۳۸ــ الف، نقطهٔ کار Q (I_D و V_{GS}) را از راه ترسیم خط‌بار ورودی روی منحنی مشخصهٔ انتقالی (شکل ۳ــ۳۸ــ ب) به‌دست آورید، سپس V_{DS} را محاسبه کنید.



(ب) شکل ۳ــ۳۸ (الف)

پاسخ : معادلهٔ KVL در حلقه ورودی را می‌نویسیم.

$$V_{GS} = -R_S I_D$$

برای رسم خط‌بار دو نقطه را انتخاب می‌کنیم.

$$A) I_D = 0 \qquad V_{GS} = (-0/68)(0) = 0\,V$$

$$B \begin{cases} I_D = I_{DSS} = 4\,mA \\ V_{GS} = (-0/68)(4) = -2/72\,V \end{cases}$$

با استفاده از دو نقطهٔ A وB، خط‌بار را روی منحنی مشخصهٔ انتقالی رسم می‌کنیم. محل تلاقی خط‌بار با منحنی مشخصهٔ انتقالی، مختصات نقطهٔ کار را به ما می‌دهد. مختصات نقطهٔ کار به شرح زیر است :

$$I_D = 2/25\,mA \qquad V_{GS} = -1/53\,V$$

برای محاسبهٔ V_{DS}، معادلهٔ KVL را در حلقهٔ خروجی می‌نویسیم و در معادله عددگذاری می‌کنیم.

$$-V_{DD} + R_D I_D + V_{DS} + R_S I_D = 0$$

$$V_{DS} = V_{DD} - R_D I_D - R_S I_D$$

$$V_{DS} = 19 - (2/2)(2/25) - (0/68)(2/25)$$

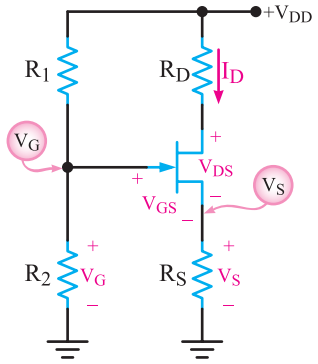
$$V_{DS} = 12/52\,V$$

تمرین کلاسی : با توجه به شکل ۳ــ۳۸ در صورتی که V_{DD} برابر ۱۵ ولت و $R_S = 1K\Omega$ باشد، خط بار را رسم کنید و نقطهٔ کار را تعیین نمایید.

۳ــ۷ــ۵ــ بایاس تقسیم کنندهٔ ولتاژ :

(Voltage Divider Bias) : هر چند در روش خود تغذیه، مقاومت Rs با ایجاد فیدبک منفی تا حدودی موجب پایداری نقطهٔ کار FET می‌شود، اگر بخواهیم مدار پایداری بیش‌تری داشته باشد، از مداری مطابق شکل ۳ــ۳۹ استفاده می‌کنیم. در این مدار به‌طور هم‌زمان از بایاس تقسیم ولتاژ R_1 و R_2 و مدار خود تغذیه (مقاومت R_S) استفاده شده است. به همین دلیل به این تغذیه، **تغذیهٔ مرکب** نیز می‌گویند.

با توجه به این‌که ازگیت ترانزیستور جریانی نمی‌گذرد، ولتاژ گیت برابر افت پتانسیل در دو سر مقاومت R_2 است به

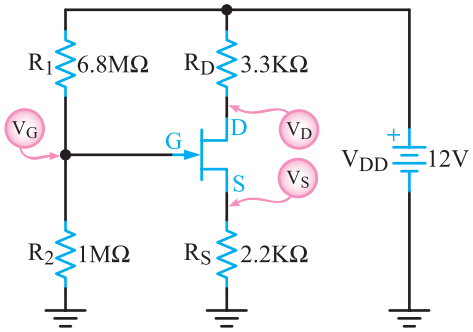


شکل ۳۹ــ۳ــ مدار بایاس تقسیم‌کنندهٔ ولتاژ

عبارت دیگر V_{DD} بین R_1 و R_2 تقسیم ولتاژ می‌شود و V_G از رابطهٔ $V_G=\frac{V_{DD}R_2}{R_1+R_2}$ به‌دست می‌آید. چون این ولتاژ مثبت است، برای این که V_{GS} منفی شود باید پتانسیل سورس یعنی R_SI_D بیش‌تر از V_G باشد تا پیوند گیت سورس در بایاس مخالف قرار گیرد.

V_{GS} از رابطهٔ $V_{GS}=V_G-V_S$ به‌دست می‌آید.

مثال ۱۰ــ۳ : در مدار بایاس تقسیم‌کنندهٔ ولتاژ شکل ۴۰ــ۳ اگر V_D برابر ۷ ولت باشد، I_D و V_{GS} را محاسبه کنید.



شکل ۴۰ــ۳ــ مدار تقسیم‌کنندهٔ ولتاژ

پاسخ : چون $V_D=V_{DD}-R_DI_D$ است لذا

$$I_D=\frac{V_{DD}-V_D}{R_D}$$

$$I_D=\frac{۱۲-۷}{۳/۳}=\frac{۵}{۳/۳}=۱/۵۲mA$$

برای محاسبه V_{GS} مقادیر V_G و V_S را به‌دست می‌آوریم.

$$V_G=\frac{V_{DD}R_2}{R_1+R_2}=\frac{۱۲\times۱}{۶/۸+۱}$$

$$VG=\frac{۱۲}{۷/۸}=۱/۵۴V$$

$$V_S=R_SI_D=(۲/۲)(۱/۵۲)$$

$$V_S=۳/۳۴V$$

V_{GS} از تفاضل V_G و V_S به‌دست می‌آید.

$$V_{GS}=V_G-V_S=۱/۵۴-۳/۳۴$$

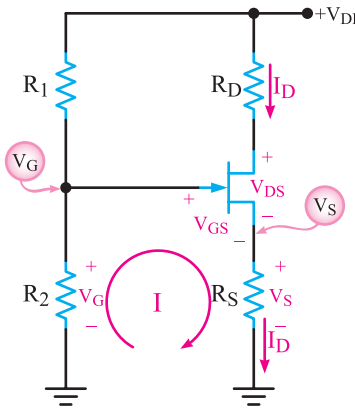
$$V_{GS}=-۱/۸V$$

همان‌طور که مشاهده می‌شود، چون V_S از V_G بیش‌تر است، مقدار V_{GS} منفی می‌شود و ترانزیستور را به درستی بایاس می‌کند.

تمرین کلاسی: در مدار شکل ۴۰ــ۳ اگر $V_{DD}=۱۵/۶$ ولت و $V_D=۹$ ولت انتخاب شود، I_D و V_{GS} را محاسبه کنید.

۶ــ۷ــ۳ــ تحلیل ترسیمی بایاس مدار با تقسیم‌کنندهٔ ولتاژ مقاومتی با استفاده از منحنی مشخصهٔ انتقالی

مانند تحلیل ترسیمی بایاس سرخود، در بایاس تقسیم کنندهٔ ولتاژ مقاومتی نیز می‌توان نقطهٔ کار را از طریق رسم خط‌بار روی منحنی مشخصهٔ انتقالی به‌دست آورد. در این نوع بایاس در نقطهٔ $I_D=۰$ ، V_{GS} صفر نیست زیرا مقاومت‌های تقسیم‌کنندهٔ ولتاژ افت پتانسیلی در گیت ایجاد می‌نمایند. لذا در این مدار خط‌بار DC از مبدأ مختصات یعنی از نقطهٔ (۰ و ۰) عبور نمی‌کند. معادلهٔ خط‌بار DC ورودی، معادلهٔ KVL در حلقهٔ (۱) در شکل ۴۱ــ۳ است که به صورت زیر نوشته می‌شود.



شکل ۴۱ــ۳ــ مدار بایاس با تقسیم‌کنندهٔ ولتاژ مقاومتی

$$-V_G + V_{GS} + R_S I_D = 0$$

برای رسم این خط، یک نقطه را در $I_D=0$ در نظر می‌گیریم

در این صورت داریم : $-V_G + V_{GS} + R_S(0) = 0$

$$-V_G + V_{GS} = 0$$

$$\text{یک نقطه (A)} \begin{cases} I_D = 0 \\ V_{GS} = V_G \end{cases}$$

نقطهٔ دیگر را در $V_{GS}=0$ در نظر می‌گیریم. در این صورت داریم.

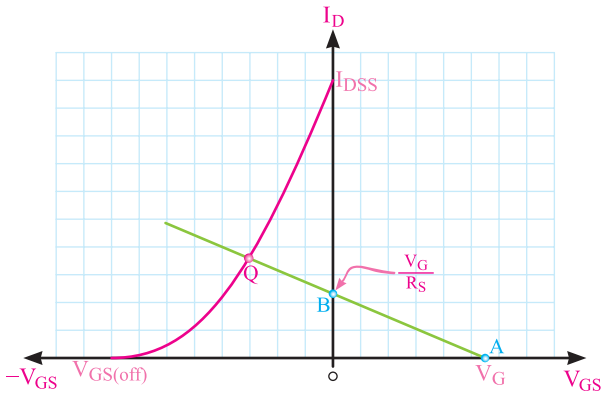
$$R_S I_D = V_G - V_{GS}$$

$$I_D = \frac{V_G - V_{GS}}{R_S} = \frac{V_G - 0}{R_S} = \frac{V_G}{R_S}$$

لذانقطهٔ دیگر خط‌بار دارای مختصاتی به شرح زیر است :

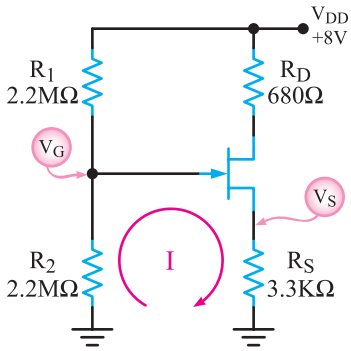
$$\text{نقطهٔ دیگر (B)} \begin{cases} V_{GS} = 0 \\ I_D = \dfrac{V_G}{R_S} \end{cases}$$

با اتصال این دونقطه به‌هم خط‌بار رسم می‌شود. محل تلاقی خط‌بار با منحنی مشخصهٔ انتقالی، نقطهٔ کار Q را تعیین می‌کند. شکل ۳ــ۴۲ منحنی مشخصهٔ انتقالی، خط بار و نقطهٔ کار را نشان می‌دهد.

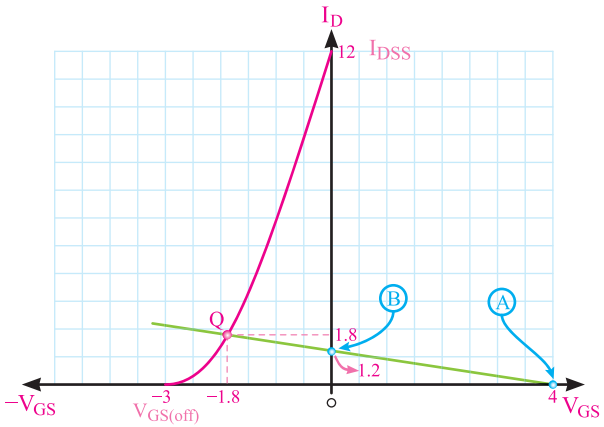


شکل ۳ــ۴۲ــ منحنی مشخصهٔ انتقالی و خط‌بار و نقطهٔ کار در بایاس با تقسیم‌کنندهٔ مقاومتی

مثال ۳ــ۱۱ : نقطهٔ کار مدار بایاس با تقسیم‌کنندهٔ ولتاژ مقاومتی شکل ۳ــ۴۳ را با روش ترسیمی، روی منحنی مشخصهٔ انتقالی به‌دست آورید. منحنی مشخصهٔ انتقالی مطابق شکل ۳ــ۴۴ است.



شکل ۳ــ۴۳ــ مدار بایاس با تقسیم‌کنندهٔ ولتاژ مقاومتی



شکل ۳ــ۴۴ــ منحنی مشخصهٔ انتقالی

پاسخ : معادلهٔ خط‌بار ورودی معادلهٔ KVL در حلقهٔ (۱) است.

$$-V_G + V_{GS} + R_S I_D = 0$$

ابتدا دو نقطه از خط‌بار را به دست می‌آوریم. یک نقطه را در $I_D=0$ در نظر می‌گیریم.

$$V_G = \frac{V_{DD} R_2}{R_1 + R_2} = \frac{8 \times 2/2}{2/2 + 2/2} = 4V$$

$$V_S = R_S I_D = (3/3)(0) = 0V$$

$$V_{GS} = V_G - V_S = 4 - (0) = 4V$$

$$\text{مختصات نقطهٔ اول(A)} \begin{cases} I_D = 0 \\ V_{GS} = V_G = 4V \end{cases}$$

نقطهٔ دیگر را در $V_{GS}=0$ در نظر می‌گیریم.

$$I_D = \frac{V_{RS}}{R_S} = \frac{V_G - V_{GS}}{R_S}$$

$$I_D = \frac{۴ - (۰)}{۳/۳} = ۱/۲\text{mA}$$

$$\text{مختصات نقطه دوم(B)} \begin{cases} I_D = ۱/۲\text{mA} \\ V_{GS} = ۰ \end{cases}$$

دو نقطه A و B را روی دستگاه مختصات در شکل ۳ـ۴۴ علامت می‌زنیم سپس آن دو نقطه را به‌هم وصل می‌کنیم. محل تلاقی خط‌بار با منحنی مشخصهٔ انتقالی، مختصات نقطهٔ کار را مشخص می‌کند.

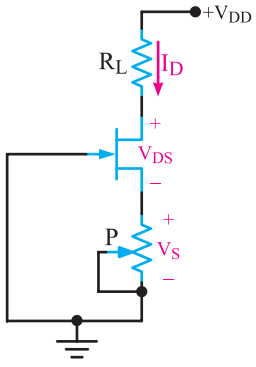
$$Q \begin{cases} I_D = ۱/۷۶\text{mA} \\ V_{GS} = -۱/۸\text{V} \end{cases}$$

تحقیق کنید: با مراجعه به سایت All data sheet.com برگهٔ اطلاعات یک نمونه JFET را دانلود کنید، سپس در مورد منحنی‌های ورودی و خروجی آن توضیح دهید و نتیجه را به کلاس ارائه نمایید.

۸ـ۳ـ موارد کاربرد ترانزیستورهای اثر میدان

۱ـ۸ـ۳ـ استفاده از FET در ساختن منابع جریان :

اگر یک FET مطابق شکل ۳ـ۴۵ تغذیه شود، در صورتی که V_{DS} آن بیش از V_P باشد، جریان ثابت I_D را ایجاد می‌کند. در این مدار، افت پتانسیل دو سر مقاومت R_S اختلاف پتانسیل گیت سورس را تأمین می‌کند. با تغییر R_S می‌توان مقدار I_D (جریان منبع جریان) را به میزان دلخواه تنظیم کرد.



شکل ۳ـ۴۵ـ FET به‌عنوان منبع جریان ثابت

در این مدار V_{GS} برابر با $V_{GS}=-I_DR_S$ است و V_{DS} از رابطهٔ زیر به‌دست می‌آید.

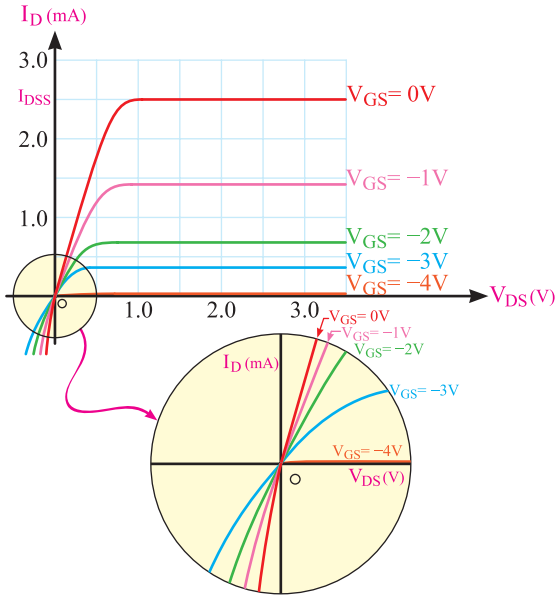
$$V_{DS}=V_{DD}-I_D(R_S+R_L)$$

برای آن‌که $V_{DS} > V_P$ باشد، باید ولتاژ منبع تغذیه V_{DD} را نسبتاً بالا و حدود ۲۰ تا ۳۰ ولت در نظر بگیریم.

از این نوع منبع جریان می‌توانیم برای شارژ باتری‌های کوچک نیز استفاده کرد. در این مدار، باتری به‌جای R_L قرار می‌گیرد. چنان‌چه ولتاژ مدار بیش از ولتاژ باتری باشد، می‌توان با سری کردن یک پتانسیومتر با باتری ولتاژ دو سر آن را دقیقاً تنظیم کرد. در بازار دیودهایی به‌نام دیود جریان ثابت عرضه می‌شود. این دیودها در حقیقت FETهایی هستند که پایهٔ گیت آن‌ها به وسیلهٔ یک مقاومت به پایهٔ سورس متصل شده است و فقط پایه‌های درین و گیت جهت تغذیه در دسترس‌اند. دیودهای جریان ثابت می‌توانند جریانی از ۱۰mA تا حدود ۳۰mA را تأمین کنند.

۲ـ۸ـ۳ـ استفاده از FET به‌عنوان مقاومت متغیر :

با توجه به شکل ۳ـ۴۶ ملاحظه کردید که اگر FET را طوری تغذیه کنیم که V_{DS} آن از حدود چند دهم ولت تجاوز نکند، مانند یک مقاومت اهمی عمل می‌کند. مقدار این مقاومت را می‌توان با تغییر V_{GS} تغییر داد. مقدار مقاومت اهمی FET در این ناحیه از رابطهٔ زیر محاسبه می‌شود.



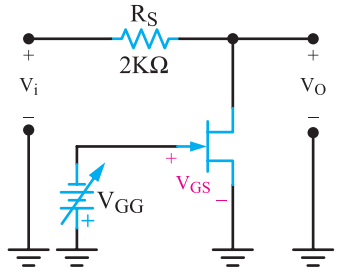
شکل ۳ـ۴۶ـ ناحیه اهمی و بخشی که کاملاً خطی است.

$$r_{DS} = \frac{V_P / 2I_{DSS}}{1 - \left|\frac{V_{GS}}{V_P}\right|}$$

اگر دراین معادله V_{GS} و V_P بر حسب ولت و I_{DSS} بر حسب میلی‌آمپر باشد، مقدار r_{DS} بر حسب کیلو اهم به‌دست می‌آید.

از بخش خطی ناحیهٔ اهمی FET می‌توانیم به عنوان یک مقاومت کنترل شده با ولتاژ استفاده کنیم. در مدار شکل ۳ـ۴۷ از FET برای تضعیف دامنهٔ سیگنال ورودی (V_i) استفاده شده است. در این مدار، مقاومت درین سورس با مقاومت ۲ کیلو اهمی سری می‌شود و به صورت یک تقسیم کنندهٔ ولتاژ عمل می‌کند. ولتاژ خروجی مدار با استفاده از تقسیم ولتاژ بین R_S و مقاومت درین سورس برابر است با :

$$V_o = V_{in} \times \frac{r_{DS}}{R_S + r_{DS}} = V_{in} \frac{1}{\frac{R_S}{r_{DS}} + 1}$$



شکل ۳ـ۴۷ـ تنظیم ولتاژ خروجی با استفاده از JFET

● در حالتی که ترانزیستور هدایت نمی‌کند، r_{DS} خیلی زیاد است و $V_O \approx V_{in}$ می‌شود (تطابق ولتاژ). در بقیهٔ موارد، ولتاژ خروجی متناسب با مقدار r_{DS} تغییر می‌کند. توجه داشته باشید که :

● تنها در محدودهٔ خیلی کوچکی از تغییرات V_{DS} حول مبدأ مختصات، منحنی مشخصهٔ FET کاملاً خطی است. لذا کاربرد این مدار به سیگنال‌های ورودی کوچک محدود می‌شود.

● برخلاف ترانزیستورهای BJT ، V_{DS} می‌تواند تغییر علامت نیز بدهد. در مدارهای کنترل از راه دور، سیگنال کنترل جایگزین V_{GG} می‌شود.

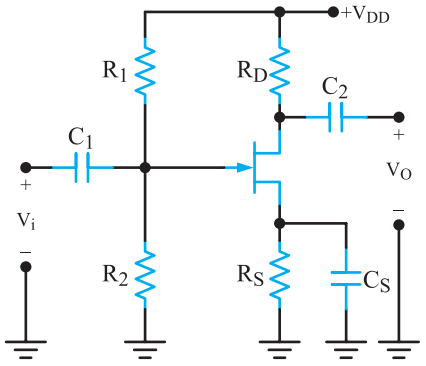
۳ـ۸ـ۳ـ استفاده از FET به‌عنوان تقویت کنندهٔ

اوّلیه با امپدانس ورودی زیاد : چون FET امپدانس ورودی زیادی دارد، به‌عنوان تقویت کنندهٔ اولیه برای اتصال منابعی با مقاومت خروجی زیاد مانند میکروفن‌های خازنی به مدار مناسب است.

۴ـ۸ـ۳ـ تقویت کننده‌های سیگنال کوچک FET :

یکی از کاربردهای مهم قطعات FET ساخت مدارهای تقویت کنندهٔ ولتاژ است. از یک FET ممکن است به‌صورت سورس مشترک، گیت مشترک یا درین مشترک استفاده کنیم. هر یک از این سه آرایش، مشابه ترانزیستور BJT، مشخصات ورودی و خروجی خاصی دارد. قبل از پرداختن به این مشخصات، ضروری است مدل ac یک FET را بررسی کنیم.

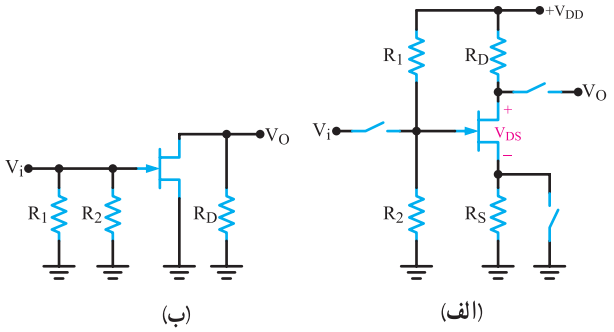
● ***مدار تقویت کنندهٔ سورس مشترک (Common source=CS) :*** در شکل ۳ـ۴۸ یک تقویت کنندهٔ سورس مشترک با ترانزیستور JFET کانال n را مشاهده می‌کنید.



شکل ۳ـ۴۸ـ مدار تقویت کنندهٔ سورس مشترک

در این مدار تغذیهٔ ترانزیستور به روش مرکب تأمین شده است. خازن‌های C_1 و C_2 تقویت کننده را از نظر DC از دیگر طبقات جدا می‌سازد و خازن C_S مقاومت R_S را در سیگنال ac بای‌پاس می‌کند. مدار DC این تقویت کننده در شکل ۳ـ۴۹ـ الف رسم شده است. به کمک این مدار و با روش ترسیمی یا محاسباتی می‌توان نقطهٔ کار ترانزیستور را به‌دست آورد. در مدل ac کلیهٔ خازن‌ها اتصال کوتاه در نظر گرفته می‌شوند، هم‌چنین منبع V_{DD}

از طریق خازن داخلی زمین شده است. مدل ac تقویت کننده سورس مشترک در شکل ۴۹ــ۳ــ ب نشان داده شده است :

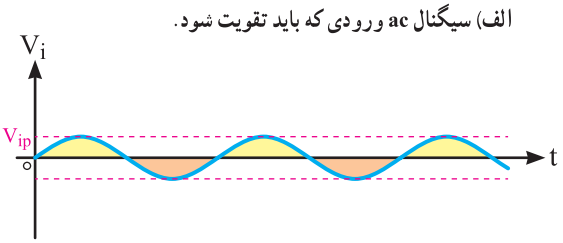


شکل ۴۹ــ۳ــ مدل DC و ac تقویت کنندهٔ سورس مشترک

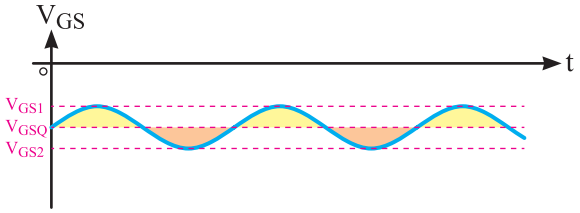
● ***بررسی رفتار تقویت‌کننده سورس مشترک :*** در شکل ۴۸ــ۳ یک تقویت‌کننده سورس مشترک را مشاهده می‌کنید. فرض می‌کنیم ترانزیستور برای نقطهٔ کار (I_{DQ} و V_{DSQ} و V_{GSQ}) بایاس شده باشد. با اتصال یک سیگنال ac به ورودی مدار، ولتاژ گیت حول نقطهٔ کار V_{GSQ} قدری نوسان پیدا می‌کند.

نیمهٔ مثبت این نوسانات از ولتاژ منفی گیت می‌کاهد. این امر موجب افزایش هدایت ترانزیستور می‌شود؛ یعنی، جریان درین افزایش و ولتاژدرین ــ سورس کاهش می‌یابد. در نیم سیکل منفی، سیگنال ac هم‌فاز با V_{GSQ} عمل می‌کند و بر میزان ولتاژ منفی گیت افزوده می‌شود. این امر به کاهش جریان درین و افزایش ولتاژ درین سورس می‌انجامد. ملاحظه می‌کنید که FET در آرایش سورس مشترک رفتاری کاملاً شبیه رفتار BJT در آرایش امیتر مشترک دارد. در شکل ۵۰ــ۳ شکل موج‌های v_{GS}، v_{DS}، v_i و i_D نشان داده شده است.

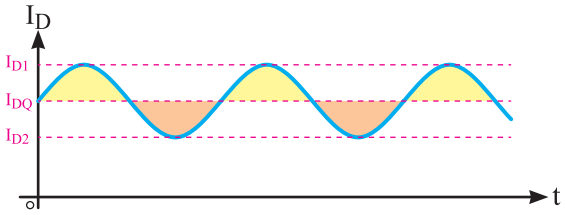
الف) سیگنال ac ورودی که باید تقویت شود.



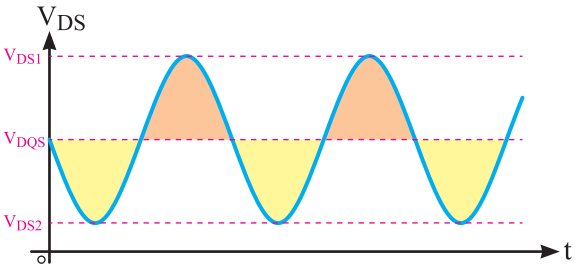
ب) سیگنال ac ورودی سوار بایاس DC منفی (V_{GSQ}) شده است.



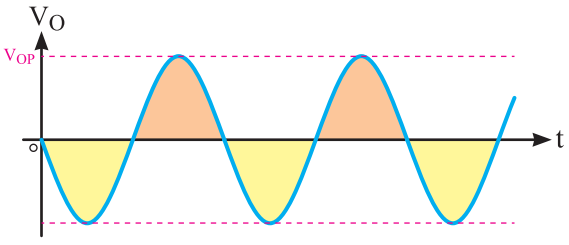
پ) مثبت‌تر شدن V_{GS} مقدار جریان I_D را افزایش می‌دهد و منفی‌تر شدن V_{GS} مقدار I_D را کاهش می‌دهد.



ت) افزایش I_D افت پتانسیل R_DI_D را زیاد می‌کند و V_{DS} را کاهش می‌دهد. کاهش I_D افت پتانسیل R_DI_D را کم می‌کند و V_{DS} را افزایش می‌دهد.



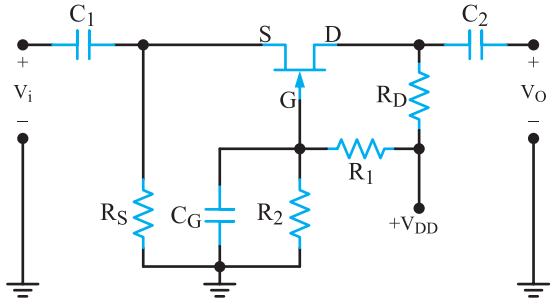
ث) خازن C_2 ولتاژ DC را حذف می‌کند و فقط موج ac به خروجی می‌رسد.



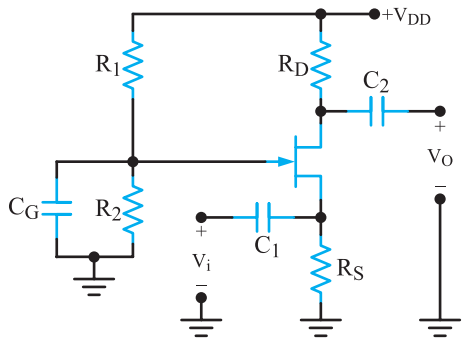
شکل ۵۰ــ۳ــ شکل موج‌های نقاط مختلف مدار تقویت کننده

● ***تقویت‌کنندهٔ گیت مشترک (Common gate=CG) :***

تقویت‌کنندهٔ گیت مشترک مشخصات مشابه تقویت کنندهٔ BJT بیس مشترک دارد. در شکل ۵۱ـ۳ـ الف مدار یک تقویت‌کنندهٔ گیت مشترک را مشاهده می‌کنید. برای آن‌که از این شکل درک بهتری داشته باشید، آن را به‌صورت شکل ۵۱ـ۳ـ ب دوباره رسم کرده‌ایم. دقّت کنید که محل هیچ‌کدام از اجزای مدار و یا جای ورودی و خروجی آن در این شکل تغییر نکرده است.



(الف)



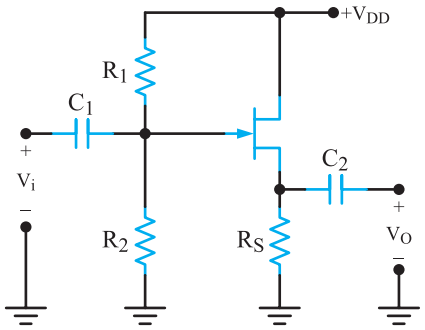
(ب)

شکل ۵۱ـ۳ـ مدار تقویت‌کنندهٔ گیت مشترک

● ***تقویت‌کننده درین‌مشترک «سورس‌پیرو» (Common Drain=CD)***

در شکل ۵۲ـ۳ یک تقویت‌کنندهٔ درین مشترک دیده می‌شود. این مدار یا مدار تقویت‌کنندهٔ BJT کلکتورمشترک مشابهت زیادی دارد.

محاسبه نقطهٔ کار ترانزیستور با حالت‌های قبلی تفاوت ندارد. در این مدار، پایهٔ درین در مقابل سیگنال ac زمین می‌شود. سیگنال ورودی به پایه گیت اعمال می‌شود و خروجی مدار از پایهٔ سورس گرفته می‌شود.



شکل ۵۲ـ۳ـ تقویت‌کنندهٔ درین مشترک

۹ـ۳ـ مقایسهٔ تقویت‌کننده‌های BJT با تقویت‌کننده‌های FET

ترانزیستور، هر آرایش که داشته‌باشد، عمل تقویت را انجام می‌دهد. هر یک از آرایش‌های ترانزیستور در مدار، مشخصات ورودی و خروجی ویژه‌ای را ایجاد می‌کند. آرایش CE مناسب‌ترین ترکیب است؛ زیرا بیش‌ترین بهرهٔ ولتاژ و جریان را دارد و در نهایت قدرت بیش‌تری را فراهم می‌سازد.

آرایش CB به علّت داشتن مقاومت ورودی خیلی کم و مقاومت خروجی زیاد برای ایجادتطبیق امپدانس بین یک مولّد سیگنال با مقاومت داخلی کم و یک بار بزرگ مناسب است. این آرایش به‌دلیل داشتن پاسخ فرکانسی وسیع، در فرکانس‌های بالا نیز کاربرد دارد. آرایش CC به‌علّت دارا بودن مقاومت خروجی خیلی کم اغلب به‌عنوان یک بافر (جداگر) برای تطبیق دادن بارهای کوچک در مدار استفاده می‌شود. ضمن این‌که مدار جریان را نیز تقویت می‌کند.

طبقهٔ نهایی تقویت‌کننده‌های صوتی را که باید بلندگوهای با امپدانس کم را تغذیه کند، به‌صورت کلکتور مشترک می‌بندند.

ترانزیستورهای اثر میدان نیز مشابهت زیادی با آرایش‌های BJT دارند. با این تفاوت که مقاومت ورودی FET بسیار بیش‌تر از مقاومت ورودیBJT است. به‌طور کلی از نظر آرایش، مدارهای BJT با FET به‌صورت زیر مقایسه می‌شوند.

- آرایش CS مشخصاتی مانند آرایش CE دارد.
- مشخصات آرایش CG مانند آرایش CB است.
- آرایش CD مشخصاتی مانند آرایش CC دارد.

ترانزیستورهای BJT بهرهٔ بیش‌تری دارند و قیمت آن‌ها نیز در مقایسه به FET مشابه ارزان‌تر است. ترانزیستورهای FET نسبت به BJT فرکانس قطع بالاتری دارند و از پایداری حرارتی بیش‌تری برخوردارند هم‌چنین در برابر اغتشاش مصونیت بیش‌تری دارند و راندمان آن‌ها نیز بیش‌تر است.

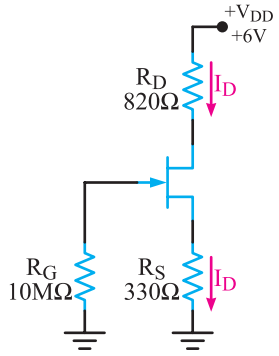
تحقیق کنید: آیا مدار بافر (جداگر) در آی‌سی‌های دیجیتالی به‌کار می‌رود؟ بررسی کنید و نتایج را در کلاس ارائه دهید.

۱۰ـ۳ـ الگوی پرسش

کامل کردنی

۱ـ۱۰ـ۳ـ در صورتی که JFET در ناحیهٔ ..... کار کند برای محاسبهٔ I_D می توان از فرمول $I_D=I_{DSS}(1-\frac{\quad}{\quad})^2$ استفاده کرد.

۲ـ۱۰ـ۳ـ مدار شکل ۳ـ۵۳ به صورت ..... بایاس شده است و V_{GS} از رابطهٔ ..... = V_{GS} به دست می‌آید.



شکل ۳ـ۵۳

صحیح یا غلط

۳ـ۱۰ـ۳ـ در بایاس سر خود پتانسیل گیت برابر صفر ولت است. ☐ صحیح ☐ غلط

۴ـ۱۰ـ۳ـ برای آن‌که از JFET به‌عنوان مقاومت متغیر استفاده کنیم باید آن را در ناحیهٔ اهمی بایاس کنیم.

☐ صحیح ☐ غلط

چهار گزینه‌ای

۵ـ۱۰ـ۳ـ در یک ترانزیستور JFET با کانال N، $V_P=+6V$ و $V_{GS}=-2V$ است، مقدار ولتاژ درین سورس حداقل چند ولت انتخاب شود تا ترانزیستور در ناحیهٔ اشباع قرار گیرد.

۱) ۴ ۲) ۴ – ۳) ۸– ۴) ۸+

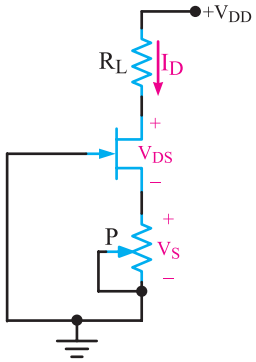
۶ـ۱۰ـ۳ـ کدام گزینه در مورد مدار شکل ۳ـ۵۴ درست است؟

۱) تقویت کنندهٔ ولتاژ

۲) تقویت کنندهٔ جریان

۳) منبع جریان

۴) منبع ولتاژ



شکل ۳ـ۵۴

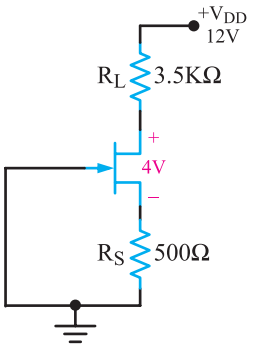
۷ـ۱۰ـ۳ـ در مدار شکل ۳ـ۵۵ V_{GS} چند ولت است؟

۱) صفر

۲) ۲–

۳) ۱–

۴) ۰/۵–



شکل ۳ـ۵۵

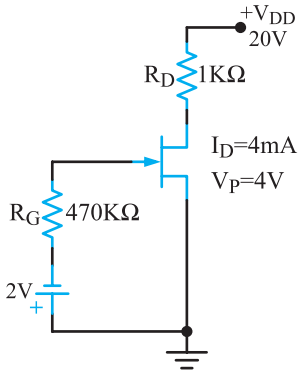
۸ـ۱۰ـ۳ـ I_{DSS} در مدار شکل ۳ـ۵۶ چند میلی‌آمپر است؟

۱) ۴

۲) ۸

۳) ۱۶

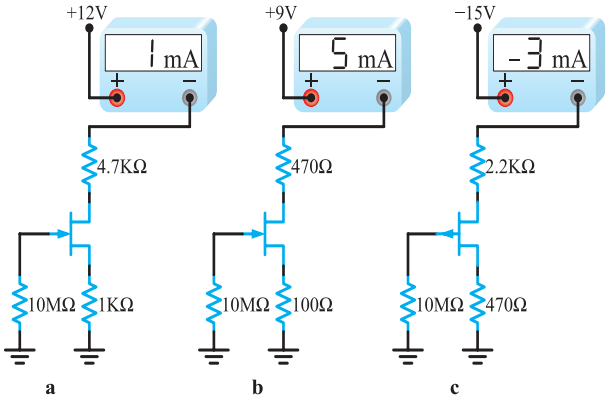
۴) ۱۲



شکل ۳ـ۵۶

محاسباتی و تشریحی

۹ــ۱۰ــ۳ــ در هر یک از مدارهای (a) و (b) و (c) شکل ۳ــ۵۷، V_{DS} و V_{GS} را محاسبه کنید.



شکل ۳ــ۵۷

۱۰ــ۱۰ــ۳ــ در یک ترانزیستور JFET با کانال n، $V_{GS(Off)} = -3V$ است. ناحیهٔ کار ترانزیستور را در هریک از شرایط زیر مشخص کنید.

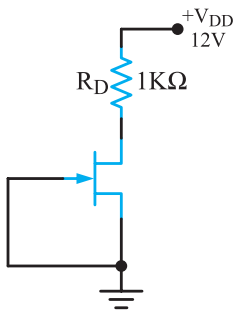
الف) $V_{GS} = -2V$ و $V_{DS} = 12V$

ب) $V_{GS} = -1V$ و $V_{DS} = 1V$

پ) $V_{GS} = -4V$ و $V_{DS} = 12V$

ت) $V_D = 5mA$ و $V_{DS} = 8V$

۱۱ــ۱۰ــ۳ــ در شکل ۳ــ۵۸ با فرض $V_P = +5V$ و $I_{DSS} = 8mA$ توان تلف شده در ترانزیستور چند میلی‌وات است؟ $(P_T = I_D \times V_{DS})$.

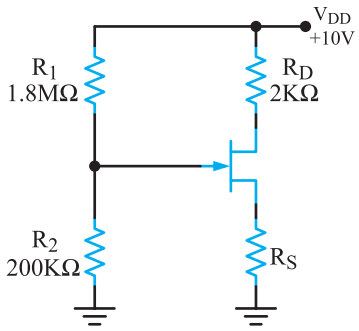


شکل ۳ــ۵۸

۱۲ــ۱۰ــ۳ــ اگر در شکل ۳ــ۵۹، $I_{DSS} = 10mA$ و $V_{GS(Off)} = -5V$ باشد.

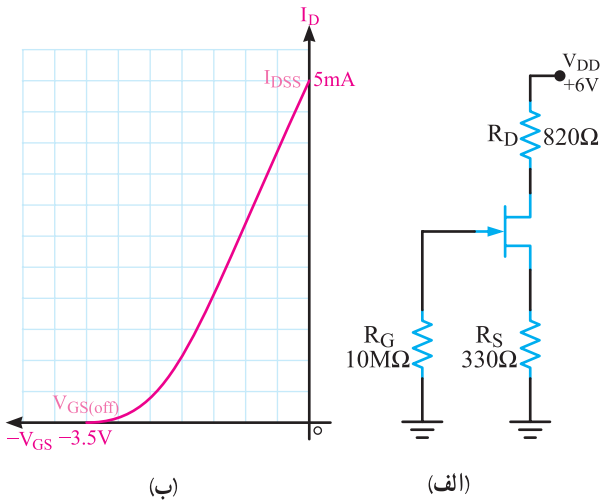
الف) مقاومت R_S را طوری محاسبه کنید که $|V_{GS}| = 3V$ شود.

ب) مقدار ولتاژ V_{DS} چند ولت است؟



شکل ۳ــ۵۹

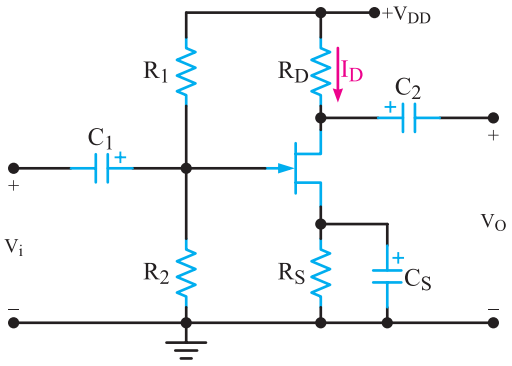
۱۳ــ۱۰ــ۳ــ با توجه به شکل ۳ــ۶۰ــالف و ب، با نوشتن معادلهٔ خط بار و به روش ترسیمی، خط بار را روی منحنی مشخصهٔ انتقالی رسم کنید، سپس مشخصات نقطه‌کار را بنویسید.



(ب) (الف)

شکل ۳ــ۶۰

۱۴ــ۱۰ــ۳ــ تقویت‌کنندهٔ شکل ۳ــ۶۱ دارای چه نوع آرایشی است؟ مدل AC تقویت‌کننده را رسم کنید. این تقویت‌کننده چه کمیت‌هایی را تقویت می‌کند؟



شکل ۶۱ـ۳

۱۱ـ۳ـ ترانزیستوراثر میدان با گیت عایق شده یا IGFET (Insulated Gate FET)

چون در ترانزیستور JFET جریان نشتی پیوند گیت‌سورس با افزایش دمای محیط افزایش می‌یابد، ترانزیستور نسبت به حرارت تا حدودی ناپایدار است و مقاومت ورودی آن در اثر گرما به مقدار زیادی کاهش می‌یابد. یادآور می‌شود که پایداری JFET در مقابل دما خیلی بیش‌تر از BJT است.

مقاومت ورودی JFET در حدود 10^{12} تا 10^{15} اهم است. برای افزایش این مقاومت، می‌توان از ترانزیستور اثر میدان با گیت عایق شده استفاده کرد. در این ترانزیستور، گیت با لایهٔ اکسید سیلیکون از کانال جدا می‌شود و هیچ جریانی از گیت عبور نمی‌کند. لذا مقاومت ورودی آن فوق‌العاده افزایش می‌یابد. این ترانزیستور را بیش‌تر به نام MOSFET می‌شناسند. نامی که از ساختار فیزیکی آن برگرفته شده است و اول کلمات Metal Oxide Semiconductor FET به مفهوم ترانزیستور اثر میدان با نیمه‌های اکسید فلز است.

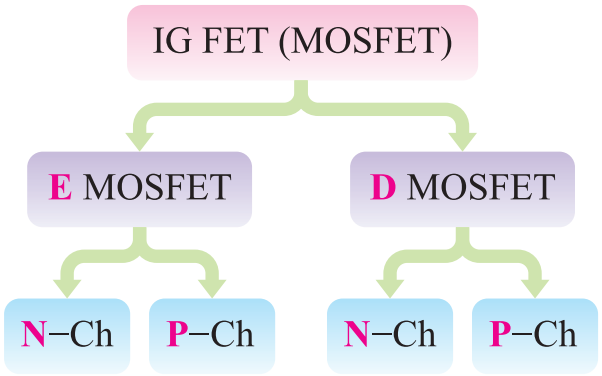
انواع ترانزیستورهای MOSFET : ترانزیستورهای MOSFET به دو صورت ساخته می‌شوند.

ترانزیستورهای MOSFET با کانال تهی شونده (DMOSFET)

(Depletion–mode MOSFET)

ترانزیستورهای MOSFET با کانال تشکیل شونده یا بهبود یافته EMOSFET (Enhancement mode MOSFET)

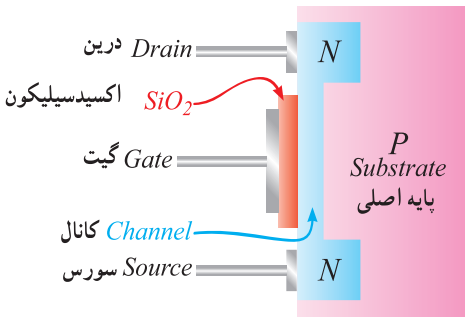
هر یک از این دو نوع ترانزیستور می‌تواند با کانال n یا با کانال p ساخته شود؛ که رایج‌ترین آن‌ها در بازار، MOSFETهای با کانال n، از نوع تهی شونده و MOSFETهای با کانال p، از نوع تشکیل شونده است.



۱ـ۱۱ـ۳ـ ترانزیستور MOSFET با کانال

تهی‌شوندهٔ نوع N : این نوع ترانزیستور از یک قطعهٔ نیمه هادی پایهٔ نوع p با ناخالصی کم تشکیل شده است. درون این قطعه، دو ناحیهٔ نوع n با ناخالصی زیاد ایجاد می‌کنند. این نواحی را به‌وسیلهٔ یک کانال نوع n با ناخالصی کم به یک‌دیگر وصل می‌کنند. از طرفین کانال، کنتاکت‌های درین ـ سورس خارج می‌شود. گیت این ترانزیستور را یک صفحهٔ فلزی تشکیل می‌دهد که توسط لایهٔ نازکی از دی‌اکسید سیلیکون از کانال کاملاً جدا شده است.

در شکل ۶۲ـ۳ ساختمان این نوع MOSFET رسم شده است. این نوع MOSFET را از این به‌بعد DMOSFET می‌نامیم.

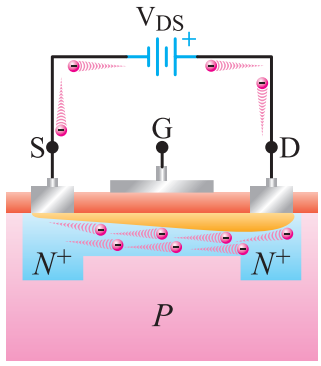


شکل ۶۲ـ۳ـ ساختمان DMOSFET با کانال N

در بیش‌تر ترانزیستورهای MOSFET کریستال پایه از داخل به سورس وصل می‌شود اما در مواردی ممکن است از آن یک اتصال چهارم نیز بیرون آورده باشند. در چنین مواردی، برای آن‌که پیوند p–n پایه و کانال همواره در گرایش معکوس باقی بماند، باید این اتصال را به پایه سورس وصل کرد.

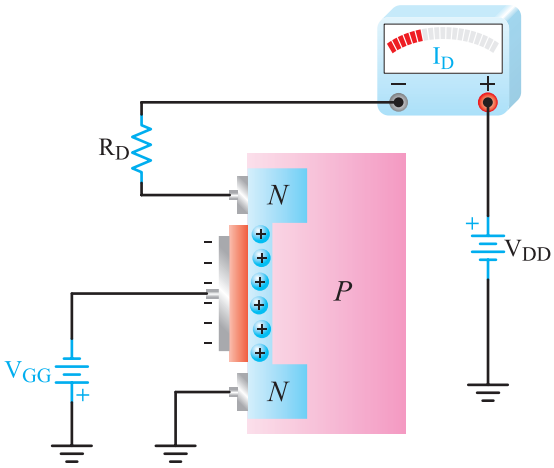
گیت را می‌توان به عنوان یک جوشن خازن با صفحات موازی در نظر گرفت. کانال صفحهٔ دیگر جوشن خازن است. دی‌اکسید سیلیکون که لایهٔ بسیار باریک است، عایق بین دو جوشن را تشکیل می‌دهد.

۲ــ۱۱ــ۳ــ اتصال ولتاژ به پایه‌های DMOSFET: هرگاه مطابق شکل ۳ــ۶۳ به پایهٔ درین و سورس ولتاژی اتصال دهیم، این ولتاژ به برقراری جریان در داخل کانال منجر می‌شود. هر قدر V_{DS} افزایش یابد، جریان درین نیز افزایش می‌یابد تا سرانجام به یک مقدار ثابت می‌رسد. از آن پس، افزایش V_{DS} در مقدار جریان تأثیر محسوسی ندارد. این رفتار ناشی از آن است که افزایش V_{DS} به گسترش ناحیهٔ تهی در داخل کانال منجر می‌شود و گرفتگی کانال به حداکثر می‌رسد.



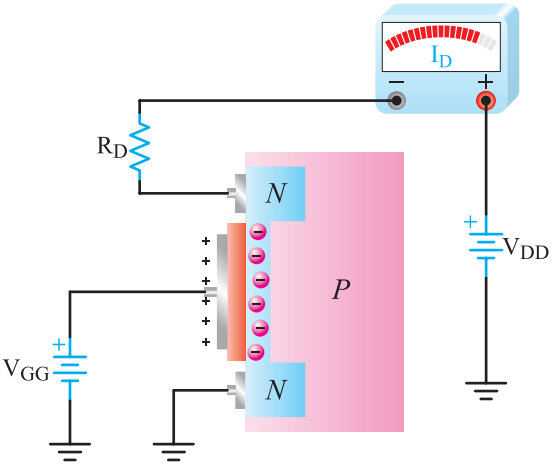
شکل ۳ــ۶۳ــ اتصال ولتاژ V_{DS} موجب برقراری جریان شده است.

برقراری یک ولتاژ منفی بین گیت سورس مانند شکل ۳ــ۶۴ موجب می‌شود که در داخل کانال یک ناحیهٔ تهی از حامل‌های جریان به‌وجود آید. در این حالت الکترون‌ها از کانال رانده می‌شوند و به‌جای آن‌ها یون‌های مثبت باقی می‌مانند. به این ترتیب هدایت در کانال کاهش می‌یابد و جریان درین (I_D) کم می‌شود.



شکل ۳ــ۶۴ــ اتصال V_{GG} جریان درین را کم می‌کند

با اتصال ولتاژ منفی‌تر بین گیت سورس، جریان درین کم‌تر می‌شود تا در ولتاژی به‌نام ولتاژ گیت سورس قطع (V_{GSoff}) کانال به‌طور کامل از بار آزاد تهی شده و جریان I_D خیلی کم و نزدیک به صفر می‌شود. همان‌طور که مشاهده می شود در DMOSFET با کانال N نیز مانند JFET با کانال N، تغییر ولتاژ گیت سورس در محدودهٔ صفر تا V_{GSoff} روی جریان درین در محدودهٔ مقدار ماکزیمم (I_{DSS}) تا صفر اثر دارد. در DMOSFETها می‌توان مانند شکل ۳ــ۶۵ به گیت سورس ولتاژ مثبت نیز اتصال داد.

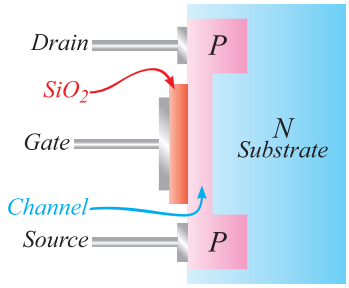


شکل ۳ــ۶۵ــ اتصال ولتاژ مثبت به گیت سورس موجب افزایش I_D می‌شود.

افزایش ولتاژ مثبت گیت سورس الکترون‌های آزاد بیش‌تری را از نواحی N^+ در کانال برقرار می‌نماید و مقاومت آن را کاهش

می دهد. با بهبود وضعیت کانال جریان درین افزایش می یابد.

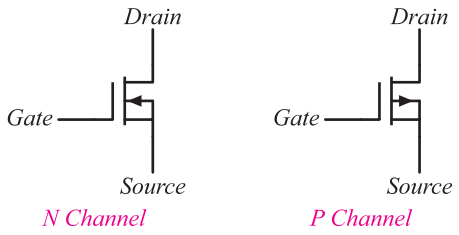
۳ــ۱۱ــ۳ــ ساختمان DMOSFET با کانال تهی‌شونده نوع P : ساختمان DMOSFET با کانال P تهی‌شونده، شبیه نوع کانال N است. مطابق شکل ۶۶ــ۳ بلور پایه از کریستال نوع N و کانال از نوع P است.



شکل۶۶ــ۳ــ DMOSFET با کانال P

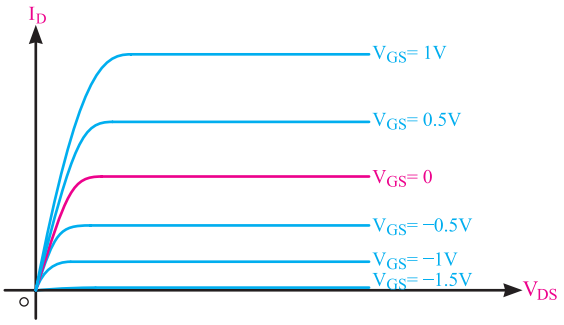
عملکرد هر دو DMOSFET کانال N و P شبیه به‌هم است و فقط قطب باتری‌هایی که به DMOSFET با کانال P وصل می‌شود برعکس DMOSFET با کانال N است.

۴ــ۱۱ــ۳ــ علامت اختصاری DMOSFET : علامت اختصاری هر دو نوع DMOSFET در شکل ۶۷ــ۳ نشان داده شده است. بلور پایه به وسیلهٔ پیکانی مشخص می‌شود. بلور پایه معمولاً (نه همیشه) از داخل به سورس اتصال دارد.



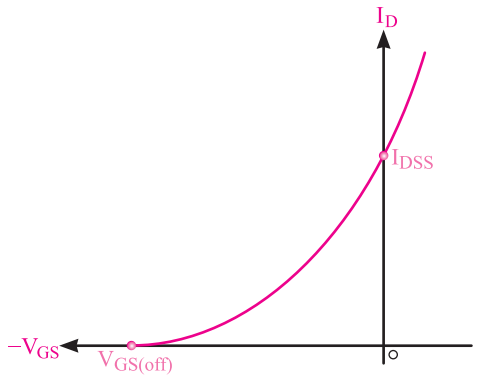
شکل۶۷ــ۳ــ علامت اختصاری DMOSFETها

۵ــ۱۱ــ۳ــ منحنی‌های مشخصهٔ DMOSFET با کانال N : با توجه به توضیحات داده شده، می‌توان در DMOSFET، به گیت سورس ولتاژ مثبت یا منفی داد. اتصال ولتاژ منفی متداول‌تر است. شکل ۶۸ــ۳ خانوادهٔ منحنی‌های مشخصهٔ I_D–V_{DS} را برای ولتاژهای گیت سورس مختلف نشان می‌دهد. با منفی‌تر شدن ولتاژ گیت سورس، I_D کاهش یافته است.



شکل۶۸ــ۳ــ منحنی مشخصه MOSFET با کانال تهی‌شونده نوع N

در شکل ۶۹ــ۳ منحنی مشخصهٔ انتقالی DMOSFET با کانال N رسم شده است.



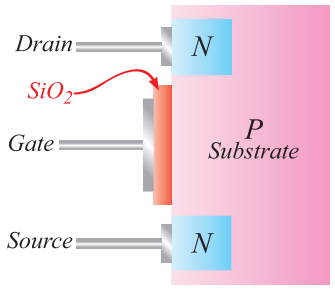
شکل ۶۹ــ۳ منحنی مشخصهٔ انتقالی DMOSFET

۱۲ــ۳ــ ساختمان MOSFET با کانال تشکیل‌شونده Enhancement MOSFET(EMOSFET)

در این نوع ترانزیستور بر خلاف ترانزیستور با کانال تهی‌شونده، کانال را در هنگام ساخت ایجاد نمی‌کنند. لذا تا وقتی که گیت ترانزیستور بایاس نشود، ترانزیستور خاموش می‌ماند. به‌علت مقاومت خیلی زیاد بلور پایه که درین و سورس را از یکدیگر جدا می‌کند، عملاً با افزایش V_{DS} جریان محسوسی از درین نمی‌گذرد.

شکل ۷۰ــ۳ ساختمان این نوع MOSFET را نشان می‌دهد.

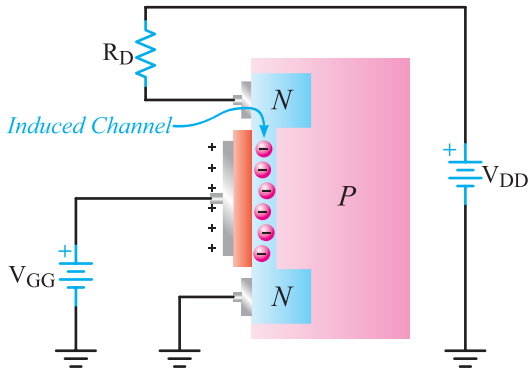
از این پس این نوع MOSFET را EMOSFET می‌نامیم.



شکل ۷۰ــ۳ــ ساختمان EMOSFET با کانال N تشکیل شونده

در صورتی که گیت سورس را طوری بایاس کنیم که پتانسیل گیت مثبت‌تر از سورس باشد، میدان الکترواستاتیکی گیت، تعدادی الکترون آزاد از نواحی n^+ و کریستال پایه جذب می‌کند و یک کانال باریک به‌صورت القایی بین درین سورس به‌وجود می‌آورد. این کانال، مقاومت بین دو پایه را کاهش می‌دهد و موجب برقراری جریان درین می‌شود.

شکل ۷۱ــ۳ ایجاد کانال را پس از اعمال ولتاژ گیت سورس نشان می‌دهد. همان‌طور که ملاحظه می‌شود در این نوع ترانزیستور چون کانال تشکیل می‌شود آن را تشکیل شونده می‌گویند.

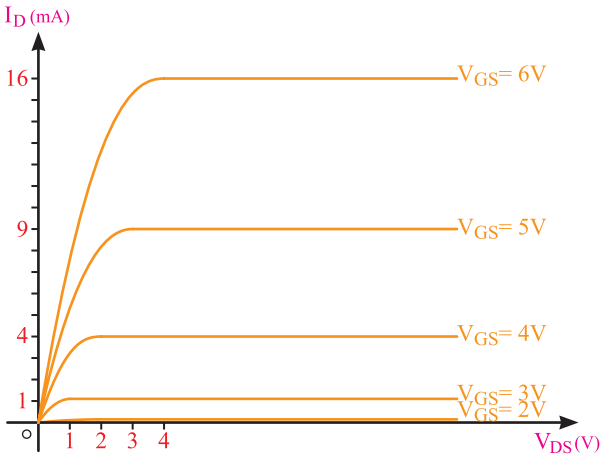


شکل ۷۱ــ۳ــ اتصال ولتاژ مثبت گیت سورس موجب تشکیل کانال و برقراری جریان می‌شود.

حداقل ولتاژی را که لازم است بین گیت ــ سورس اعمال شود تا جریان درین برقرار گردد، ولتاژ آستانهٔ روشن شدن ترانزیستور می‌گویند و آن را $V_{GS(th)}$ (Threshold) نشان می‌دهند. مقدار نامی این ولتاژ در حدود ۲ ولت است. هنگامی که کانال شکل گرفت، هرقدر V_{GS} بیش‌تر شود عرض کانال افزایش می‌یابد و مقاومت بین درین و سورس کم می‌شود. در این حالت جریان درین به ازای یک ولتاژ معین درین سورس افزایش می‌یابد. افزایش ولتاژ درین سورس (V_{DS}) جریان درین را نیز افزایش می‌دهد. این افزایش جریان با گذشتن V_{DS} از حد بحرانی متوقف می‌شود.

۱ــ۱۲ــ۳ــ منحنی مشخصهٔ EMOSFET با کانال N

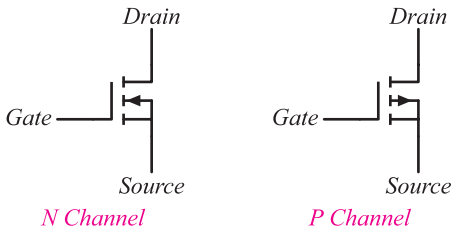
در شکل ۷۲ــ۳ منحنی مشخصهٔ EMOSFET با کانال N رسم شده است. همان‌طور که مشاهده می‌شود هر قدر V_{GS} مثبت‌تر باشد جریان درین افزایش می‌یابد.



شکل ۷۲ــ۳ــ منحنی مشخصهٔ EMOSFET با کانال N

۲ــ۱۲ــ۳ــ علامت اختصاری EMOSFET:

علامت اختصاری هر دو نوع MOSFET با کانال N و P تشکیل‌شونده را در شکل ۷۳ــ۳ مشاهده می‌کنید. خطوط شکسته بین درین و سورس بیانگر عدم وجود کانال اولیه است.



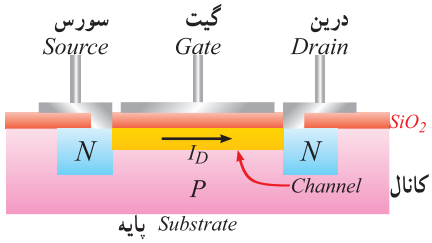
شکل ۷۳ــ۳ــ علامت اختصاری EMOSFET با کانال N و P

EMOSFET به دلیل کوچک بودن اندازه و ساده‌تر بودن ساخت آن، در تولید مدارهای مجتمع (IC) کاربرد بیش‌تری دارد.

فکرکنید : به چه دلیل در مدارهای ورودی طبقات عمودی (Vertical) اسیلوسکوپ از ترانزیستور FET استفاده می‌کنند؟

۱۳ــ۳ــMOSFETهای قدرت Power MOSFET

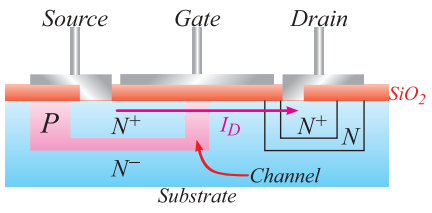
در EMOSFETهای متداول مانند شکل ۳ــ۷۴ فقط لایه نازکی از کانال به‌صورت افقی قرار دارد. این لایه مقاومت نسبتاً بالایی را بین درین و سورس ایجاد می‌کند. لذا این نوع MOSFETها برای کار در قدرت‌های پایین مورد استفاده قرار می‌گیرند.



شکل ۳ــ۷۴ــ EMOSFET قدرت کم

وقتی به گیت پتانسیل مثبتی می‌دهیم کانال در مجاورت گیت، بین سورس و درین شکل می‌گیرد.

امّا MOSFETهای قدرت که LD MOSFET (Laterally Diffused MOSFET) نام‌گذاری شده‌اند، ساختاری با کانال عرضی متفاوت با EMOSFET دارند و از نوع بهبود یافته هستند و برای کاربرد در قدرت‌های بالا طراحی شده‌اند. شکل ۳ــ۷۵ ساختمان داخلی یک نوع از این MOSFETها را نشان می‌دهد.



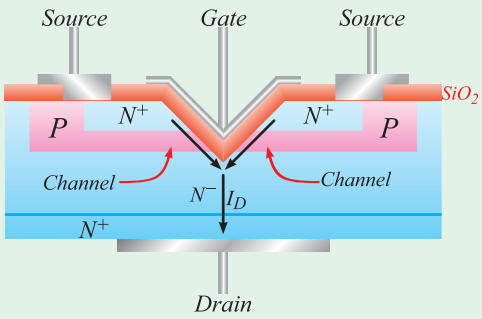
شکل ۳ــ۷۵ــ ساختمان LD MOSFET

کانال در این قطعه نسبت به EMOSFETهای متداول، کوتاه‌تر است در نتیجه مقاومت کم‌تری ایجاد می‌کند. این خاصیت سبب تحمل ولتاژ بالاتر و عبور جریان بیش‌تر می‌شود.

در این نوع MOSFETها وقتی گیت مثبت می‌شود، کانال خیلی کوتاهی از نوع n در لایهٔ p و بین دو ناحیهٔ n^+ و n^- نفوذ می‌کند و موجب برقراری جریان بین درین و سورس می‌شود.

۱ــ۱۳ــ۳ــ VMOSFET : مثال دیگری از MOSFETهای قدرت VMOSFETها هستند که برای قدرت بالاتر طراحی شده‌اند. در این نوع MOSFETها کانال کوتاه‌تر و عریض‌تر است لذا مقاومت کم‌تری را بین درین و سورس ایجاد می‌کند. در نهایت جریان بیش‌تری می‌تواند از کانال عبور نماید. VMOSFET توان تلفاتی بیش‌تری دارد و پاسخ فرکانسی آن مطلوب‌تر است. در شکل ۳ــ۷۶ساختمان این نوع MOSFET را مشاهده می‌کنید.

برای هنرجویان علاقمند:



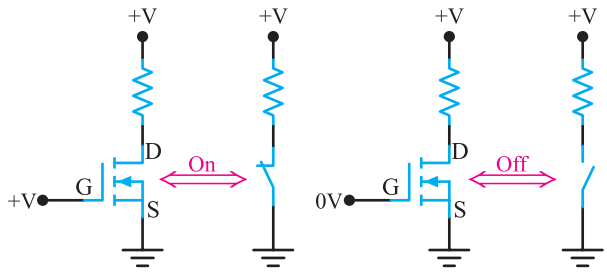
شکل ۳ــ۷۶ــ ساختمان VMOSFET

ساختار کانال عمودی و به‌صورت شیاری V شکل است. این نوع MOSFETها دو اتصال سورس دارند و اتصال گیت در بالا و درین در پایین قرار دارد. کانال به‌صورت عمودی و بین دو لایهٔ n^+ و n^- و در حد فاصل درین و سورس در دو طرف شیار V شکل نفوذ داده می‌شود. کانال هنگامی ایجاد می‌شود که ولتاژ گیت نسبت به سورس مثبت شود.

۱۴ــ۳ــ عملکرد MOSFET به‌عنوان کلید MOSFET Switching Operation

EMOSFETهابه‌علت دارابودن ولتاژ آستانه (V_{GSth})

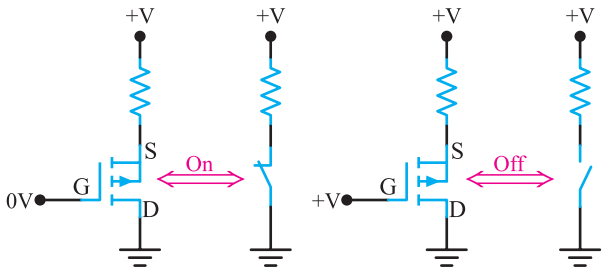
به‌عنوان کلید به‌کار می‌روند. اگر ولتاژ گیت سورس کم‌تر از ولتاژ گیت سورس آستانه (V_{GSth}) باشد، MOSFET قطع است. هنگامی که ولتاژ گیت سورس بیش‌تر از ولتاژ آستانه می‌شود، MOSFET به‌صورت کلید بسته عمل می‌کند. لذا با تغییر ولتاژ گیت سورس، می‌توان به EMOSFET به‌عنوان کلید فرمان داد. کلید زمانی قطع است که $V_{GS} < V_{GS(th)}$ باشد. در این حالت مقاومت درین سورس بسیار زیاد می‌شود و MOSFET به‌صورت کلید باز عمل می‌کند. زمانی کلید بسته است که V_{GS} به اندازه کافی از $V_{GS(th)}$ بیش‌تر باشد. در این حالت r_{DS} بسیار کم است. شکل ۷۷ــ۳، EMOSFET با کانال N و معادل کلیدی آن را نشان می‌دهد.



شکل ۷۷ــ۳ــ EMOSFET به‌عنوان کلید

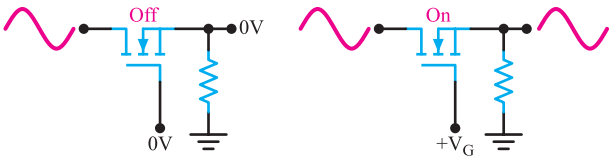
وقتی به گیت V+ ولت بدهیم FET مانند سوئیچ بسته عمل می‌کند. وقتی به گیت صفر ولت بدهیم، FET به‌عنوان سوئیچ باز عمل می‌کند.

در شکل ۷۸ــ۳ EMOSFET با کانال P به‌عنوان سوئیچ و ولتاژ گیت برای باز و بسته شدن کلید نشان داده شده است.



شکل ۷۸ــ۳ــ الف و ب EMOSFET به‌عنوان کلید

شکل ۷۹ــ۳ یک نمونه کاربرد سوئیچ در انتقال سیگنالی آنالوگ به خروجی را نشان می‌دهد.

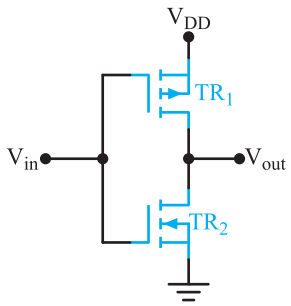


شکل ۷۹ــ۳ــ یک نمونه کاربرد سوئیچ در انتقال سیگنال آنالوگ

CMOS ــ۳ــ۱۵

Complementary MOSFET

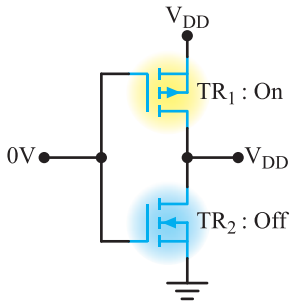
با سری کردن دو نوع EMOSFET با کانال N و P مانند شکل ۸۰ــ۳، CMOS ساخته می شود.



شکل ۸۰ــ۳

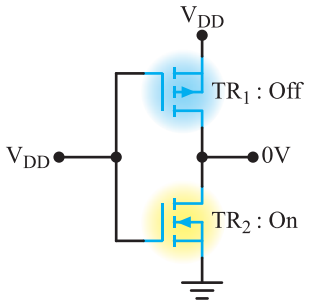
ازرسم ساختمان کریستالی CMOS صرف‌نظر شده است.

وقتی مانند شکل ۸۱ــ۳، $V_{in} = 0$ است TR_1 وصل و TR_2 قطع و مانند کلیدی باز عمل می‌کند و خروجی تقریباً برابر V_{DD} است.



شکل ۸۱ــ۳ــ TR_1 وصل و TR_2 قطع است.

وقتی به Vin ولتاژ V_{DD} بدهیم TR_1 قطع و مانند کلید باز عمل می‌کند و TR_2 وصل و مانند کلید بسته عمل می‌کند و خروجی تقریباً زمین شده و صفر ولت را نشان می‌دهد. این حالت در شکل ۸۲ــ۳ نشان داده شده است.



شکل ۸۲ــ۳ TR_1 قطع و TR_2 وصل است.

از مزایای CMOS تلفات توان بسیار کم آن است. زیرا با سری شدن دو نوع MOSFET، یکی از MOSFETها همواره قطع است و اساساً از منبع جریانی کشیده نمی‌شود. این مدار مانند گیت NOT در دیجیتال عمل می‌کند. وقتی ورودی صفر یا LOW است. خروجی «V_{DD}» یا «High» است و وقتی ورودی در V_{DD}(High) قرار دارد خروجی «صفر یا LOW» است.

۱۶ــ۳ــ شکل ظاهری ترانزیستورهای FET

در شکل ۸۳ــ۳ ساختمان ظاهری چند نمونه JFET و MOSFET را مشاهده می‌کنید.

شکل ۸۳ــ۳ــ ساختمان ظاهری چند نمونه FET

بیشتر بدانید:

امروزه ترانزیستورهای خاص با نام IGBT (Insulated – Gate Bipolar Transistor)ساخته شده است. ساختار این ترانزیستورها مشابه BJT است با این تفاوت که پایه بیس آن با نام گیت مشخص می‌شود و مشابه گیت MOSFET عمل می‌کند؛ بنابراین ورودی این قطعه شبیه FET و خروجی آن مشابه ترانزیستور دوقطبی (BJT) است. در شکل ۸۴ــ۳ نماد و چند نمونه از شکل ظاهری IGBT نشان داده شده است.

شکل ۸۴ــ۳ــ نماد و شکل ظاهری دو نمونه IGBT

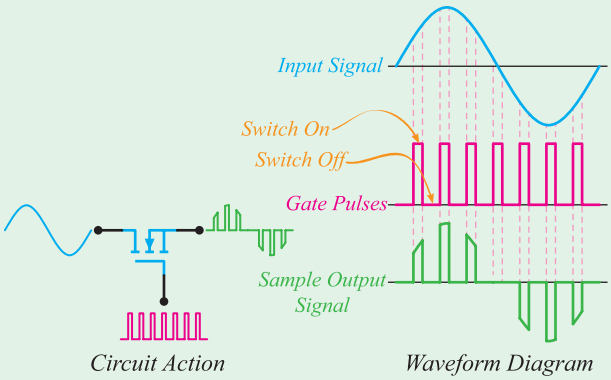
از این قطعه می‌توان جریان بسیار زیاد (حدود صدها آمپر) را عبور داد. همچنین ولتاژ کار آن بالا بوده و می‌تواند به حدود ۶۰۰۰ ولت برسد. به‌این ترتیب IGBT قادر است توان صدها کیلووات را تحمل کند. این قطعه به دلیل داشتن راندمان بالا و سوئیچینگ سریع، در دستگاه‌های مدرن مانند اتومبیل‌ها و قطارهای برقی، یخچال‌ها با توانایی سرمایش سریع، سیستم هواساز با راندمان بالا، آمپلی‌فایرهای سوئیچینگ و منابع تغذیه کاربرد دارد.

تحقیق کنید:

با مراجعه به سایت‌های مختلف در ارتباط با تکنولوژی ساخت IGBT و موارد کاربرد آن تحقیق کنید.

۱۷ــ۳ــ برای هنرجویان علاقمند:

یکی از کاربردهای سوئیچ‌های آنالوگ استفاده از آن‌ها برای تبدیل سیگنال آنالوگ به دیجیتال است. این عمل در مدار مبدل آنالوگ به دیجیتال (ADC) انجام می‌گیرد. شکل ۸۵ــ۳ لحظات وصل سوئیچ و سیگنال نمونه‌برداری شده در خروجی سوئیچ را نشان می‌دهد.



شکل ۸۵ــ۳ــ کاربرد سوئیچ آنالوگ در مدار ADC

۱۸ــ۳ــ الگوی پرسش

کامل کردنی

۱ــ ۱۸ــ۳ــ Depletion به مفهوم ..... و Enhancement به مفهوم ..... است.

۲ــ ۱۸ــ۳ــ در EMOSFETها تا V_{GS} به‌اندازهٔ ..... نشود. جریان درین (I_D) در مدار برقرار نمی‌شود.

صحیح یا غلط

۳ــ ۱۸ــ۳ــ DMOSFET در هر دو حالت تهی‌شونده و تشکیل‌شونده (بهبود یافته) می‌تواند عمل کند.

صحیح ☐ غلط ☐

چهارگزینه‌ای

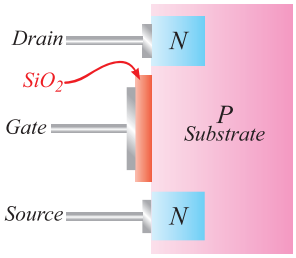
۴ــ ۱۸ــ۳ــ ساختمان کریستالی شکل ۸۶ــ۳ مربوط به کدام نوع MOSFET است؟

۱ــ کانال P تهی‌شونده

۲ــ کانال P تشکیل‌شونده

۳ــ کانال N تهی‌شونده

۴ــ کانال N تشکیل‌شونده



شکل ۸۶ــ۳

۵ــ ۱۸ــ۳ــ در مورد عمل‌کرد DMOSFET کدام گزینه صحیح است؟

۱) فقط در حالت تهی‌شونده (Depletion mode) عمل می‌کند.

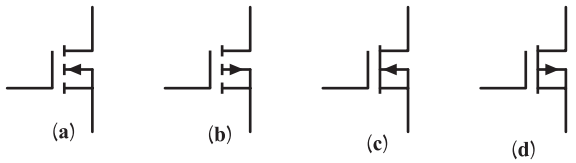
۲) فقط در حالت تشکیل‌شونده (Enhancement mode) عمل می‌کند.

۳) فقط در ناحیهٔ اهمی عمل می‌کند.

۴) در هردو حالت تهی‌شونده و تشکیل‌شونده عمل می‌کند.

تشریحی

۶ــ ۱۸ــ۳ــ نام پایه‌ها را روی شکل ۸۷ــ۳ (a)، (b)، (c) و (d) بنویسید. نوع کانال (N یا P) و از نظر ساخت (تشکیل‌شونده یا تهی‌شونده) را تعیین کنید.



شکل ۸۷ــ۳

۷ــ ۱۸ــ۳ــ عمل‌کرد EMOSFET با کانال N را به عنوان سوئیچ توضیح دهید.