آی سی ۷۷۳۰ نمایشگر هفت قسمتی آند مشترک است. پایه ۱۴ آند مشترک (common anode) ورودی مشترک برای تمام LED هاست.

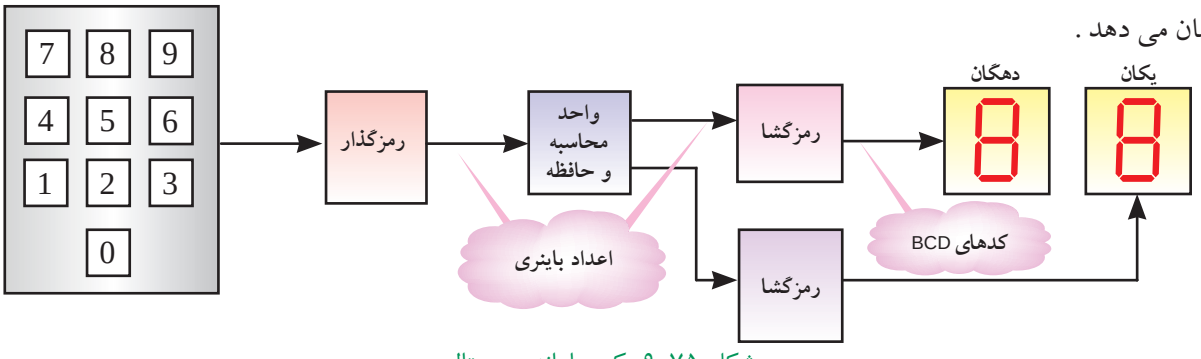
در این مدار کلیه کلیدها S۱،S۲،S۳،S۴ ورودی های آی سی هستند و پایه های a،b،c ، d،e،f،g خروجی های آی سی می باشند ، که به7.Seg اتصال می یابند.

تمرین کلاسی ۸ :

یک رمزگشا با ۸ خط خروجی دارای چند خط آدرس است؟

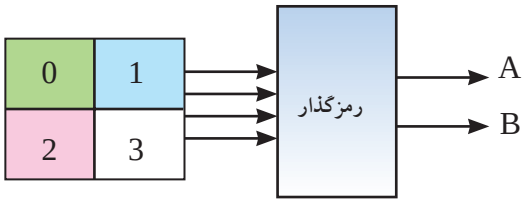
۹-۱۰-۲ مدارهای رمزگذار (Encoder)

اعدادی که به کامپیوتر یا سامانه‌ی دیجیتالی داده می‌شود در سیستم دهدهی هستند. چون کامپیوتر با اعداد باینری کار می کند اعداد دهدهی باید به اعداد باینری تبدیل شوند. مداری که اطلاعات را از حالت دهدهی به باینری تبدیل می کند، رمزگذار نام دارد ، شکل ۹-۷۵ یک سامانه ی دیجیتالی را نشان می دهد .



شکل ۹-۷۵ یک سامانه دیجیتال

در شکل ۹-۷۶ بلوک دیاگرام یک رمزگذار ۲←۴ به همراه جدول صحت این رمزگذار نشان داده شده است.

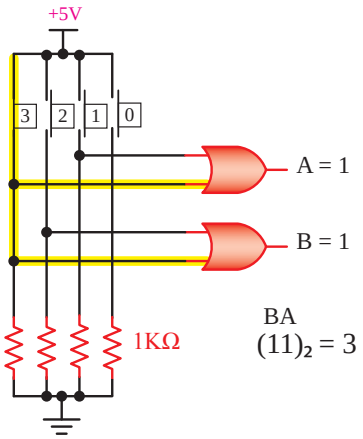


شکل ۹-۷۶ بلوک دیاگرام رمزگذار ۲←۴

جدول ۹-۴۳ جدول صحت رمز گذار ۲←۴

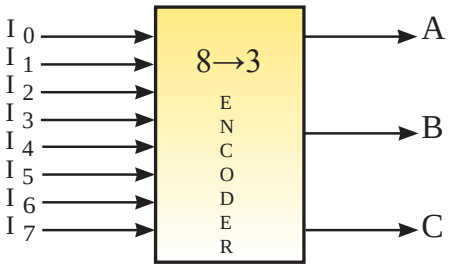
I_3	I_2	I_1	I_0	B	A
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

همان طور که مشاهده می کنید ، یک صفحه کلید با شماره‌های صفر تا سه را می توان به دو خط باینری، تبدیل کرد. در هر لحظه باید فقط یکی از ورودی های رمزگذار در حالت فعال قرار گیرد تا درست عمل کند. مدار رمزگذار ۲←۴ را می توان مطابق شکل ۹-۷۷ طراحی کرد. چنانچه کلید ۳ فشرده شود ورودی گیت های OR برابر «۱» منطقی می شود و عدد باینری سه «۱۱» را در خروجی رمز گذار ایجاد می کند .



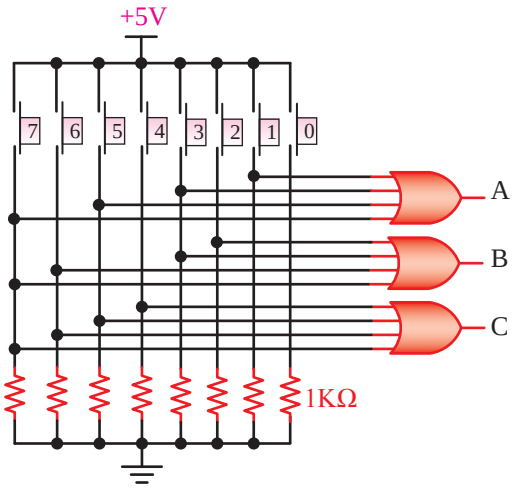
شکل ۹-۷۷ مدار رمزگذار ۲←۴

در شکل ۹-۷۸ دیاگرام یک رمزگذار ۳←۸ (بخوانید ۸ به ۳) نشان داده شده است .



شکل ۹-۷۸ بلوک دیاگرام رمز گذار ۳←۸

مدار این رمزگذار در شکل ۹-۷۹ رسم شده است .



شکل ۹-۷۹ مدار رمزگذار ۳←۸

همان گونه که در شکل ۹-۷۹ مشاهده می کنید ، با فشردن هر کلید ، افت ولتاژ دو سرمقاومت های 1kΩ ، حدوداً ۵ ولت می شود و یکی از ورودی‌های گیت OR در سطح یک منطقی قرار می گیرد. در این وضعیت خروجی گیت OR نیز در وضعیت یک منطقی است .

۹-۱۱ آزمایش شماره ۳

زمان اجرا : ۲ ساعت آموزشی

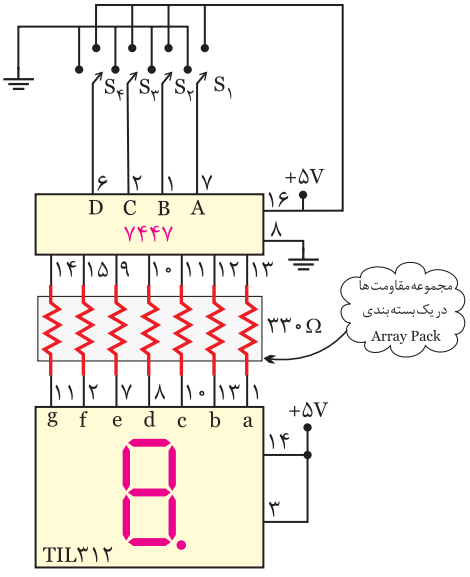
۹-۱۱-۱ هدف آزمایش : بررسی عملکرد مدار رمز گشا (BCD به 7.Seg)

۹-۱۱-۲ تجهیزات، ابزار،قطعات و مواد موردنیاز:

ردیف	نام ومشخصات	تعداد/ مقدار
۱	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۲	دی کودر BCD به 7.Seg	یک عدد
۳	برد مدار چاپی آزمایش	یک قطعه
۴	سیم رابط	به مقدار لازم
۵	مولتی متر دیجیتالی	یک دستگاه

۹-۱۱-۳ مراحل اجرای آزمایش

- وسایل و قطعات مورد نیاز را آماده کنید
- مدار شکل ۹-۸۰ را که قبلاً روی برد مدار چاپی ساخته شده است ، بررسی کنید .



شکل ۹-۸۰ مدار آزمایش

■ اگرمنبع تغذیه موجود در آزمایشگاه دارای ولتاژ ثابت ۵ ولت اســت از آن برای تغذیه آی سی استفاده کنید در غیر ایــن صورت ابتدا منبــع تغذیه را روی ۵ ولت تنظیم وســپس آن‌را به مدار وصل کنید.

به یاد داشته باشید که :

ولتــاژ تغذیه IC ، ولتاژ ســطح منطقی یک اســت و ولتاژ زمین (GND) ولتاژ سطح منطقی صفر است .

اگــر کلیدهای S_1 تــا S_4 در حالت ۱ قــرار گیرند ، ولتاژ ۵ ولــت به ورودی آی ســی ۷۴۴۷ می رســد . چنان چه این کلیدها در حالت صفر باشــند ، صفر ولت یــا صفر منطقی به ورودی آی ســی ۷۴۴۷ داده می شود . مثلاً برای نمایش عدد 5 بــر روی 7.Seg ، کلیدهــای S_1 و S_3 در وضعیــت یک و کلیدهــای S_2 و S_4 در وضعیت صفر قــرار می گیرند. عدد باینری ۰۱۰۱ معادل عدد دسیمال ۵ است .

■ با قراردادن کلیدهای S_1 تا S_4در حالت های مختلف، جدول ۴۴-۹ را تکمیل کنید و عدد نمایش داده شده بر روی هفت قطعه ای 7.Seg را در جدول یادداشت نمایید .

جدول ۴۴-۹

S_4	S_3	S_2	S_1	8
۰	۰	۰	۰	
۰	۰	۰	۱	
۰	۰	۱	۰	
۰	۰	۱	۱	
۰	۱	۰	۰	
۰	۱	۰	۱	5
۰	۱	۱	۰	
۰	۱	۱	۱	
۱	۰	۰	۰	
۱	۰	۰	۱	

سـوال ۳۷ : برای نمایش عــدد 7 (هفت) کدام یــک از کلیدهای S_1 تا S_4در وضعیت یــک منطقی و کدام یک در وضعیت صفر قرار می گیرند؟ توضیح دهید .

سـوال ۳۸ : در حالتی که وضعیت کلیدهــای S_1 تا S_4 مطابق جدول ۴۵-۹ باشند ، ورودی های a، b، c، d، e، f وg دارای چه سطح منطقی از ولتاژ هستید ؟

در جدول ۴۵-۹ یادداشت کنید

جدول ۴۵-۹

S_4	S_3	S_2	S_1	a	b	c	d	e	f	g
۱	۰	۰	۱							

۹-۱۱-۴ نتایج آزمایش

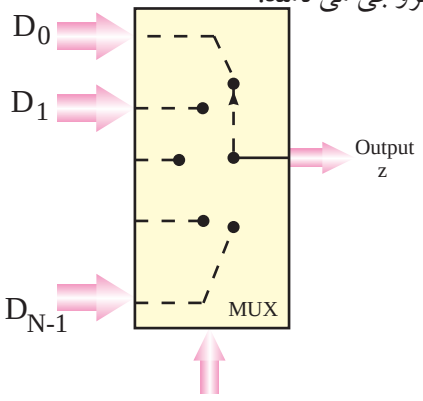
نتایــج حاصل از آزمایش را در ۴ ســطر بــه طور خلاصه بنویسید.

بخش دوم

مدارهای ترکیبی(مالتی پلکسر و دی مالتی پلکسر)

۹-۱۲ مدارهـــای متمرکز کننده یا تســـهیم کننده (Multiplexer)

مالتی پلکســر یکــی از پرکاربردتریــن مدارهای ترکیبی اســت که مانند یــک انتخــاب کننــده (Selector) عمل مــی کند. این مدار با توجه به آدرســی که بــرای آن انتخاب می‌شود ، به یکی از ورودی ها اجازه عبور می دهد. به عبارت دیگر ، عملکرد آن شــبیه یک کلید چند حالته اســت با این تفاوت که حالت کلید به صورت دیجیتالی انتخاب می شــود. دیاگرام عملیاتی یک مالتی پلکســر در شــکل ۹-۸۱ نشــان داده شده اســت . ورودی های انتخاب حالت را ورودی های آدرس (Address input) و ورودی هــای اصلــی مالتــی پلکســر ورودی های داده (Data input) و خروجی مالتی پلکسر همان تابع خروجی است که آن را به اختصار خروجی تابع یا خروجی می نامند.



ورودی های آدرس یا انتخاب

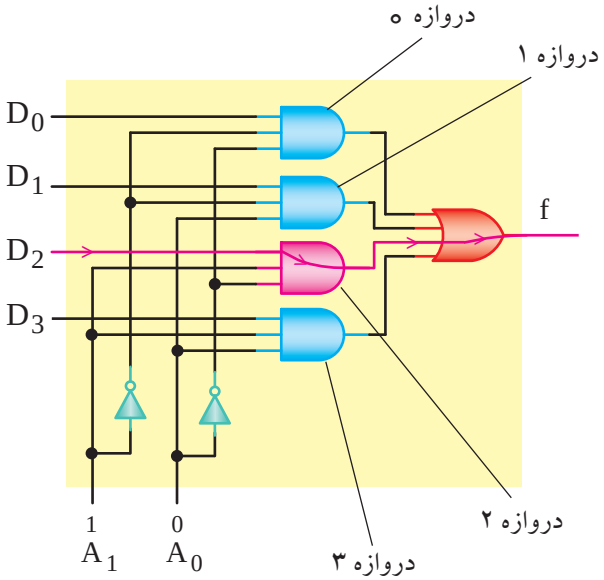
شکل ۹-۸۱ دیاگرام یک مالتی پلکسر

در شــکل ۹-۸۲ مدار یک مالتی پلکســر ۱←۴ (بخوانید ۴ به ۱) نشــان داده شده اســت . در این شکل **ورودی های اصلی مالتی پلکسر با** D_0، D_1، D_2، D_3ورودی های آدرس آن با A_0، A_1 و **خروجی مدار با F** مشخص شده است.

با توجه به شکل ۹-۸۲ معادله بولی تابع F را می نویسیم

$$F=\bar{A}_1\bar{A}_0D_0+\bar{A}_1A_0D_1+A_1\bar{A}_0D_2+A_0A_1D_3$$

مثال ۱۱ : به چه دلیــل برای عبور اطلاعــات مربوط به D_2رابطه خروجی به صورت $A_1\bar{A}_0D_2$ است توضیح دهید؟



شکل ۹-۸۲ مدار متمرکز کننده ۱←۴

در تابع F_1 بــرای مثال حالــت A_0=۰و A_1=۱ را انتخاب می کنیم. دراین حالت فقط جمله ی A_1A_0 برابر «۱» است لذا خواهیم داشت:

$$F=0\times D_0+0\times D_1+1\times D_2+0\times D_3=D_2$$

یعنــی F عیناً از D_2 تبعیت می کنــد به عبارت دیگر اگر آدرس A_1A_0=۱۰ داده شود ، فقط دروازه‌ی شماره ۲ را برای عبورD_2 بازمی کنــد ، بقیه ی حالت های تابع را نیز به همین ترتیب می توانیم مشخص کنیم .

تمرین کلاسی ۹

برای باز شدن دروازه منطقی شماره ۱ و عبور D_1 خطوط آدرس A_1A_0 چه حالتی دارند ؟

تمرین کلاسی ۱۰ :

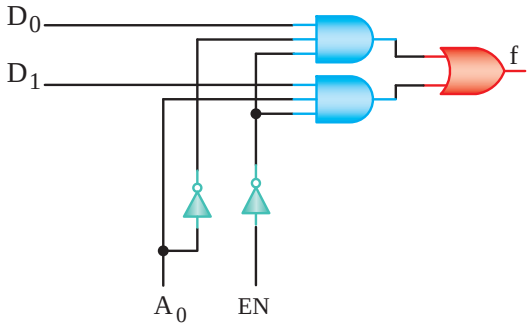
اگــر ورودی هــای آدرس A_1=۱و A_0=۱باشــد، کــدام خروجی‌ها فعال می شود ؟ توضیح دهید.

دراغلب مالتی پلکسر ها علاوه بر ورودی های آدرس، یک خط کنترل اضافی نیز پیش بینی شده است. این ورودی اضافی رابا نام های فعال ساز(تواناساز) Enable مشخص می کنند.

چنان چه این ورودی در یک حالت از پیش تعریف شده «۰»یا «۱» باشد ، همه دوازه های AND را مسدود می سازد و از انتقال اطلاعات ورودی به خروجی مدار جلوگیری می کند. به عبارت دیگر این ورودی مقدم بر ورودی های آدرس است. در شکل ۸۳ - ۹یک مالتی پلکسر ۱ → ۲با ورودی تواناساز و در جدول۴۶ - ۹جدول صحت آن نشان داده شده است.

جدول۴۶ - ۹جدول صحت مالتی پلکسر ۱ → ۲

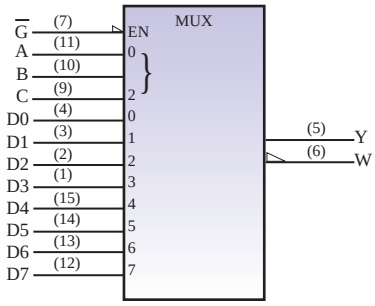
A_0	EN	F
×	۱	۰
۰	۰	D_0
۱	۰	D_1



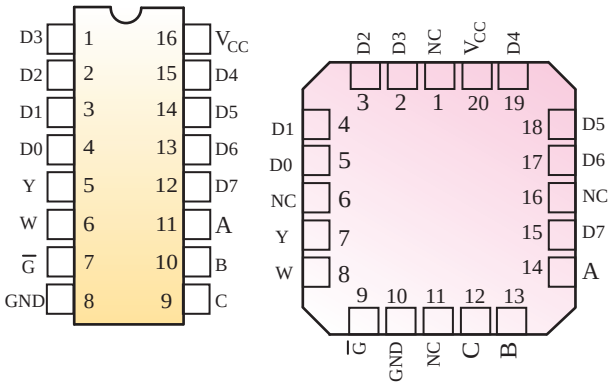
شکل ۸۳-۹ مدار یک مالتی پلکسر ۱→۲

در شکل ۸۴-۹ مدار یک مالتی پلکسر ۱→۸ که به شماره تجارتی ۷۴۱۵۱ به بازار عرضه می شود را مشاهده می کنید در شکل ۸۴-۹ -الف نماد واستاندارد آی سی ، در شکل ۸۴-۹ -ب تصویر IC از بالا و شماره پایه های آن نشان داده شده است. این آی سی در دو نوع Dual (موازی) و Flat (تخت) ساخته می شود .

در شکل ۸۵-۹ مدار داخلی آی سی مالتی پلکسر ۱→۸ نشان داده شده است .



الف- نماد استاندارد

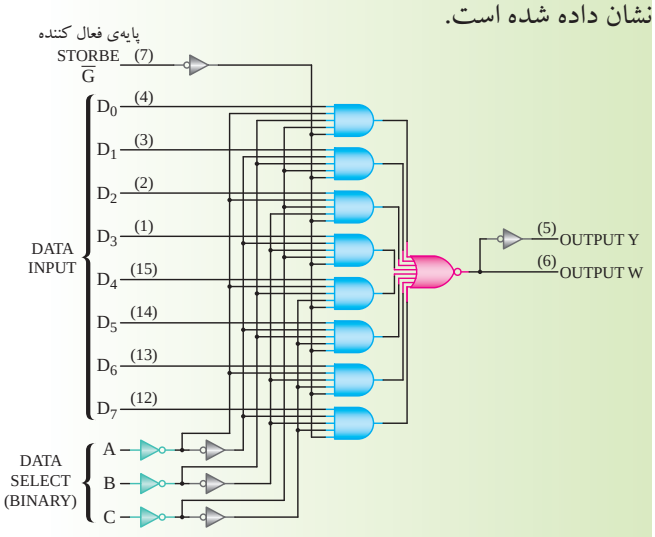


ب- تصویر از بالا و شماره پایه ها

شکل ۸۴-۹ آی سی مالتی پلکسر

ویژه هنرجویان علاقه مند:

در شکل ۸۵-۹ مدار داخلی آی سی مالتی پلکسر ۱→۸ نشان داده شده است.



شکل ۸۵-۹ مدار داخلی مالتی پلکسر ۱→۸

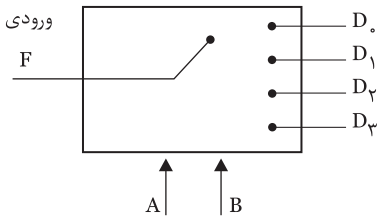
جدول صحت آی سی SN ۷۴۱۵۱ را در جدول ۴۷-۹ مشاهده می کنید. خروجی W معکوس خروجی Y است .

جدول ۴۷-۹ جدول صحت مالتی پلکسر SN ۷۴۱۵۱

Input				Output	
Select			Strobe		
C	B	A	$\overline{G}$	y	w
X	X	X	H	L	H
L	L	L	L	D_0	$\overline{D_0}$
L	L	H	L	D_1	$\overline{D_1}$
L	H	L	L	D_2	$\overline{D_2}$
L	H	H	L	D_3	$\overline{D_3}$
H	L	L	L	D_4	$\overline{D_4}$
H	L	H	L	D_5	$\overline{D_5}$
H	H	L	L	D_6	$\overline{D_6}$
H	H	H	L	D_7	$\overline{D_7}$

۹-۱۳ دی مالتی پلکسر یا پخش کننده (Demultiplexer)

دی مالتی پلکسر مداری است که اطلاعات را از یک خط در ورودی خود دریافت می کند و آن را به یکی از 2^n خط خروجی انتقال می دهد . انتخاب یک خط خروجی توسط m خط انتخاب کننده (Selector line) تعیین می شود . شکل ۸۶-۹ بلوک دیاگرام یک دی مالتی پلکسر را نشان می دهد . بلوک دیاگرام ، مدار را مانند کلیدی نشان می دهد که ورودی f را با فرمانی که از دو خط A و B می گیرد . به یکی از خروجی های D_0 تا D_3 انتقال می دهد .



m=۲ خط کنترل(انتخاب‌کننده‌ها)

شکل ۸۶-۹ بلوک دیاگرام دی مالتی پلکسر

با انتخاب AB=۰۰ اطلاعات ورودی F به خط خروجی D۰ انتقال می یابد . با انتخاب AB=۰۱ اطلاعات ورودی F به خط خروجی D۱ و با انتخاب AB=۱۰ به D۲ و با انتخاب AB=۱۱ به D۳ انتقال می یابد با توجه به نکات بیان شده می توان جدول صحت دی مالتی پلکسر فوق را به صورت جدول ۴۸-۹ نشان داد .

جدول ۴۸-۹

انتخاب گرها		خروجی ها			
A	B	D_0	D_1	D_2	D_3
۰	۰	F	۰	۰	۰
۰	۱	۰	F	۰	۰
۱	۰	۰	۰	F	۰
۱	۱	۰	۰	۰	F

با توجه به جدول، تابع منطقی هر خروجی به صورت زیر نوشته می شود

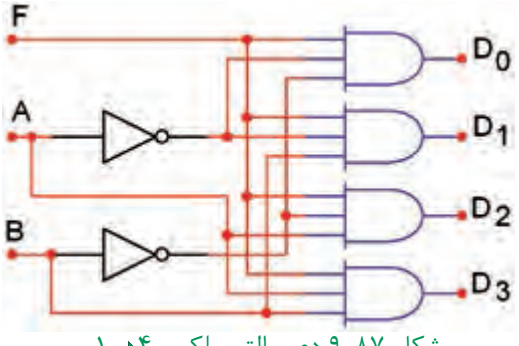
$D_0=\overline{A}\,\overline{B}F$

$D_1=\overline{A}BF$

$D_2=A\overline{B}F$

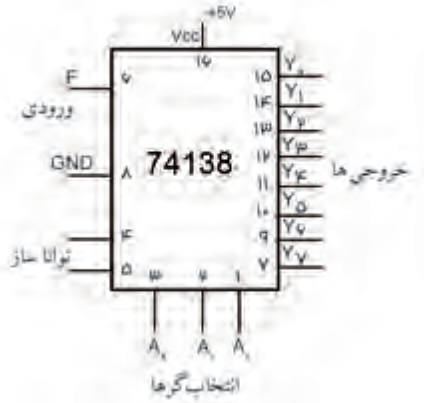
$D_3=ABF$

مدار این دی مالتی پلکسر با توجه به رابطه منطقی D_0 تا D_3 مانند شکل ۸۷-۹ است .



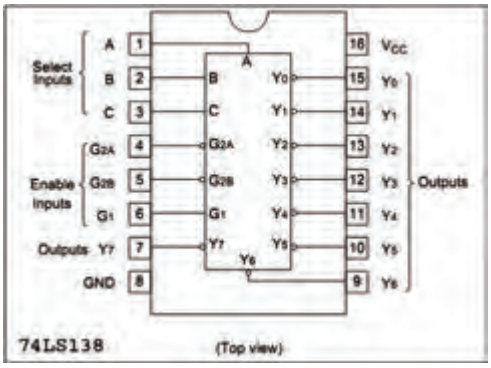
شکل ۸۷-۹ دی مالتی پلکسر ۴←۱

آی سی ۷۴۱۳۸ یک دی مالتی پلکسر ۸←۱ با سه خط انتخاب گر است. شکل ۸۸-۹ مدار این آی سی را نشان می دهد .



شکل ۸۸-۹ مشخصات پایه های آی سی دی مالتی پلکسر

تصویر پایه‌های آی‌سی از بالا به صورت شکل ۸۹-۹ است.



شکل ۸۹-۹ تصویر از بالا و شماره پایه ها

به طور کلی دی مالتی پلکسر در مواردی که اطلاعات از یک منبع دریافت می شود و در چند منبع دیگر قرار می گیرد، بـه کار می رود. بـرای مثال می تـوان قـرار دادن اطلاعات خروجی از یک رایانه به چند ترمینال را ذکر کرد .

توجه

شماره آی سی بیان شده در این فصل جهت آشنایی با مدار داخلی آن هـا اسـت و نبایـد اطلاعات مربوط به شماره آی سی و شماره پایه های آن را به خاطرسپرد .

در صـورت نیاز بـه برگه های اطلاعات کـه در Data book وجـوددارد مراجعـه کنید . همچنیـن در آزمون ها با ارائه نقشه می توان مشخصات فنی را مورد سؤال قرار داد.

۹-۱۴ آزمایش شماره ۴

زمان انجام آزمایش : ۲ ساعت

۹-۱۴-۱ هدف آزمایش : بررسی عملکرد مدار مالتی پلکسر

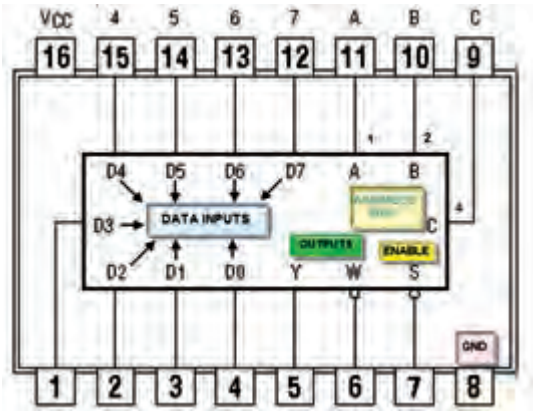
۹-۱۴-۲ تجهیزات، ابزار،قطعات و مواد موردنیاز:

ردیف	نام ومشخصات	تعداد/ مقدار
۱	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۲	بردبرد یا برد آزمایشگاهی	یک عدد
۳	دیود نوردهنده LED	یک عدد
۴	مقاومت $\frac{۱}{۴}$/۴۷۰Ω و۱۵۰Ω وات	از هر کدام یک عدد
۵	آی سی ۷۴۱۵۱	یک عدد
۶	ابزار عمومی کارگاه الکترونیک	یک سری

۹-۱۴-۳ مراحل اجرای آزمایش :

الف : شناسـایی پایه های آی سی مالتی پلکسر ۱←۸

■ آی سـی ۷۴۱۵۱ ، مالتی پلکسـر ۱←۸ است. نماد و شماره پایه های آی سی مطابق شکل ۹۰-۹ است .



شکل ۹۰-۹ شماره ی پایه های آی سی

■ آی سـی ۷۴۱۵۱ را در اختیار بگیرید و شـکل آن را رسم کنید

محل ترسیم :

■ اطلاعات روی آی سی را بنویسید.

■ پایه های آی سی را شناسایی کنید و کار هر پایه را به اختصار در جدول ۴۹-۹ شرح دهید .

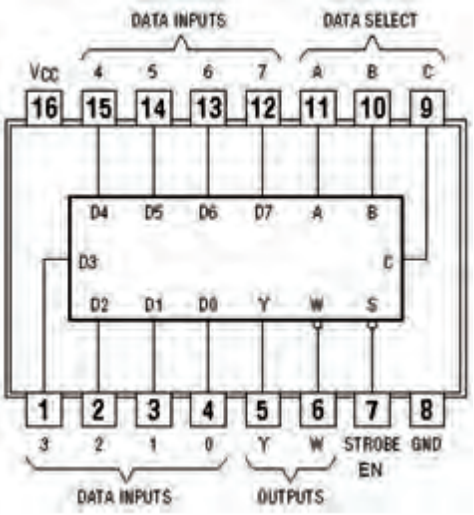
جدول ۴۹-۹

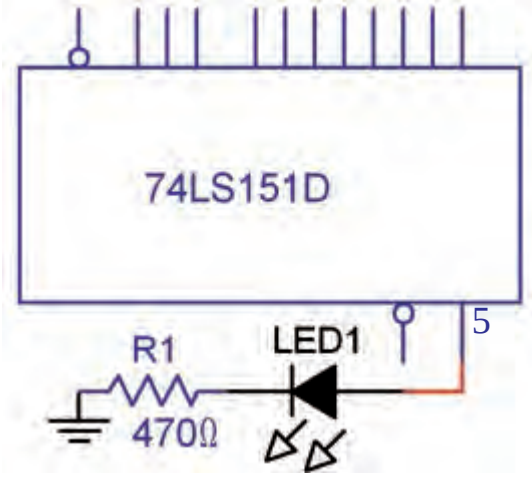
شماره پایه	کار هر پایه به اختصار
۱	
۲	
۳	
٤	
٥	
٦	
۷	
۸	
۹	
۱۰	
۱۱	
۱۲	
۱۳	
١٤	
١٥	
١٦	

ب : بررسی عملکرد آی سی مالتی پلکسر

■ مدار شکل ۹۱-۹ را روی برد ببندید.

Vcc=+ ٥volt





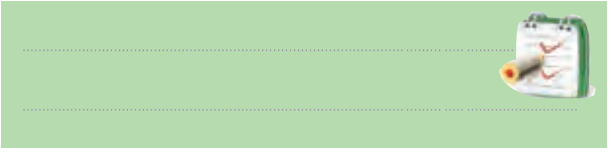
شکل ۹۱-۹ آی سی مالتی پلکسر

■ تغذیه ی مدار را به آی سی وصل کنید(پایه‌ی ۸ به زمین الکتریکی و پایه‌ی ۱۶به ٥+ ولت وصل شود).
پایه ی ۷ (EN) را آزاد قرار دهید و یا به ٥+ ولت وصل کنید.

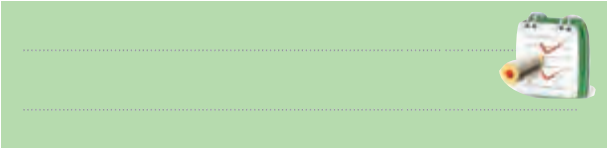
■ آدرس A=۰ ، B=۰ و C=۰ را انتخاب کنید . برای این منظـور پایه های ۹، ۱۰ و ۱۱را به زمین الکتریکی وصل کنید در این حالت زمانی که EN=۰ شود اطلاعات ورودی Dبه

خروجی منتقل می شود.

■ D_0 را زمین کنید و EN=0 قرار دهید در این حالت سطح ولتاژ پایه ۵ (خروجی) ۰ منطقی و LED خاموش است . این مطلب را تحقیق کنید و نتایج راياداشت نمائید .

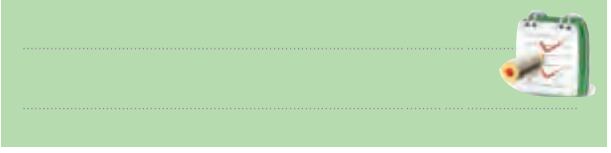


■ D_0 را برابر (۱) منطقی قرار دهید. برای این منظور D_0 را ۵+ ولت وصل کنید. سطح ولتاژ پایه ی (۵) و وضعیت LED را مورد بررسی قرار دهید و نتایج را یادداشت کنید.

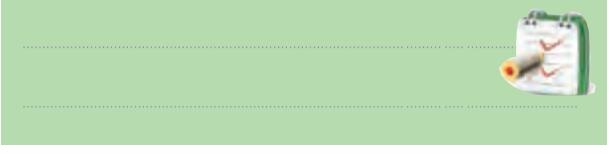


■ آدرس ABC را برابر ۱۰۱ انتخاب کنید.

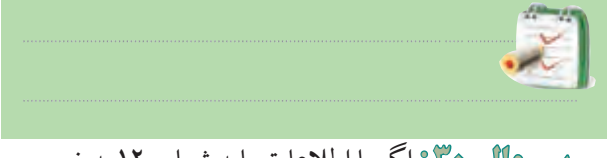
اطلاعات کدام ورودی توسط آدرس فوق به خروجی انتقال پیدا می کند ؟



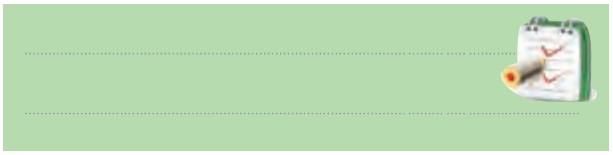
■ ورودی مورد نظر رادر سطح ولتاژ ۰ و۱ قرار دهید و در هر مرحله EN=۰ قرار دهید و سطح ولتاژ خروجی و وضعیت LED را مورد بررسی قرار داده و نتایج را یادداشت کنید .



سوال ۲۹ : اگر آدرس ABC =۱۱۰ باشد اطلاعات کدام ورودی به خروجی انتقال پیدا می کند ؟



سوال ۳۰ : اگر با اطلاعات پایه شماره ۱۲ به خروجی انتقال یابدآدرس ABC را بنویسید



۴-۱۴-۹ نتایج آزمایش

نتایج حاصل از این آزمایش را به طور خلاصه در چند سطر بنویسید .

آزمون پایانی فصل (۴-۹)
مدارهای ترکیبی

۱- یک دیکودر با سه خط آدرس در ورودی دارای چند خط خروجی است ؟

۲- یک 7.Segment با نقطه‌ی اعشار دارای چند LED است ؟

۳- اگر مدار رمز گشـــا از گیت های NAND ساخته شـــده باشند در این صورت حالت فعال خروجی ها (صفر ❐ ، یک ❐) خواهد بود.

٤- در مدارهای رمزگشـــایی کـــه دارای ورودی فعال کننده (enable) هســـتند ، اگر این ورودی غیرفعال باشد رمزگشایی انجام نخواهد شد.

صحیح ❐ غلط ❐

۵- مدار دیکودر اطلاعات (دهدهی ❐ باینری ❐) در ورودی رابه اطلاعات (دهدهی ❐ باینری ❐) در خروجی تبدیل می کند .

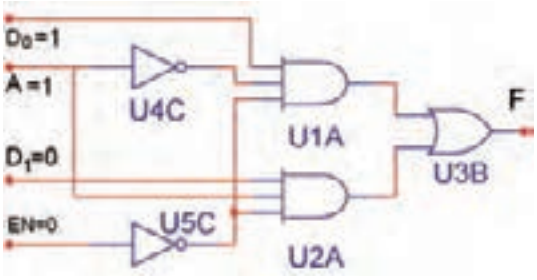
٦- در مدار رمزگذار درهر لحظه فقط یکی از ورودی‌های مدار در حالت فعال می باشد

صحیح ❐ غلط ❐

۷- مهـــم ترین کاربرد رمزگشـــا آدرس دهی به حافظه است.

(صحیح ❐ غلط ❐)

۸- نام مدار شکل ۹۲-۹ ..... است و مقدار خروجی مدار ۹۲-۹ برابر (صفر ❐ یک ❐) منطقی است .



شکل ۹۲-۹

۹- برای بردن اطلاعات ثبت شده از یک حافظه رایانه به چندین ترمینال خروجی از مدار (مالتی پلکسر ❐ دی‌مالتی پلکسر ❐)استفاده می‌کنیم.

۱۰- کلمات enable و disable در آی سی ها به چه معنا است ؟

۱۱- برای راه اندازی هفـــت قطعه ای۷.Segment از چه مداری استفاده می شود ؟

۱۲- بلو ک دیاگرام مربوط به دی مالتی پلکســـر ٤←۱ را رسم کنید.

۱۳- بلـــوک دیاگرام مربوط به مالتی پلکســـر ۱←٤ را رسم کنید .

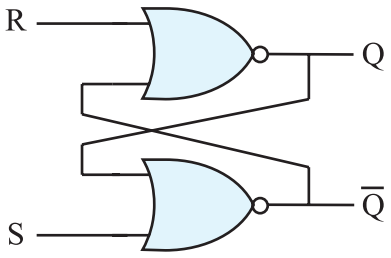
قبل از شروع قسمت پنجم فصل ۹ به سوالات پیش آزمون ۹-۵ پاسخ دهید.

قسمت پنجم - مدارهای ترتیبی

۹-۱۵ بررسی انواع مدارهای فلیپ فلاپ (Flip Flop)

۹-۱۵-۱ بررسی کلی : حفظ اطلاعات در سلول های حافظه توسط مدار فلیپ فلاپ انجام می شود. فلیپ فلاپ ها تـا مادامی که تغذیه مدار برقرار اسـت می توانند اطلاعات را که به صورت صفر یا یک هسـتند در خـود نگه دارند. فلیپ فـلاپ ها بایـد در هر زمان اطلاعات راکه بـه صورت ۰ یا ۱ منطقی اسـت بپذیرنـد و در خود نگه دارند . بدیهی اسـت با تغییر حالت در اطلاعات ورودی ، اطلاعات موجود در حافظه تغییر می کند .

۹-۱۵-۲ مدار پایـــه ای فلیپ فلاپ : مدار فلیپ فلاپ را می توان با اسـتفاده از دو گیت NOR مطابق شـکل ۹-۹۳ بـه وجـود آورد . در مـدار از خروجی یـک گیت به ورودی گیت دیگر اتصال داده شـده اسـت که مسیر فیدبک را ایجاد می کند .

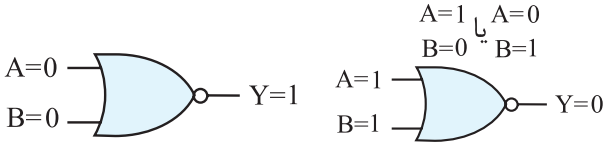


شکل ۹-۹۳ مدار فلیپ فلاپ

ایـن فلیپ فلاپ دارای دو خروجی اسـت که یکی Q و دیگـری نفی آن $\overline{Q}$ (کیونات) نـام دارد. دو ورودی آن S و R نـام دارند . S حرف اول کلمه Set و R حرف اول کلمه Reset (ری ست) است .

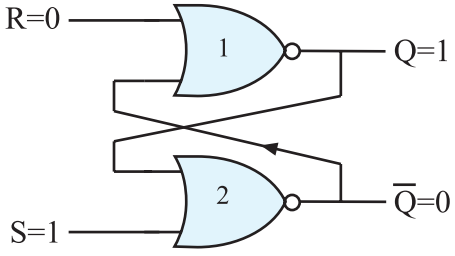
۹-۱۵-۳ طرز کار مدار فلیپ فلاپ S-R

همان طوری که قبلاً در مورد گیت NOR گفته شد اگر حداقل یکی از ورودی های گیت NOR یک باشد خروجی آن صفر است و تنها زمانی که تمام ورودی گیت NOR صفر باشـد خروجی آن ۱ می شود شکل ۹-۹۴ این دو وضعیت را نشان می دهد .



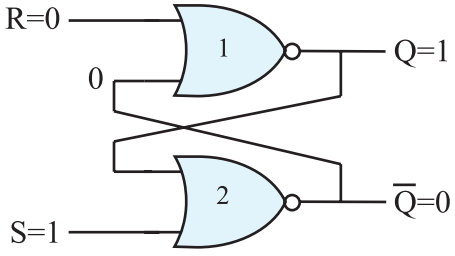
شکل ۹-۹۴ وضعیت ورودی های گیت NOR

فـرض کنیم در لحظه شـروع مطابق شـکل ۹-۹۵ S=۱، و R=۰ است .



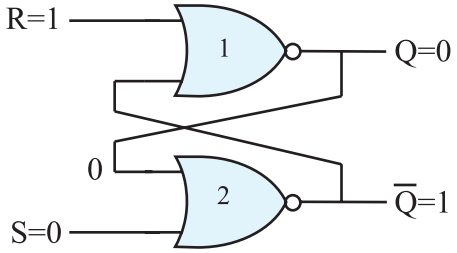
شکل ۹-۹۵ فلیپ فلاپ RS

در این حالت چون یکی از ورودی های گیت شماره دو ، ۱ اسـت خروجی آن Q مساوی با صفر خواهد شد . از طرفی خروجـی Q=۰ به یکـی از ورودی های گیت شـماره یک فیدبک شـده است . این فیدبک هر دو ورودی گیت NOR شـماره یک را صفر می کند و Q=۱ می شود. این شرایط در خروجـی به صـورت پایدار باقی می ماند تـا ورودی ها تغییر حالت دهند. شـکل ۹-۹۶ وضعیت خروجی گیت ها را نشان می دهد .



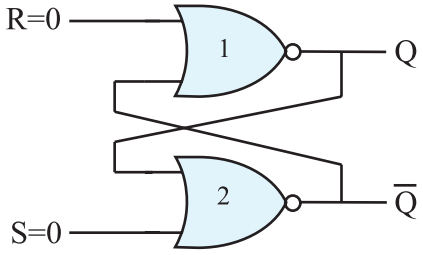
شکل ۹-۹۶ اگر S=۱ و R=۰ باشد Q=۱ و $\overline{Q}$=۰ می شود

اگرمطابق شـکل ۹۷-۹ ورودی ها بـه S=۰ و R=۱ تغییر حالت دهند ، چون یکی از ورودی های گیت NOR شماره یک برابر با یک اسـت خروجی آن یعنی Q=۰ می شـود. از طرفی Q=۰ به یکی از ورودی های گیت NOR شـماره دو فیدبک می شـود و هر دو ورودی این گیت را صفر می کند بنابراین $\overline{Q}$=۱ می شود .



شکل ۹۷-۹ حالتی که S=۰ و R=۱ است Q=۰ ، $\overline{Q}$=۱ می شود .

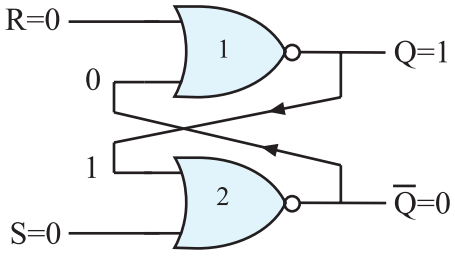
اگـر مطابق شـکل ۹۸-۹ S=۰ و R=۰ شـود چون هر دو ورودی صفر هسـتند نمی توانند وضعیت خروجی گیت هارا تعییـن کنند. وضعیت خروجی هـر گیت به ورودی دیگر آن یعنی به ورودی فیدبک شده بستگی دارد .



شکل ۹۸-۹ درحالتی که S=۰ و R=۰
خروجی ها به Q و $\overline{Q}$ بستگی دارند .

در این شرایط دو حالت پیش می آید .

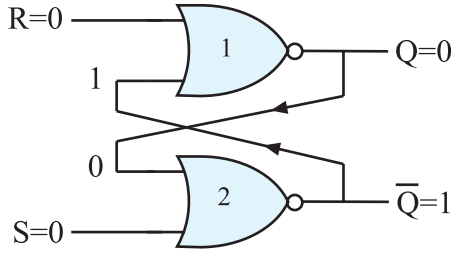
الف : اگر مطابق شـکل ۹۹-۹ ، $\overline{Q}$=۰ و Q=۱ باشـد در ایـن صورت خروجی درهمین حالت یعنی $\overline{Q}$=۰ ، Q=۱ باقی می ماند (چرا ؟)



شکل ۹۹-۹ Q=۰ ، Q=۱

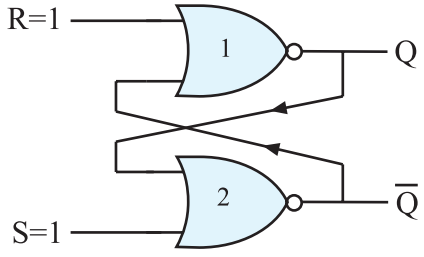
ب – ممکن اسـت مطابق شـکل ۱۰۰-۹ ، Q=۰ ، $\overline{Q}$=۱ باشد در این صورت Q=۰ و $\overline{Q}$=۱ باقی می ماند .

پـس در شـرایط S=۰ و R=۰ وضعیـت Q و $\overline{Q}$ تغییـر نمی کند ومشابه آخرین حالت قبل از این مرحله ، پایدار باقی می ماند.



شکل ۱۰۰-۹ Q=۰ ، $\overline{Q}$=۱ حافظه
در همین حالت باقی می ماند

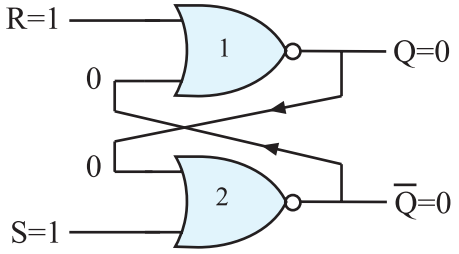
در صورتی که مطابق شـکل ۱۰۱-۹ ، S=۱ و R=۱ شـود چون یکـی از ورودی هـای گیت های NOR یک اسـت خروجی آن ها یعنی Q و $\overline{Q}$ برابر باصفر می شود .



شکل ۱۰۱-۹ اگر S=۱ و R=۱ باشد Q و $\overline{Q}$
در چه حالتی باقی می ماند ؟

ایـن حالت یعنی Q=$\overline{Q}$ = ۰ تعریف نشـده اسـت و نباید ایجاد شود زیرا اگر بعد از مرحله R=S=۱ که Q= $\overline{Q}$=۰ شده است ورودی های S و R به صفر تغییر حالت دهند ، خروجی فلیـپ فلاپ بین ۰ و ۱ نوسـان می کند و بعـد از چند مرحله نوسـان ، Q به طـور تصادفی روی ۰ و یـا ۱ ثابت می ماند و

قفل می شـود . حالت R=S=۱ را حالت ممنوعه می گویند ، شکل ۹-۱۰۲



شکل ۹-۱۰۲ اگر S=۱ و R=۱ شود Q=۰ =$\overline{Q}$ خواهد شد این حالت را حالت ممنوعه می گویند .

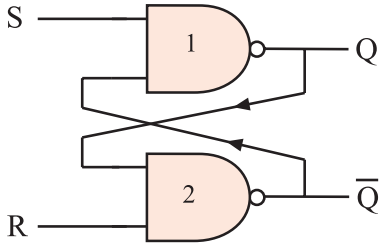
چهار حالت بررسـی شـده برای فلیپ فـلاپ در جدول درسـتی ۹-۵۰ نشـان داده شده اسـت. منظور از Q_t وضعیت حافظـه در لحظـه t و منظور از Q_{t-1} وضعیـت حافظه قبل از لحظه t(Q_t) است .

جدول ۹-۵۰ جدول درستی فلیپ فلاپ R-S با گیت NOR

S	R	Q_t
۰	۰	Q_{t-1}
۰	۱	۰
۱	۰	۱
۱	۱	حالت ممنوعه

۹-۱۵-۴ مدار فلیپ فلاپ S-R با گیت NAND

مدار فلیپ فلاپ رابا گیت NAND نیز می سازند .شکل ۹-۱۰۳ فلیپ فلاپ S-R را با گیت NAND نشان می دهد.



شکل ۹-۱۰۳ فلیپ فلاپ S-R یا NAND

چهار حالت ممکن بـرای حالت S-R وجود دارد. این ۴ حالت مشابه فلیپ فلاپ S-R با گیت NOR است.

در جدول درسـتی ۹-۵۱ چهار حالت ورودی و وضعیت خروجی Q و$\overline{Q}$ برای فلیپ فلاپ با گیت NAND مشخص شده است .

جدول ۹-۵۱ جدول درستی فلیپ فلاپ R-S با گیت NAND

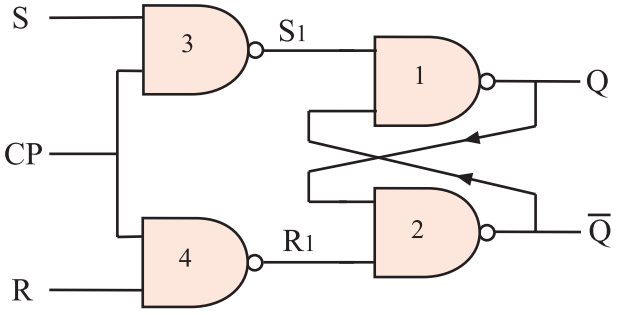
S	R	Q_t
۰	۰	حالت ممنوعه
۰	۱	۱
۱	۰	۰
۱	۱	Q_{t-1}

تفـاوت فلیپ فـلاپ با گیـت NAND و فلیپ فلاپ با گیت NOR در خروجی آن ها اسـت . جـداول ۹-۵۰ را با ۹-۵۱ مقایسه کنید .

۹-۱۵-۵ فلیپ فلاپ S-R با پالس سـاعت (CP- clock pulse)

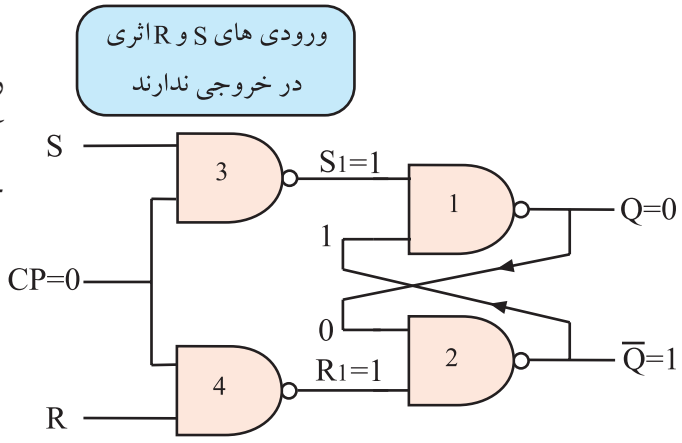
فلیپ فلاپ S-R سـاعتی از یک مدار S-R سـاده و دو گیت NAND اضافی مطابق شکل ۹-۱۰۴ تشکیل می شود.

.

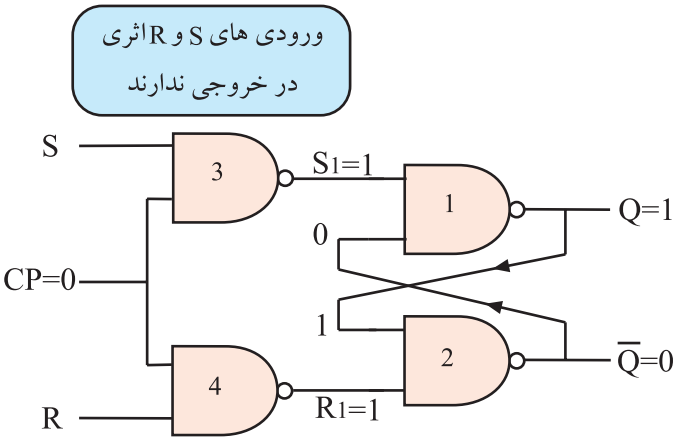


شکل ۹-۱۰۴ S-R ساعتی

پالـس سـاعت ورودی (CP) بـه عنوان یک سـیگنال فعال سـاز عمل می کنـد. هنگامی که CP=۰ اسـت S_1وR_1 یک می شود در این شـرایط خروجی Q و$\overline{Q}$ تغییر وضعیت نمی دهند و حالت قبل خودرا حفظ می کنند. شکل ۹-۱۰۵ و ۹-۱۰۶ این حالت ها را نشان می دهد .

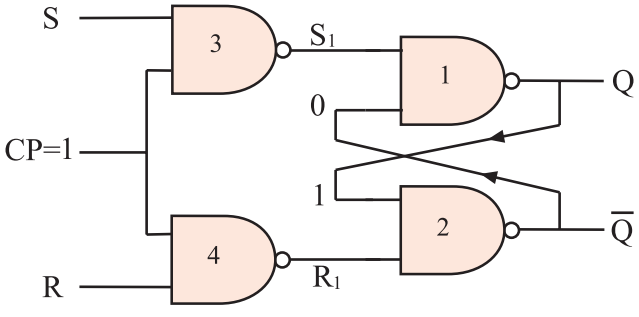


شکل ۹-۱۰۵ خروجی Q=۰ حالت قبل را حفظ می کند و ثابت می ماند



شکل ۹-۱۰۶ خروجی Q=۱ حالت قبل را حفظ می کند و ثابت می ماند

اگر CP=۱ شود خروجی گیت NAND شماره ۳ و ۴ بر اساس ورودی های S و R تغییر می کند و در این حالت خروجی Q و $\overline{Q}$ مطابق جدول درستی فلیپ فلاپ S-R می شود ، شکل ۹-۱۰۷



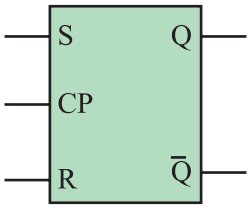
شکل ۹-۱۰۷ CP=۱ است Q و $\overline{Q}$ از مقادیر S و R تبعیت می کنند .

جدول ۹-۵۲ جدول درستی فلیپ فلاپ S-R ساعتی را نشان می دهد. نماد بلوکی S-R ساعتی در شکل ۹-۱۰۸ آمده است. عیب اساسی دو نوع فلیپ فلاپ SR و SR ساعتی حالت ممنوعه آن است .

جدول ۹-۵۲ جدول درستی S-R ساعتی

خروجی در لحظه t			
Q_t	R	S	CP
Q_{t-1}	۰	۰	۰
Q_{t-1}	۱	۰	۰
Q_{t-1}	۰	۱	۰
Q_{t-1}	۱	۱	۰
Q_{t-1}	۰	۰	۱
۰	۱	۰	۱
۱	۰	۱	۱
حالت ممنوعه	۱	۱	۱

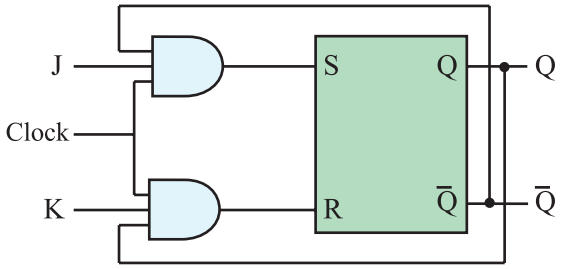
خروجی قبل از لحظه t



شکل ۹-۱۰۸ نمای بلوکی S-R ساعتی

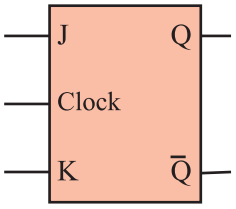
۹-۱۵-۶ فلیپ فلاپ J-K

همان طور که قبلاً ذکر شده اشکال عمده فلیپ فلاپ S-R مربوط به حالت تعریف نشده آن یعنی وضعیت R=S=۱ است. برای اصلاح این حالت از فلیپ فلاپ J-K استفاده می شود . در شکل ۹-۱۰۹ مدار فلیپ فلاپ J-K رسم شده است .



شکل ۱۰۹-۹ فلیپ فلاپ J-K

نماد بلوکی فلیپ فلاپ J-K را در شکل ۱۱۰-۹ مشاهده می کنید.



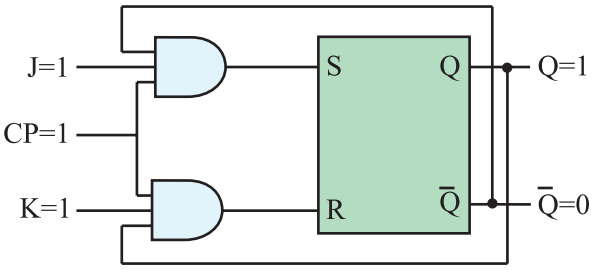
شکل ۱۱۰-۹ نماد بلوکی فلیپ فلاپ J-K

جدول درستی فلیپ فلاپ J-K در جدول ۵۳-۹ آمده است.

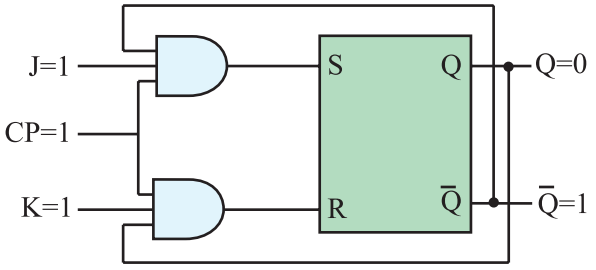
۵۳-۹ جدول درستی فلیپ فلاپ J-K

J	K	Q_t
۰	۰	Q_{t-1}
۰	۱	۰
۱	۰	۱
۱	۱	$\overline{Q_{t-1}}$

این جدول نشان می دهد حالت ممنوعه برطرف شده است یعنی هنگامی که J=K=۱ می شود اگر فلیپ فلاپ مطابق شکل ۱۱۱ - ۹در حالت Set یعنی Q=۱ قرار داشته باشد ، وضعیت آن تغییر می کند و Reset می شود . بنابراین مطابق شکل ۱۱۲ - ۹خروجی Q=۱ به حالت Q=۰ تغییر حالت می دهد.



شکل ۱۱۱-۹ J=۱ و K=۱ خروجی Q =۱ است.



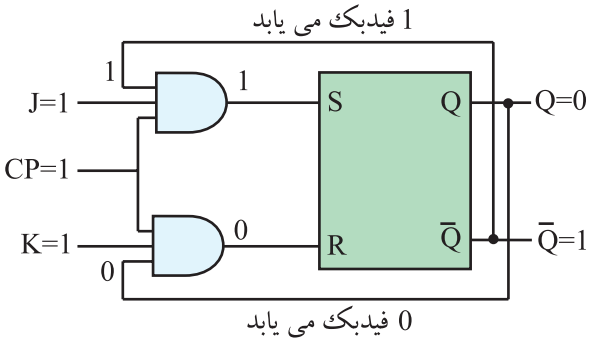
شکل ۱۱۲ - ۹در وضعیت J=۱ و K=۱، Q و $\overline{Q}$ برعکس حالت قبل شده است.

همچنین اگر فلیپ فلاپ در وضعیت Reset یعنی Q=۰ باشد با برقراری J=K=۱ به وضعیت Set می رود یعنی Q=۱ می شود، به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می دهد . این وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی(Toggle) می نامند.

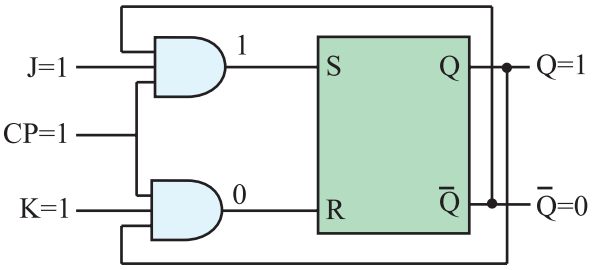
باید توجه داشت تغییر وضعیت Q و $\overline{Q}$زمانی رخ می دهد که پالس ساعت فعال باشد ، (CP=۱) ، طبیعی است اگر پالس ساعت فعال نباشد یعنی CP=۰ شود Q و $\overline{Q}$تغییر وضعیت نمی دهند و حالت اولیه خود را حفظ می کنند.

۹-۱۵-۷- عیب فلیپ فلاپ J-K

همان طور که مشاهده کردید فلیپ فلاپ J-K توانسته است حالت تعریف نشده ی فلیپ فلاپ S-R را برطرف کند. چون خروجی های $\overline{Q}$ و Qمستقیماً به ورودی ها فیدبک شده اند، اگر در حالت J=K=۱، پالس ساعت برابر با(۱) باقی بماند به دلیل وجود فیدبک ، مقادیر $\overline{Q}$ و Qمرتباً تغییر می کنند و خروجی فلیپ فلاپ دائماً بین صفر و یک نوسان می کند. در شکل ۱۱۳ - ۹و ۱۱۴ - ۹تغییر وضعیت $\overline{Q}$ و Q نشان داده شده است.

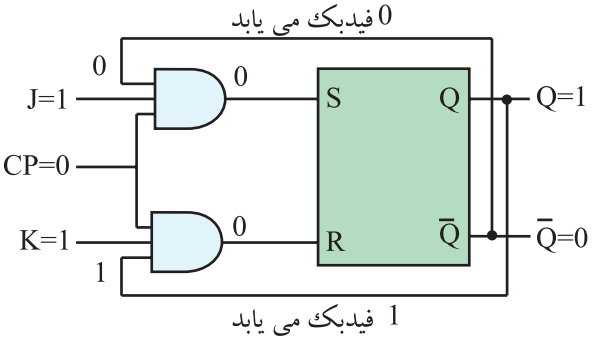


شکل۱۱۳ -۹ J=۱، K=۱و Q=۰



شکل۱۱۴ - ۹بافیدبک خروجی Q و $\overline{Q}$به ورودی وضعیت جدید Q=۱و $\overline{Q}$=۰ ظاهر شده است.

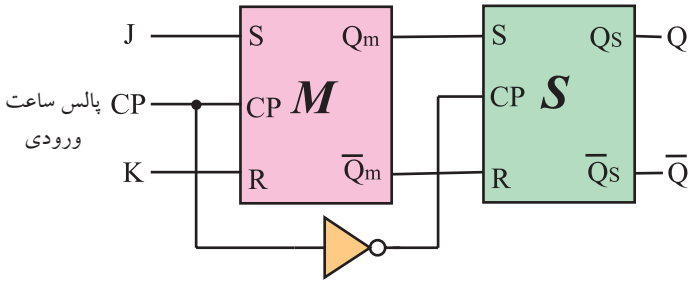
حـال اگر مطابق شـکل۱۱۵ -۹، CP=۰ شـود ، در این لحظه Q روی آخرین وضعیت خود ثابت می ماند . این حالت فلیپ فلاپ را پدیده دور خود چرخیدن(Race Around) می گوینـد. بـرای برطرف کـردن این عیـب از فلیپ فلاپ J-K-MSاستفاده می شود.



شکل۱۱۵-۹ Qو $\overline{Q}$فیدبک می شوند چون CP=۰ است خروجی تغییر نمی کند.

۹-۱۵-۸ فلیپ فلاپ JK-MS
(MS= Master Slave)

نوع دیگری از فلیپ فلاپ وجود دارد که آن راJK-MS مـی نامند . این فلیپ فـلاپ از دو فلیپ فلاپ S-R جداگانه درسـت شده است که یکی مستر (Master) ودیگری اسلیو (Slave)نام دارد . شکل۱۱۶ - ۹نقشه بلوکی فلیپ فلاپ را نشـان می دهد . توجه داشته باشید که در نقشه بلوکی خطوط فیدبک از Q و $\overline{Q}$ به ورودی ها رسم نشده است.



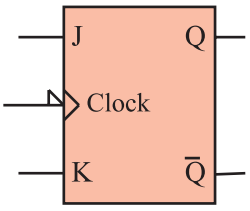
شکل۱۱۶ - ۹نقشه بلوکی فلیپ فلاپ JK-MSبدون رسم مسیر فیدبک

جدول درستی فلیپ فلاپJK-MS مانند جدول درستی فلیپ فلاپ JKاست . فقط در فلیپ فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می شوند.

جـدول۵۴ - ۹جدول درسـتی فلیپ فـلاپ JK-MS را نشـان می دهد. نماد بلوکی فلیپ فلاپ JK-MS را در شکل ۱۱۷- ۹ملاحظه می کنید.

جدول۵۴ - ۹جدول درستی فلیپ فلاپJK-MS

j	K	CP	Q_t
0	0	⊓↓	Q_{t-1} حالت قبلی را حفظ می کند.
0	1	⊓↓	0 Reset
1	0	⊓↓	1 Set
1	1	⊓↓	$\overline{Q_{t-1}}$ حالت قبلی عکس می شود.

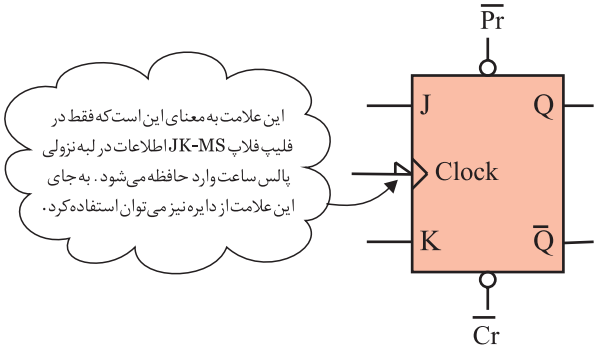


شکل۱۱۷ - ۹نماد بلوکی فلیپ فلاپJK-MS

۹-۱۵- ۹عملکـــرد ورودی های پیش تنظیمPre (Preset)و پاک کردن Clr (Clear)

در زمـان وصل تغذیه به مدار فلیپ فـلاپ ، وضعیتی که حافظـه درآن قـرار می گیرد یعنی حالـت Q در انواع فلیپ فلاپ ها کاملاً تصادفی اسـت. بـرای ایجاد یک حالت معین وتعریف شده اولیه ، از ورودی Preset و Clear استفاده می کنیم.

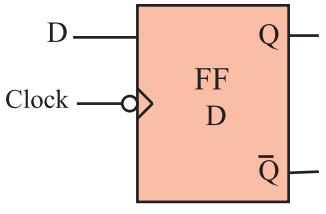
به عنوان مثال در یک ماشـین حساب برای انجام عملیات جدید ضروری اسـت کـه اطلاعـات قبلـی از حافظه پاک شود. گاهی نیز ممکن اسـت بخواهیم قبل از اجرای عملیات ،اطلاعـات جدید را در حافظه قرار دهیـم . در این حالت با اسـتفاده از ۲ خط Preset و ،Clear قبل از این که از طریق J و Kبخواهیـم اطلاعات را وارد حافظه کنیم حافظه را پاک (خالی) یاپر می کنیم . در خاتمه این دوخط را غیرفعال نموده وتوسـط ورودی های J و Kاطلاعات جدیـد را وارد حافظه می کنیم . در شـکل۱۱۸ - ۹نمـاد بلوکی فلیپ فلاپ J-K با خط Pr و Clr رسم شده است.



شکل۱۱۸ - ۹نماد بلوکی فلیپ فلاپ JK با Pr وClr

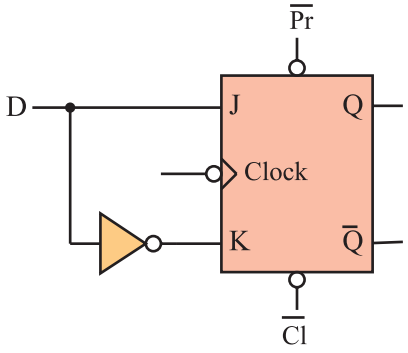
۱۰-۱۵- ۹فلیپ فلاپ نوع(Delay) D:

این فلیپ فلاپ تنها دارای یک ورودی است که ورودیD نام دارد ، شکل۱۱۹ -۹.



شکل ۱۱۹-۹ فلیپ فلاپ D

از این فلیپ فلاپ به عنوان یک سلول ثبات (ثبت کننده) اسـتفاده می کنند زیرا اطلاعات ورودی آن پس از هر پالس سـاعت وارد حافظه فلیپ فلاپ شده و تا پالس ساعت بعدی حفظ می شود . این فلیپ فلاپ را می توان به کمک هر یک از انواع فلیپ فلاپ JK ، SR یا JK-MSسـاخت . برای این منظـور باید ورودی S را نفی کنیم. سـپس آن را به R اتصال دهیـم. همچنین می توان ورودی J را نفی کرد وبه ورودیK اتصال داد. شـکل ۱۲۰ - ۹یک فلیپ فلاپ D را با استفاده از فلیپ فلاپ J-K نشان می دهد.



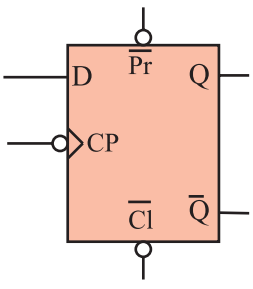
شکل ۱۲۰ - ۹فلیپ فلاپ D با استفاده از فلیپ فلاپJK

جدول درستی فلیپ فلاپ D مطابق جدول۵۵ - ۹است

جدول۵۵ - ۹جدول درستی فلیپ فلاپD

CP	D	Q
⎍	0	0
⎍	1	1

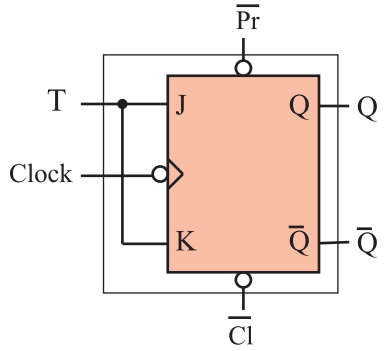
در شـکل ۱۲۱ - ۹نماد بلوکی فلیپ فلاپ نوع D رسـم شده است.



شکل ۱۲۱-۹ نماد مداری فلیپ فلاپD

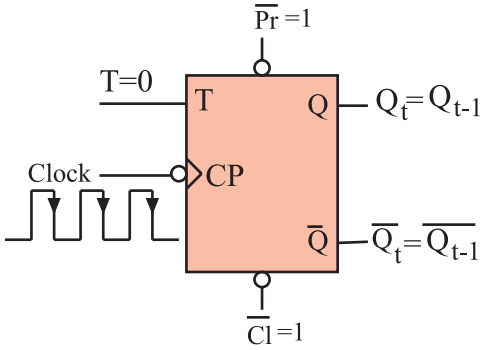
۹-۱۵-۱۱ فلیپ فلاپ نوع T (Toggle):

اگـر دو ورودی فلیپ فلاپ JK را به هـم وصل کنیم و اتصال مشـترک را T بنامیم . فلیپ فلاپ جدیدی ساخته می شـود که به آن فلیـپ فلاپ نوع T یا کلیدی گویند. شـکل ۹-۱۲۲ نحوه تبدیل فلیپ فلاپ J-K را به T نشان می دهد.



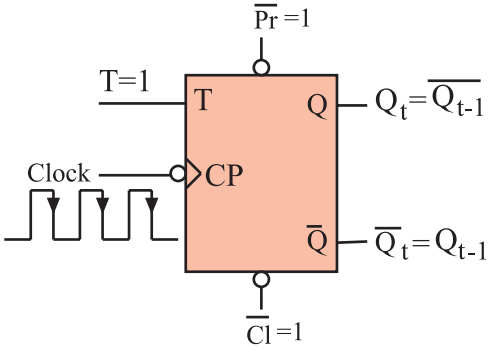
شکل ۹-۱۲۲ - تبدیل فلیپ فلاپ J-K به T

با توجه به شـکل درمی یابیم که اطلاعات ورودی های J و K با هم برابرند. پس اگر T=۰ باشـد ، مطابق شکل ۹-۱۲۳ J=K=۰ است . دراین صورت حافظه بدون تغییر می ماند.



شکل ۹-۱۲۳ T=۰ است و Q و $\overline{Q}$ تغییر نمی کند.

حال چنانچه T=۱ باشـد J=K=۱ است. طبق شکل ۹-۱۲۴ با هر پالس سـاعت وضعیـت حافظه برعکـس حالت قبل می شـود. یعنی اگر حافظه Set اسـت به حالت Reset و اگر Reset است به حالت Set می رود.



شکل ۹-۱۲۴ T=۱ است در لبه نزولی پالس ساعت Q_t برعکس می شود .

جدول ۹-۵۶ جدول درسـتی T-FF را براساس عملکرد JK-FF نشـان می دهد . این جدول را مـی توان به صورت جدول ۹-۵۷ خلاصه کرد .

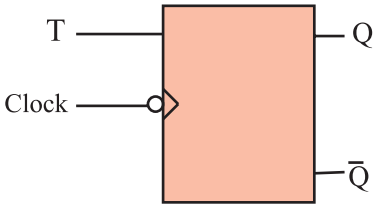
جدول ۹-۵۶ جدول درستی T-FF براساس عملکرد JK-FF

T	CLK	J	K	Q_{t-1}	Q_t
0	↓	0	0	0	→0
0	↓	0	0	1	→1
1	↓	1	1	۰	→1
1	↓	1	1	1	→۰

جدول ۹-۵۷ جدول درستی T-FF

T	CP	Q_t
0	↓	Q_{t-1} حالت قبلی را حفظ می کند.
1	↓	$\overline{Q}_{t-1}$ حالت قبلی عکس می شود.

نماد بلوکی فلیپ فلاپ T در شکل ۹-۱۲۵ آمده است .



شکل ۹-۱۲۵ نماد بلوکی T-FF

۹-۱۶ آزمایش شماره ۵

زمان اجرا: ۲ ساعت آموزشی

۹-۱۶-۱هدف آزمایش: بررسی رفتار انواع فلیپ فلاپ ها

۹-۱۶-۲ تجهیزات، ابزار، قطعات و مواد مورد نیاز:

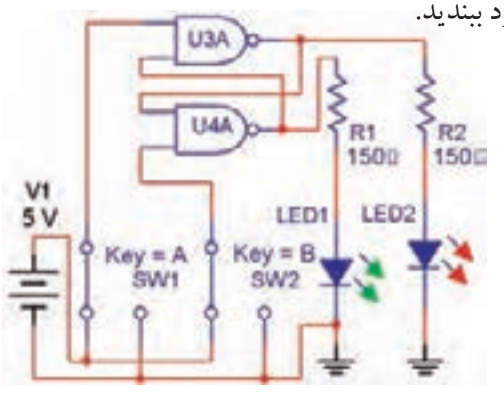
ردیف	نام ومشخصات	تعداد/ مقدار
۱	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۲	بردبرد یا برد آزمایشگاهی	یک قطعه
۳	IC ۷۴۱۰	یک عدد
۴	IC ۷۴۱۱	یک عدد
۵	IC ۷۴۰۲	یک عدد
۶	IC ۷۴۰۰	دو عدد
۷	LED قرمز	یک عدد
۸	LED سبز	یک عدد
۹	سیم رابط	به مقدار لازم
۱۰	مقاومت ۱۵۰Ω	دو عدد
۱۱	ابزار عمومی کارگاه الکترونیک	یک سری

در صورت موجـود بودن برد آماده ، از آن ها برای انجام آزمایش های زیر استفاده کنید .

۹-۱۶-۳ مراحل اجرای آزمایش:

الف- بررسی فلیپ فلاپ SR :

■ با استفاده از آی سی ۷۴۰۰ مدار شکل ۹-۱۲۶ را روی برد برد ببندید.



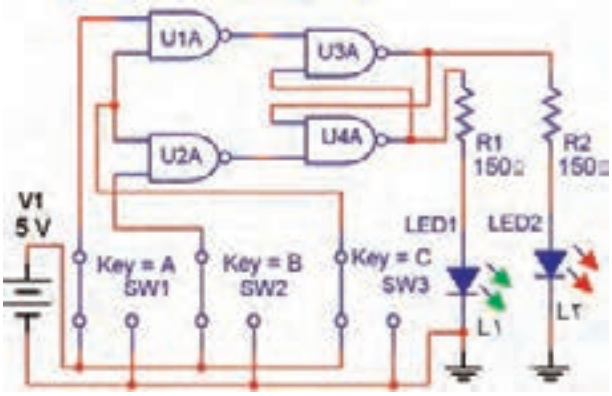
شکل ۹-۱۲۶ مدار آزمایش RS-FF

■ بـا تغییر وضعیـت کلیدها، حالت خاموش یا روشـن لامپ ها را مشاهده سپس جدول صحت ۹-۵۸را کامل کنید.

جدول ۹-۵۸

وضعیت خروجی‌ها بعد از تغییر وضعیت		وضعیت قبلی خروجی ها		وضعیت ورودی ها	
L_1	L_2	L_1	L_2	$SW_2=R$	$SW_1=S$

■ مدار RS-FF را مطابق شکل ۹-۱۲۷ اصلاح کنید و دوباره جدول صحت ۹-۵۹ را کامل کنید .



شکل ۹-۱۲۷

جدول ۹-۵۹

وضعیت خروجی ها بعد از تغییر وضعیت		وضعیت قبلی خروجی ها		وضعیت ورودی ها		
L_1	L_2	L_1	L_2	SW_2	SW_1	SW_3

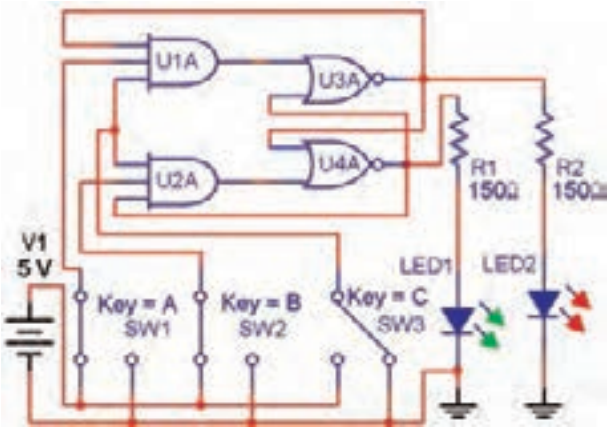
سوال ۳۱: آیا حالت غیر مجاز مدار شکل ۱۲۶-۹ برطرف شده است ؟

سوال ۳۲: مدار شکل ۱۲۷-۹ بر مدار شکل ۱۲۶-۹ چه برتری دارد ؟

توجه : در صورت داشتن وقت اضافی آزمایش های زیر را اجرا کنید

ب : بررسی فلیپ فلاپ JK

■ با استفاده از آی سی های ۷۴۰۲ ، ۷۴۱۱ ، ۷۴۰۴ مدار شکل ۱۲۸ - ۹را روی برد برد ببندید.



شکل ۱۲۸-۹

■ با تغییر وضعیت کلیدها وضعیت روشنایی لامپ های L_1 و L_2 را مشاهده نمود. سپس جدول صحت ۶۰-۹ را کامل کنید .

جدول ۶۰-۹

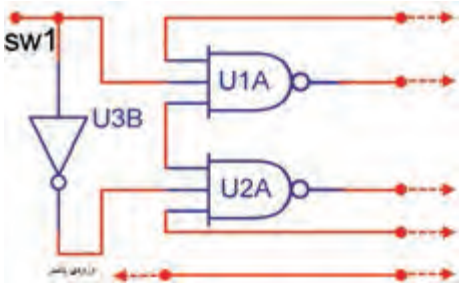
وضعیت خروجی ها بعد از تغییر وضعیت		وضعیت قبلی خروجی ها		وضعیت ورودی ها		
L_2	L_1	L_2	L_1	SW_1	SW_2	SW_3

■ وضعیت روشنایی لامپ های L_1و L_2 را در حالتی که هر سه کلید SW_1، SW_2و SW_3در حالت منطقی «۱» است به دقت مشاهده کنید .

سوال ۳۳: آیا در شدت نور آن ها نسبت به حالت هایی که حداقل یکی از کلیدها در حالت منطقی «۰» باشد تغییری مشاهده می کنید ؟ علت آن چیست ؟

ج : بررسی مدار فلیپ فلاپ D

■ اینک ورودی مدار را مانند شکل ۱۲۹-۹ تغییر دهید؛ سپس با تغییر وضعیت SW_1وضعیت روشنایی L_1و L_2پس از هر فرمان پالسر را مشاهده ونتیجه مشاهدات خود را بنویسید

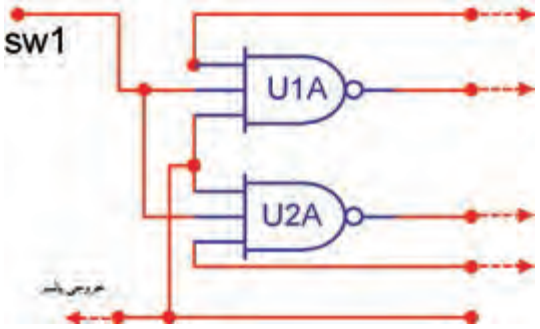


شکل ۱۲۹-۹

نتیجه مشاهدات

د : بررسی مدار فلیپ فلاپ T

- اکنـــون ورودی های مدار شـــکل ۱۲۸-۹ را مانند شکل ۱۳۰-۹ تغییر دهید.
- دوبـــاره پس از ایجاد حالت‌های مختلف برای کلید SW_1 هر بار با فشردن و رها کردن کلید پالسر – وضعیت روشنایی L_1 و L_2 را مشاهده کنید و نتیجه‌ی مشاهدات خود را بنویسید



شکل ۱۳۰-۹

نتیجه مشاهدات :

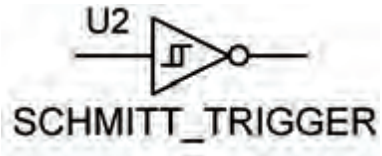
۴-۱۶-۹ نتایج آزمایش

نتایج حاصل از آزمایش های الف ، ب ، ج و د را به طور خلاصه بیان کنید.

۹-۱۷ اشمیت تریگر(Schmitt Trigger)

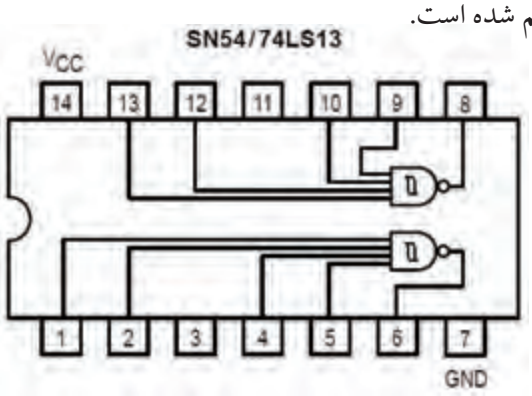
اشـمیت تریگرمداری است که می تواند موج های مثلثی یا سینوسـی رابه موج مربعـی (پالس) تبدیل کند. اشـمیت تریگـر به صورت گیت های دیجیتالی نیز سـاخته می‌شـود. ایـن گیت ها بـه علت داشـتن دو حالت پایـدار ، در ردیف مولتی ویبراتورها قرار دارند و دارای دو سـطح ولتاژ آسـتانه (Thre Shold) هسـتند. عمل کـردن آن ها به این صورت اسـت هرگاه ولتاژ ورودی از سـطح ولتاژ اول بیش تر شود، این گیت سـوئیچ نموده وتغییـر وضعیت می دهد و اگر ولتاژ ورودی از سطح ولتاژ دوم کم تر شد، وضعیت گیت به حالت اول خود برمی گردد. به این ترتیب می توان از موج سینوسـی یا مثلثی ، پالس‌های مربعی ساخت .

نماد گیت اشمیت تریگر به صورت شکل ۹-۱۳۱ است .



شکل ۹-۱۳۱ نماد اشمیت تریگر

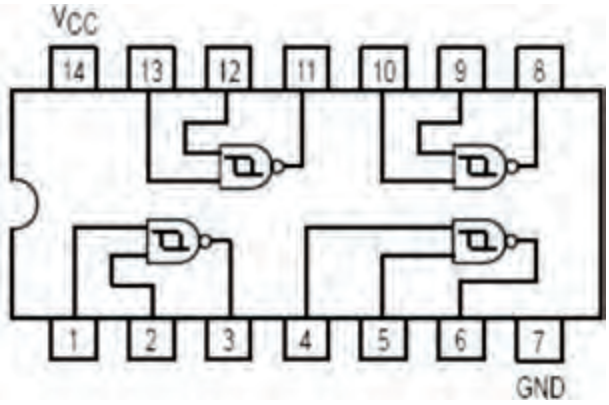
یک نمونه آی سی اشمیت تریگر آی سی ۷۴LS۱۳ است شـکل پایه ها و گیت های داخل آی سـی در شکل ۹-۱۳۲ رسم شده است.



شکل ۹-۱۳۲ آی سی اشمیت تریگر با NAND چهار ورودی

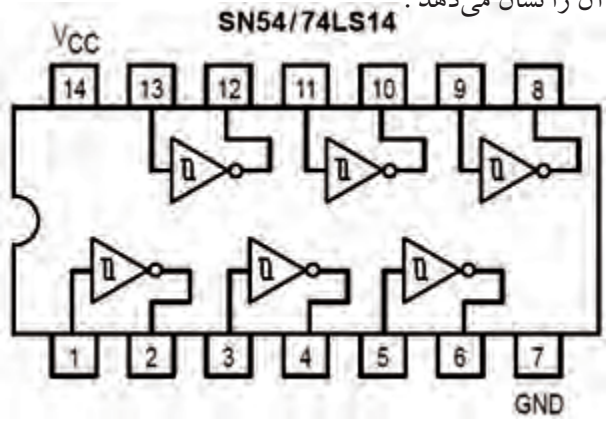
گیت های داخل آی‌سی دو سطح ولتاژ ۱/۷ ولت و ۰/۹ ولت دارنـد. وقتی ورودی گیت از ۱/۷ ولت بیش‌تـر شود خروجی به تـراز (۰) منطقی (L) می آیـد و اگر ورودی تا ۰/۹ ولت کاهش یابـد. خروجی به تراز (۱) منطقی (High) می‌رسد.

اگر یکـی از ورودی هـا (L) باشـد ، خروجی درتراز (H) باقی می ماند و گیت دیگرتحریک نمی شود . نوع دیگر آی سـی اشمیت تریگر آی سـی ۷۴LS۱۳۲ است که شماره پایه‌ها و گیت های داخل آی سی را در شکل ۹-۱۳۳ مشاهده می کنید .



شکل ۹-۱۳۳

نمونه‌ی دیگر از آی سـی اشـمیت تریگر با شـماره فنی ۷۴۱۴ نیز وجود دارد که شـامل شـش گیت NOT اسـت. شـکل ۹-۱۳۴ گیت های داخل آی سی و شماره ی پایه های آن را نشان می‌دهد .



شکل ۹-۱۳۴ آی سی اشمیت تریگر NOT

ورودی Low هر گیت، خروجی را به تراز High می‌برد. دو سـطح ولتاژ این آی سـی نیز ۱/۷ ولت و ۰/۹ ولت است.

آزمون پایانی ۵-۹ انواع فلیپ فلاپ

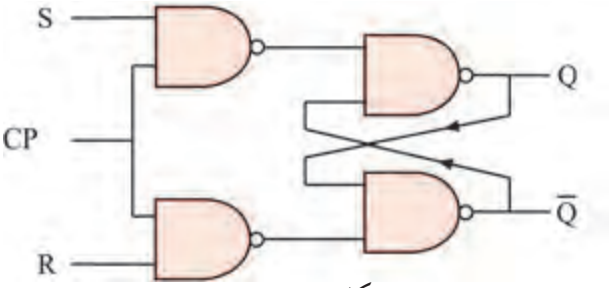
۱- حالت غیر مجاز در مدار فلیپ فلاپ S-R شکل ۹-۱۳۵ با پالس ساعت کدام است ؟

الف) S=۰ ، R=۰

ب) S=۱ ، R=۱

ج) S=۰ ، R=۱

د) S=۱ ، R=۰

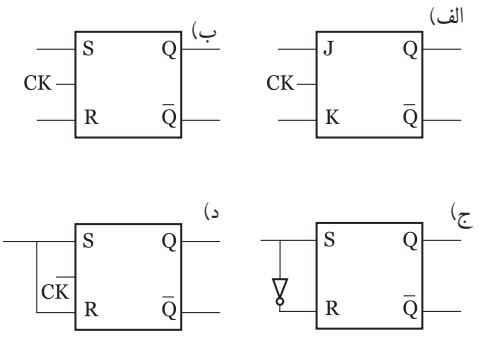


شکل ۹-۱۳۵

۲- اِشکال مدار فلیپ فلاپ SR را شرح دهید، در کدام نوع فلیپ فلاپ این عیب برطرف شده است ؟

۳- برای ثبت چهار بیت اطلاعات (۱۱۰۱) در حافظه به ..... سلول حافظه (فلیپ فلاپ) نیاز است .

۴- کدام نماد فلیپ فلاپ نوع (D) را نشان می دهد ؟



۵- جدول صحت فلیپ فلاپ نوع T را بنویسید و کار برد آن را شرح دهید.

۶- جدول صحت ۹-۶۱ مربوط به چه نوع فلیپ فلاپی است؟

الف) R-S　　ب) J-K

ج) D　　د) T

جدول ۹-۶۱

A	B	Q_t
۰	۰	$Q_{t-۱}$
۰	۱	۰
۱	۰	۱
۱	۱	$Q_{t-۱}$

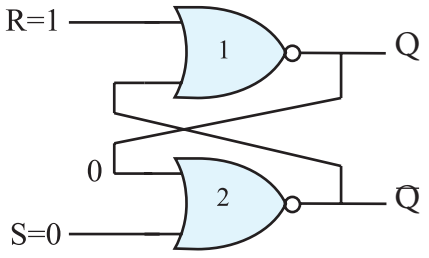
۷- جدول صحت ۹-۶۲ را کامل کنید ؟

جدول ۹-۶۲

CK	J	K	Q_t
۰	×	×	
۱	۰	۰	
۱	۰	۱	
۱	۱	۰	
۱	۱	۱	

۸- حفظ اطلاعات در سلول های حافظه توسط مدار..... انجام می شود.

۹- در مدار شکل ۹-۱۳۶ اگر ورودی های S=۰ و R=۱ باشد ، مقدار خروجی Q و $\overline{Q}$ را به دست آورید .



شکل ۹-۱۳۶

۱۰- نمای بلوکی فلیپ فلاپ J-K را رسم کنید.

۱۱- عیب فلیپ فلاپ J-K را شرح دهید .

۱۲- کاربـرد ورودی هـای Preset و Clear در فلیـپ فلاپ MS-JK با ذکرمثال شرح دهید.

۱۳-کاربرد مدار اشمیت تریگر را بیان کنید.

۱۴- در یک مدار اشـمیت تریگر اگر سطح ولتاژ ورودی از ۱/۷ ولت بیش تر شـود و یا سطح ولتاژ ورودی تا ۰/۹ ولت کاهش یابد خروجی در چه سطح منطقی قرار می گیرد ؟