

ترانزیستور اثر میدان (FET)

Field Effect Transistor

زمان اجرا : ۱۶ ساعت آموزشی

هدف کلی : بررسی اصول کار ترانزیستورهای اثر میدان و مدارهای ساده آن

هدف های رفتاری : پس از پایان این فصل از فراگیرنده انتظار می رود که :

- ۹- ساختمان ترانزیستور اثر میدان با گیت عایق شده را شرح دهد.
- ۱۰- منحنی مشخصه های خروجی و انتقالی MOSFET را تجزیه و تحلیل کند.
- ۱۱- ساختمان VMOSFET را تعریف کند.
- ۱۲- ساختمان داخلی VMOSFET را با MOSFET مقایسه کند.
- ۱۳- کاربردهای VMOSFET را شرح دهد.
- ۱۴- مشخصات مهم ترانزیستورهای JFET یا MOSFET را از Datasheet استخراج کند.
- ۱۵- به سؤال های الگوی پرسش پاسخ دهد.

- ۱- ساختمان ترانزیستور اثر میدان (FET) و نماد آن را شرح دهد.
- ۲- منحنی مشخصه JFET را شرح دهد.
- ۳- ولتاژبندی (بایاس) JFET را توضیح دهد.
- ۴- کاربردهای JFET را از روی منحنی مشخصه شرح دهد (منبع جریان ثابت، مقاومت متغیر، تقویت کننده، سوئیچ)
- ۵- JFET را با BJT مقایسه کند.
- ۶- چگونگی تقویت توسط JFET را تشریح کند.
- ۷- آرایش تقویت کننده JFET به صورت CS ، CG و CD را شرح دهد.
- ۸- تقویت کننده های BJT را با تقویت کننده های FET مقایسه کند.

پیش گفتار

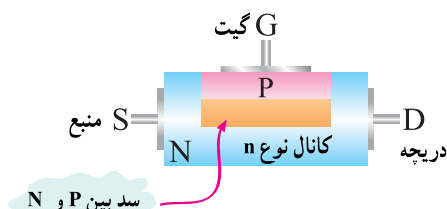
نسبتاً کم باشد به طوری که مقاومت ورودی حتی در آرایش کلکتور مشترک، از چند صد هزار اهم تجاوز نکند. بنابراین هنگامی که می خواهیم سیگنال منبعی با مقاومت داخلی بسیار زیاد (مثلاً حدود چند مگا اهم) را تقویت کنیم نمی توانیم ترانزیستور BJT را در طبقه اول تقویت کننده به کار ببریم زیرا مقاومت ورودی کم آن باعث بارگذاری می شود. هم چنین هنگام اتصال در دستگاه های اندازه گیری مانند ولت متر و اسیلوسکوپ به مدار، نباید از مدار مورد اندازه گیری جریان زیادی گرفته شود. لازم است این دستگاه ها مقاومت ورودی زیادی داشته باشند. بنابراین ترانزیستورهای BJT در این گونه مدارها، کارآیی لازم را ندارند. ساختمان داخلی ترانزیستورهای

ترانزیستورهای معمولی به دلیل ساختار فیزیکی خاصی که دارند ترانزیستورهای دویوندی یا BJT نامیده می شوند و عناصری هستند که جریان را کنترل می کنند به بیانی دیگر جریان بیس ترانزیستور جریان کلکتور را کنترل می کند. البته در BJT تغییر ولتاژ بیس امیتر نیز می تواند I_B را تغییر داده و سرانجام I_C کنترل شود. برای برقراری جریان در اتصال کلکتور، باید جریان بیس به اندازه ای باشد که بتواند به طور کامل بر پتانسیل سد پیوند بیس امیتر غلبه کند و آن را بشکند. وجود جریان ورودی زیاد در ترانزیستور BJT باعث می شود که مقاومت ورودی ترانزیستورهای دویوندی

این میله نیمه هادی، با توجه به میزان ناخالصی، سطح مقطع و طول مشخص، در شرایط عادی مانند یک مقاومت ثابت عمل می کند یعنی با دادن یک ولتاژ ثابت، جریان ثابتی از آن می گذرد. اگر مقاومت این میله تغییر کند، میزان جریانی که در برابر یک ولتاژ ثابت از آن عبور می کند نیز تغییر خواهد کرد. تغییر مقدار مقاومت میله با تغییر طول، سطح مقطع و میزان ناخالصی آن امکان پذیر است. از این سه متغیر، تنها سطح مقطع مؤثر میله را می توان با استفاده از روش الکتریکی به کنترل درآورد.

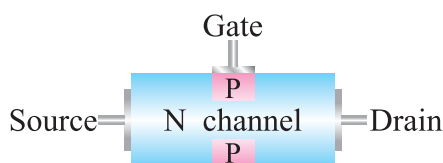
اگر در قسمتی از این میله یک فلز سه ظرفیتی مانند ایندیم را به گونه ای نفوذ دهیم که یک ناحیه نوع p با غلظتی بیش از ناحیه n تشکیل شود، یک پیوند pn به وجود می آید. در این حالت ناحیه n را کانال و نیمه هادی نوع p را دروازه یا گیت (Gate) می نامند. با اتصال دو سیم به دو طرف لایه N و یک سیم به لایه P یک عنصر سه پایه حاصل می شود که به ترانزیستور با اثر میدان پیوندی معروف است.

شکل ۳-۲ ساختمان JFET با کانال N و پایه های آن را نشان می دهد.



شکل ۳-۲ ساختمان JFET.

در عمل برای آن که ترانزیستور مشخصات الکتریکی بهتری داشته باشد، ناحیه گیت را مانند شکل ۳-۳ در اطراف کانال ایجاد می کنند.



شکل ۳-۳ ساختمان JFET با گیت در دو طرف

دو کریستال P را معمولاً از داخل به هم وصل می کنند، چنانچه ترانزیستوری با دو گیت در دست باشد، باید به وسیله

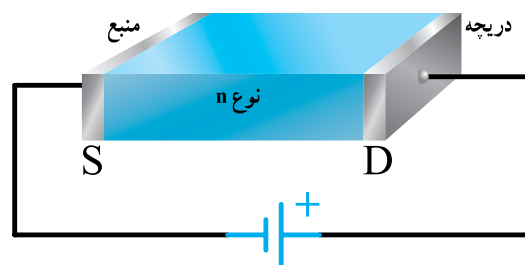
اثر میدان در مقایسه با ترانزیستورهای BJT، ساده تر است و مقاومت ورودی بسیار زیاد (در حدود $10^6 \Omega$ تا $10^9 \Omega$) دارند. ترانزیستورهای اثر میدان با ولتاژ کنترل می شوند و در ساختمان داخلی آن ها فقط دو نوع نیمه هادی به کار می رود، به همین علت این ترانزیستورها را «تک پیوندی» (unijunction Transistor) یا یک قطبی می گویند. ترانزیستورهای اثر میدان را در دو نوع متفاوت به شرح زیر می سازند.

الف) استفاده از روش نفوذی یعنی نفوذ دادن کریستال نوع N در P یا برعکس، این نوع ترانزیستورها را JFET می نامند. ب) استفاده از خاصیت خازنی لایه ها، این نوع ترانزیستورها را MOSFET می نامند. MOS از کلمات M=Metal فلزی O=Oxide اکسید و S=Semiconductor نیمه هادی گرفته شده است.

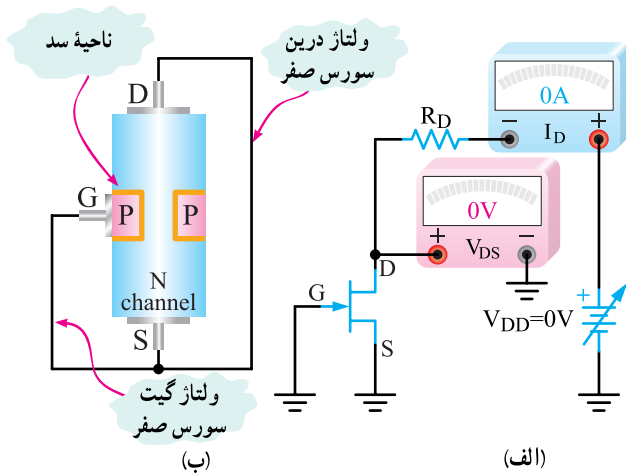
۳-۱- ترانزیستور با اثر میدان پیوندی یا JFET (Junction Field Effect Transistor)

۱-۳-۱ ساختمان JFET با کانال N : یک میله سیلیسیمی را که کمی ناخالصی نوع n به آن افزوده شده باشد، در نظر بگیرید. این میله درست مانند یک مقاومت عمل می کند که مقدار آن به میزان ناخالصی افزوده شده، سطح مقطع و طول میله بستگی دارد.

اگر یک باتری، مطابق شکل ۳-۱ به دوسر این میله وصل کنیم، جریانی متناسب با ولتاژ دوسر باتری از آن عبور می کند. یک انتهای میله را که الکترون ها از آن خارج می شوند دریچه یا درین (Drain) و انتهای دیگر میله را، که الکترون ها به آن وارد می شوند منبع یا سورس (Source) نام گذاری می کنیم.

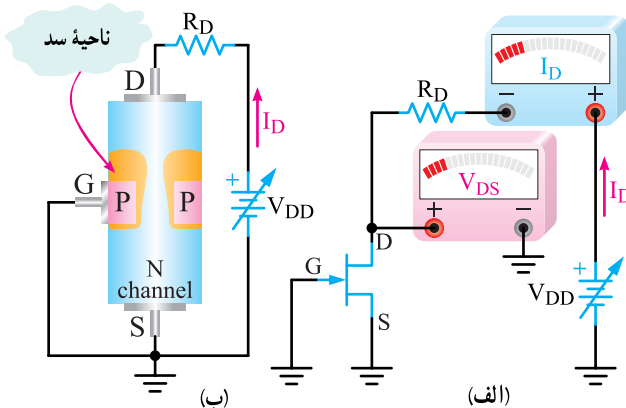


شکل ۳-۱ نیمه هادی با ناخالصی n



شکل ۳-۶- وضعیت مدار FET وقتی $V_{DS} = 0$ و $I_D = 0$ است.

حال اگر یک منبع ولتاژ به نام V_{DD} را بین پایه‌های درین و سورس وصل کنیم، به‌طوری که درین نسبت به سورس مثبت باشد، با افزایش تدریجی ولتاژ، جریانی که از کانال می‌گذرد نیز افزایش می‌یابد. اعمال این ولتاژ بین درین و سورس و عبور جریان از آن، افت ولتاژی را در مسیر به‌وجود می‌آورد و پیوند pn را در گرایش معکوس قرار می‌دهد. در این حالت ناحیه تهی‌شده از حامل‌های جریان بیش‌تر در داخل کانال نفوذ می‌کند. شکل ۳-۷ الف و ب، ناحیه تهی از بار بین P و N (افزایش لایه سد) در اثر افزایش جریان درین را نشان می‌دهد.

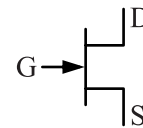


شکل ۳-۷- افزایش V_{DS} سد بین N و P و I_D را افزایش می‌دهد.

گسترش ناحیه تهی از بار در اثر توزیع پتانسیل V_{DS} از درین تا سورس است. چون گیت در پتانسیل صفر قرار دارد و هم پتانسیل با سورس است، هر قدر در طول کانال به درین نزدیک‌تر شویم، اختلاف پتانسیل آن نسبت به گیت بیش‌تر می‌شود، زیرا

سیم‌ی این دو پایه را به هم وصل نمود. ممکن است برای سادگی رسم شکل، دو کریستال P را که به هم متصل هستند فقط با یک اتصال گیت، نشان دهند.

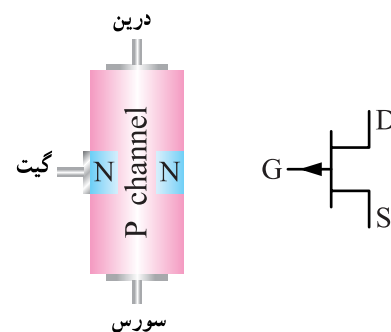
علامت اختصاری JFET با کانال N به صورت شکل ۳-۴ است. توجه داشته باشید که نوک پیکان به سمت داخل معرف گیت از نوع P است.



شکل ۳-۴- علامت اختصاری JFET با کانال N

۲-۱-۳- ساختمان JFET با کانال P : ساختمان

JFET با کانال P شبیه JFET با کانال N است، با این تفاوت که جنس کانال از نوع کریستال P و جنس گیت از کریستال N است. در شکل ۳-۵ ساختمان کریستالی و علامت اختصاری JFET با کانال P را مشاهده می‌کنید.

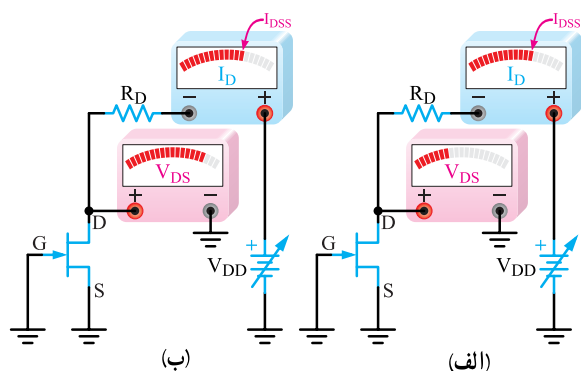


شکل ۳-۵- ساختمان کریستالی و علامت اختصاری JFET با کانال P

۳-۱-۳- رفتار JFET در مدار : برای بررسی

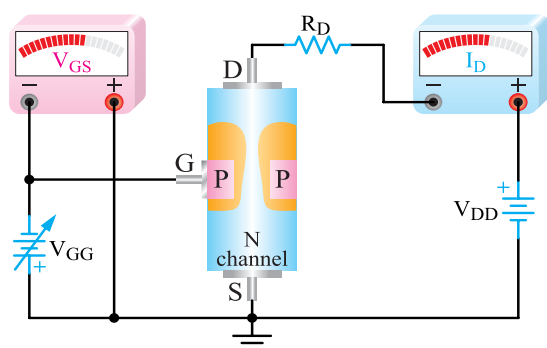
رفتار این ترانزیستور در مدار، نخست حالتی را در نظر می‌گیریم که پایه گیت به پایه سورس اتصال کوتاه شده باشد. در این حالت اثر تغییر V_{DS} را روی کانال بررسی می‌کنیم.

مطابق شکل ۳-۶ اگر پایه‌های درین سورس نیز اتصال کوتاه شده باشند، هیچ جریانی از کانال نمی‌گذرد و نواحی p و n توسط لایه نازک سد که تهی از حامل‌های جریان است و بلافاصله پس از ایجاد پیوند pn به‌وجود می‌آید، از یک‌دیگر جدا می‌شوند.



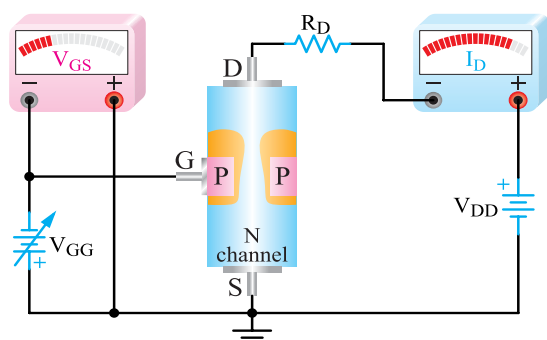
شکل ۳-۹- بعد از بسته شدن حداکثری کانال، افزایش V_{DS} در I_D اثری ندارد.

۴-۱-۳- اعمال ولتاژ مخالف به گیت: اکنون چنانچه مطابق شکل ۳-۱۰ با اعمال یک ولتاژ به دوسر گیت سورس سد PN را در گرایش معکوس قرار دهیم، هرگونه افزایشی در میزان این ولتاژ، گسترش سریع تر لایه سد (ناحیه تهی از حامل های جریان) در داخل کانال را به همراه دارد و موجب افزایش مقاومت کانال و کاهش جریان درین می شود.



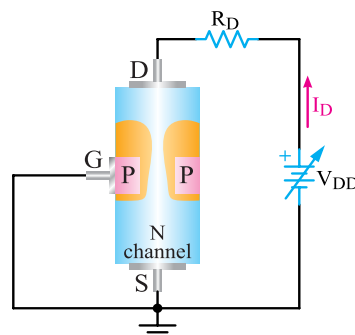
شکل ۳-۱۰- پیوند PN را به بایاس مخالف می برد.

شکل ۳-۱۱ نشان می دهد که با کاهش V_{GG} ، عرض کانال بیش تر می شود و مقاومت کانال را کاهش می دهد. در این شرایط جریان درین بیش تری از مدار می گذرد.



شکل ۳-۱۱- با V_{GG} کم تر، I_D بیش تر است.

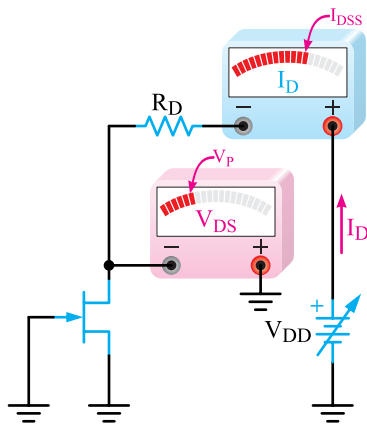
افت ولتاژ در طول میله مانند افت ولتاژ در یک مقاومت است. در این شرایط اتصال PN بیش تر به بایاس مخالف میل می کند و لایه تهی از بار گسترده تر می شود. به بیان دیگر توسعه ناحیه تهی از بار (گسترش ناحیه سد) از سمت درین رشد می کند. چنانچه V_{DS} را باز هم افزایش دهیم، ناحیه تهی شده گسترش بیش تری می یابد و سرانجام مطابق شکل ۸-۳، به حداکثر گسترش خود می رسد.



شکل ۸-۳- افزایش V_{DS} منجر به گسترش ناحیه سد در عرض کانال می شود.

تا زمانی که کانال به حداکثر گرفتگی نرسیده است، افزایش V_{DS} سبب افزایش جریان درین (I_D) می شود. حال ببینیم اگر درین به طور کامل مسدود شود چه اتفاقی می افتد؟ با مسدود شدن کامل کانال، جریان درین صفر می شود.

با صفر شدن جریان درین، ناحیه سد (منطقه تهی از بار) به حالت اولیه برمی گردد و دوباره جریان برقرار می شود. بنابراین کانال در هیچ شرایطی نمی تواند به طور کامل مسدود شود، اما مسدود شدن آن به حداکثر می رسد. با بسته شدن حداکثری کانال، دیگر افزایش V_{DS} تغییر محسوسی در جریان درین ایجاد نمی کند و جریان درین ثابت می ماند، در این حالت می گویند JFET به اشباع رسیده است. جریان اشباع را I_{DSS} (جریان درین سورس اشباع) می نامند. افزایش بیش تر V_{DS} ، ناحیه تهی از بار در سطح کانال را گسترده تر می کند و مقاومت کانال را افزایش می دهد. چون میزان افزایش V_{DS} و افزایش مقاومت کانال (R_{DS}) به یک نسبت است، جریان درین هم چنان ثابت باقی می ماند. همان طور که در شکل ۳-۹ الف و ب مشاهده می شود، افزایش V_{DS} بعد از بسته شدن حداکثری کانال، تأثیری در مقدار I_D ندارد و I_D در حد مقدار I_{DSS} ثابت باقی مانده است.



شکل ۳-۱۳ $V_{DS} = V_P$ و ثابت I_D و برابر I_{DSS} است.

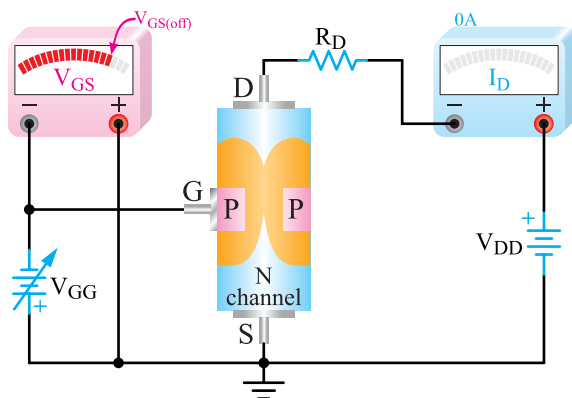
این شرایط معمولاً JFET آسیب می بیند. ولتاژ شکست در JFET های معمولی حدود 20° تا 30° ولت است.

۳-۲-۴ ولتاژ قطع گیت سورس ($V_{GS \text{ off}}$): هر قدر

V_{GS} منفی تر شود، I_D کاهش می یابد، مقدار V_{GS} که بتواند I_D را تقریباً به صفر برساند، ولتاژ قطع گیت سورس ($V_{GS \text{ off}}$) نام دارد. معمولاً مقدار عددی ولتاژ قطع گیت سورس با مقدار عددی ولتاژ V_P برابر است. علامت های این دو باهم تفاوت دارد. مثلاً اگر $V_P = +5$ ولت باشد، $V_{GS \text{ off}} = -5V$ است بنابراین می توانیم بگوییم:

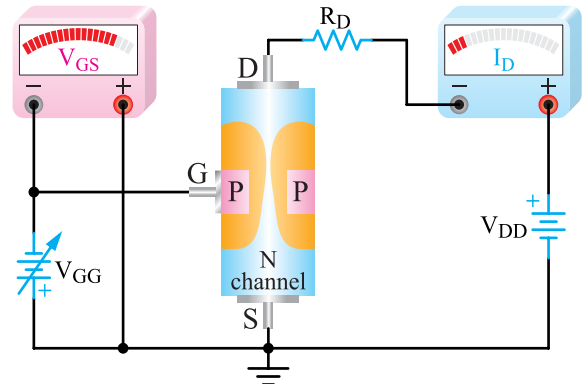
$$|V_{GS \text{ off}}| = |V_P|$$

قطع شدن I_D معمولاً در اثر عریض شدن ناحیه تهی از بار (لایه سد) رخ می دهد. شکل ۳-۱۴ JFET را در حالت قطع (cut off) نشان می دهد.



شکل ۳-۱۴ JFET در ناحیه قطع قرار دارد.

در شکل ۳-۱۲ مقدار V_{GS} را افزایش داده ایم. در این حالت، کانال باریک تر می شود و مقاومت کانال افزایش می یابد. لذا جریان درین (I_D) کمتری از مدار می گذرد.



شکل ۳-۱۲ با V_{GS} بیش تر I_D کم شده است.

۳-۲ اصطلاحات و تعاریف مهم و متداول

۳-۲-۱ ولتاژ بحرانی V_P (Pinch off Voltage):

اگر $V_{GS} = 0$ باشد به مقدار V_{DS} که به بسته شدن حداکثری کانال منجر می شود، ولتاژ بحرانی (V_P) می گویند. در این حالت جریان درین (I_D) ثابت می ماند. برای یک FET با شماره فنی معین، V_P مقدار مشخصی است که در برگه اطلاعات آن داده می شود.

۳-۲-۲ جریان درین سورس اشباع I_{DSS}

(I_{DSS} saturation): در $V_{GS} = 0$ هنگامی که V_{DS} به مقدار V_P و بیش تر از آن برسد، I_D ثابت می ماند. این جریان را جریان درین سورس اشباع می نامند و آن را با (I_{DSS}) نمایش می دهند. I_{DSS} ماکزیمم جریانی است که JFET می تواند از خود عبور دهد. برای قطعه ای که کاربرد سیگنال کوچک را دارد، این جریان در حدود میلی آمپر است و مقدار آن معمولاً در برگه اطلاعات نوشته می شود.

شکل ۳-۱۳ مداری از JFET را نشان می دهد که در آن

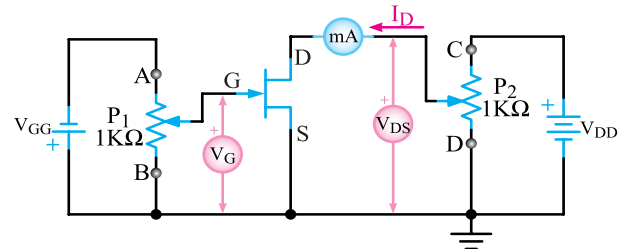
$V_{DS} = V_P$ است و جریان درین برابر با I_{DSS} شده است.

۳-۲-۳ ولتاژ شکست درین سورس V_B

(Break down voltage): اگر V_{DS} را بیش از اندازه مجاز افزایش دهیم، در محل اتصال PN با یاس مخالف، پدیده شکست بهمنی رخ می دهد و جریان درین به سرعت افزایش می یابد. در

۳-۳-۳-۳ منحنی مشخصه خروجی JFET

در ترانزیستور JFET تغییرات جریان درین وابسته به تغییرات دو عامل V_{DS} و V_{GS} است. برای مشخص کردن میزان این وابستگی به هریک از این دو عامل، باید یکی از آن دو را ثابت نگه داریم و اثر تغییرات عامل دیگر را بر جریان بررسی کنیم. مدار شکل ۳-۱۵ برای انجام این آزمایش مناسب است.



شکل ۳-۱۵ یک نمونه مدار آزمایشی برای به دست آوردن منحنی مشخصه JFET

در این مدار، ابتدا سر متغیر پتانسیومتر P_1 را در نقطه B و سر متغیر پتانسیومتر P_2 را در نقطه D قرار می دهیم. در این حالت $V_{GS} = 0$ و $V_{DS} = 0$ می شود و میلی آمپر متر هیچ جریانی را نشان نمی دهد. حال به تدریج V_{DS} را به کمک پتانسیومتر P_2 افزایش می دهیم.

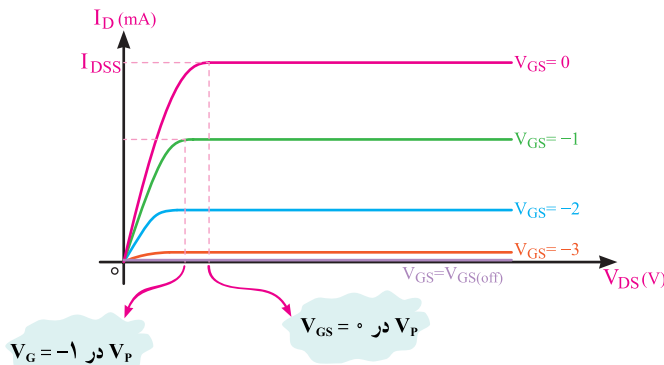
تا زمانی که ولتاژ درین سورس از ولتاژ بحرانی ترانزیستور کم تر است، افزایش جریان درین متناسب با افزایش V_{DS} ادامه می یابد؛ یعنی، ترانزیستور مانند یک مقاومت اهمی عمل می کند. با رسیدن V_{DS} به ولتاژ بحرانی (V_P) جریان به حداکثر مقدار خود یعنی جریان اشباع (I_{DSS}) می رسد.

از آن به بعد افزایش مقدار V_{DS} تغییر محسوسی در I_{DSS} ایجاد نمی کند.

بار دیگر V_{GS} را به کمک پتانسیومتر P_1 مثلاً برابر با -۱ ولت انتخاب می کنیم و V_{DS} را به تدریج از صفر افزایش می دهیم. این بار نیز جریان متناسب با میزان افزایش V_{DS} زیاد می شود و پس از رسیدن به حد معینی ثابت باقی می ماند.

در این حالت، تثبیت جریان در حدی کم تر از حالت قبل و در V_{DS} کم تر از ولتاژ بحرانی اتفاق می افتد. اگر برای چند مقدار دیگر V_{GS} ، تغییرات جریان درین را بر حسب تغییرات V_{DS} بررسی

کنیم و نتیجه آن را به صورت نمودار نشان دهیم، دسته (خانواده) منحنی هایی مشابه شکل ۳-۱۶ به دست می آید.



شکل ۳-۱۶ منحنی های مشخصه خروجی

۳-۳-۱-۳ نواحی کار روی منحنی مشخصه :

روی منحنی مشخصه ترانزیستور JFET، مشابه منحنی مشخصه ترانزیستور BJT نواحی کار متفاوتی وجود دارد که در ادامه به آن می پردازیم.

۳-۳-۲-۳ ناحیه قطع (Cut off Region) : ناحیه قطع،

پس از رسیدن V_{GS} به ولتاژ آستانه، $V_{GS(off)}$ ، شروع می شود. در این ناحیه، در اثر ولتاژ مخالف گیت سورس ناحیه سد گسترش می یابد و ناحیه سد سرتاسر کانال را فرا می گیرد. در این حالت هیچ جریانی از درین نمی گذرد و ترانزیستور به صورت یک کلید قطع عمل می کند. هم چنین تا زمانی که مقدار V_{GS} کم تر از ولتاژ شکست معکوس پیوند گیت سورس (V_B) است تأثیری بر FET ندارد. در شکل ۳-۱۷ این ناحیه در زیر خط $V_{GS} = -4V$ واقع شده است.

۳-۳-۳-۳ ناحیه اهمی (Ohmic Region) : ناحیه

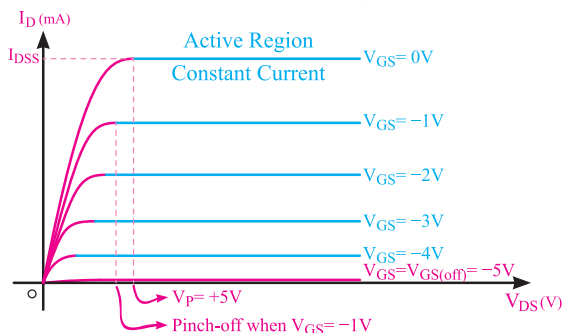
اهمی، بخشی از منحنی مشخصه JFET است که در آن قانون اهم صدق می کند. در این ناحیه ترانزیستور مانند یک مقاومت اهمی تابع ولتاژ عمل می کند که مقدار آن با ولتاژ گیت سورس کنترل می شود. در شکل ۳-۱۷ ناحیه اهمی روی منحنی مشخصه نشان داده شده است. بخشی از منحنی به صورت خمیده و غیر خطی است ولی در مقادیر کم I_D و V_{DS} (حدود چند ده ولت) منحنی کاملاً خطی است.

$$\begin{aligned}
 Q_0 &\Rightarrow I_D = 0.36 \text{ mA} \quad V_{DS} = 0.13 \text{ V} \\
 Q_1 &\Rightarrow I_D = 0.355 \text{ mA} \quad V_{DS} = 0.27 \text{ V} \\
 Q_2 &\Rightarrow I_D = 0.35 \text{ mA} \quad V_{DS} = 0.42 \text{ V} \\
 Q_3 &\Rightarrow I_D = 0.34 \text{ mA} \quad V_{DS} = 1 \text{ V} \\
 R_{DS(Q_0)} &= \frac{V_{DS}}{I_D} = \frac{0.13}{0.36} = 361 \Omega \\
 R_{DS(Q_1)} &= \frac{V_{DS}}{I_D} = \frac{0.27}{0.355} = 760 \Omega \\
 R_{DS(Q_2)} &= \frac{V_{DS}}{I_D} = \frac{0.42}{0.35 \text{ mA}} = 1.2 \text{ K}\Omega \\
 R_{DS(Q_3)} &= \frac{V_{DS}}{I_D} = \frac{1 \text{ V}}{0.34 \text{ mA}} = 2.94 \text{ K}\Omega
 \end{aligned}$$

همان طور که از مقادیر به دست آمده مشاهده می شود با تغییر V_{GS} از ۰ تا -۳ ولت مقدار R_{DS} از ۳۶۱ اهم تا ۲/۹۴ کیلو اهم تغییر کرده است.

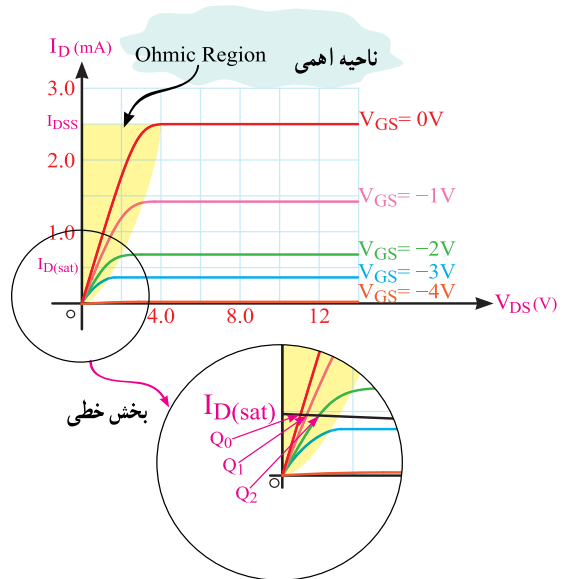
۳-۳-۴ ناحیه اشباع یا فعال (Active Region)

یا ناحیه **Pinch off**: ناحیه ای از منحنی مشخصه JFET که در آن $V_{DS} \geq V_P$ باشد را ناحیه اشباع یا فعال می نامند. در این ناحیه تغییرات V_{DS} اثر محسوسی در جریان I_D ندارد و تقریباً ثابت است. شکل ۳-۱۹ ناحیه اشباع (فعال) را روی منحنی مشخصه JFET نشان می دهد.



شکل ۳-۱۹ ناحیه فعال در روی منحنی مشخصه

برای آن که ترانزیستور از ناحیه اهمی وارد ناحیه اشباع (فعال) شود باید مقدار ولتاژ درین سورس از مقدار معینی که ولتاژ درین سورس گذر (Transition Voltage) (V_{Dstr}) نامیده می شود، بیش تر باشد یعنی $V_{DS} \geq V_{DS(Tr)}$



شکل ۳-۱۷ ناحیه اهمی و بخش خطی آن

در مقادیر کم I_D ، شیب منحنی ها ثابت است و هدایت انتقالی DC درین سورس را طبق رابطه زیر بیان می کند.

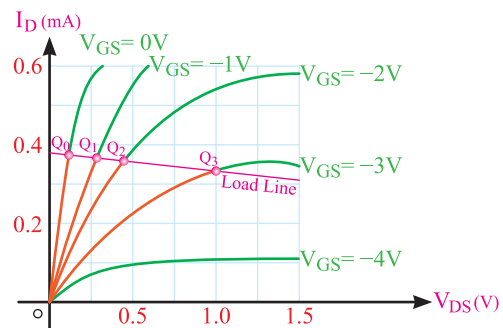
$$\text{slope} = G_{DS} = \frac{I_D}{V_{DS}}$$

عکس هدایت انتقالی را مقاومت می نامند. بنابراین مقاومت درین سورس از رابطه زیر محاسبه می شود:

$$R_{DS} = \frac{1}{G_{DS}} = \frac{V_{DS}}{I_D}$$

مثال ۳-۱: یک JFET با کانال N در ناحیه اهمی بایاس

شده است. (شکل ۳-۱۸)، مقدار مقاومت DC درین سورس را در نقاط Q_0, Q_1, Q_2 و محاسبه کنید.



شکل ۳-۱۸

پاسخ: از روی منحنی مشخصه مشخصات نقطه کار Q_0 تا Q_3 به دست می آوریم. را در نقاط Q_0 تا Q_3

ولتاژ درین سورس گذر از رابطه :

$V_{DS(tr)}$ برابر با ۳- ولت می شود زیرا :

$$V_{DS(tr)} = (4) + (-1) = 3V$$

برای $V_{GS} = -2V$ داریم :

$$V_{DS(tr)} = (4) + (-2) = 2V$$

و برای $V_{GS} = -3V$ مقدار $V_{DS(tr)}$ را به دست می آوریم .

$$V_{DS(tr)} = 4 + (-3) = +1V$$

این نقاط گذر را در شکل ۳-۲ روی منحنی مشخصه

با حروف A ، B ، C و D مشخص کرده ایم .

مثال ۳-۳ : در یک JFET با کانال N اگر $I_{DSS} = 16mA$

$V_P = 4V$ و $V_{GS} = -1V$ باشد ، با فرض این که JFET در ناحیه

اشباع (فعال) کار می کند ، جریان درین را محاسبه کنید .

پاسخ : چون FET در ناحیه اشباع (فعال) کار می کند

می توان برای محاسبه I_D از فرمول $I_D = I_{DSS}(1 - \frac{V_{GS}}{V_{GS(off)}})^2$

استفاده کرد . چون $V_P = 4V$ است ، $V_{GS(off)}$ را (۴-) ولت در نظر

می گیریم و با عددگذاری در فرمول مقدار I_D را به دست می آوریم .

$$I_D = 16(1 - \frac{-1}{-4})^2$$

$$I_D = 16(\frac{4-1}{4})^2 = 9mA$$

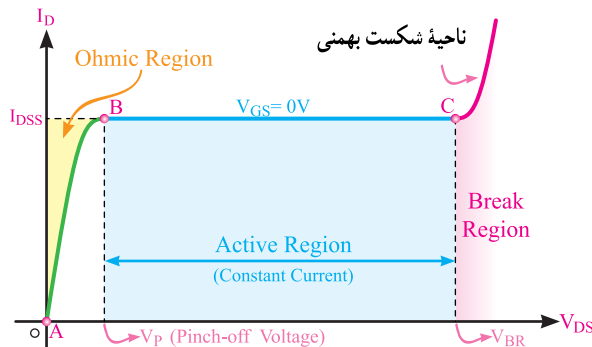
۳-۳-۵ ناحیه شکست بهمنی : اگر V_{DS} از حد

معینی تجاوز کند ، در محل اتصال PN که در بایاس مخالف قرار

دارد پدیده شکست بهمنی رخ می دهد یعنی جریان درین به سرعت

افزایش می یابد و ترانزیستور آسیب می بیند . ناحیه شکست در

روی منحنی شکل ۳-۲۱ نشان داده شده است .



شکل ۳-۲۱- ناحیه شکست بهمنی روی منحنی مشخصه JFET

$$V_{DS(tr)} = V_P + V_{GS}$$

به دست می آید .

در ناحیه اشباع ، مقدار جریان I_D را می توان از رابطه زیر

به دست آورد :

$$I_D = I_{DSS}(1 - \frac{V_{GS}}{V_{GS(off)}})^2$$

در این رابطه ، I_{DSS} جریان اشباع ترانزیستور در حالتی

است که پیوند گیت سورس بایاس نشده باشد (یعنی $V_{GS} = 0$

باشد) مقدار I_{DSS} برای ترانزیستورهای معمولی در حدود ۱۰ تا

۳۰ میلی آمپر است .

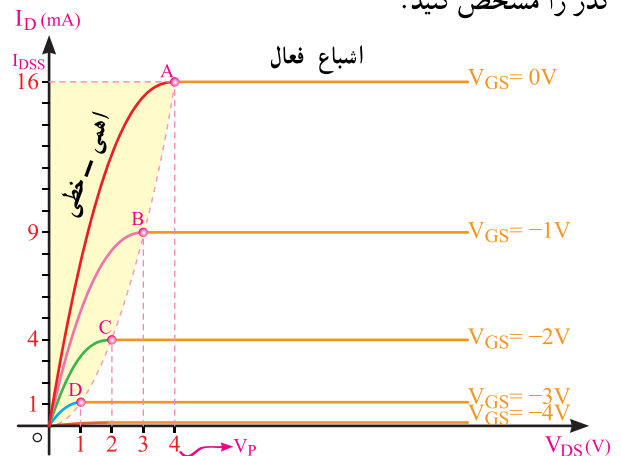
مثال ۳-۲ : در یک JFET با کانال N اگر $V_P = 4V$

باشد به ازای V_{GS} برابر با صفر ، -۱ ، -۲ و -۳ ولت ، ولتاژ

درین سورس گذر ($V_{DS(tr)}$) را محاسبه کنید ، سپس روی منحنی

مشخصه ترانزیستور که در شکل ۳-۲ ترسیم شده است ، نقاط

گذر را مشخص کنید .



شکل ۳-۲- مقادیر $V_{DS(tr)}$ روی منحنی مشخصه

پاسخ : چون $V_{DS(tr)} = V_P + V_{GS}$ است ؛ برای هریک از

مقادیر V_{GS} ، ولتاژ گذر را محاسبه می کنیم . در $V_G = 0$ مقدار

ولتاژ گذر برابر است با $V_{GS} = 4 + (0) = 4V$

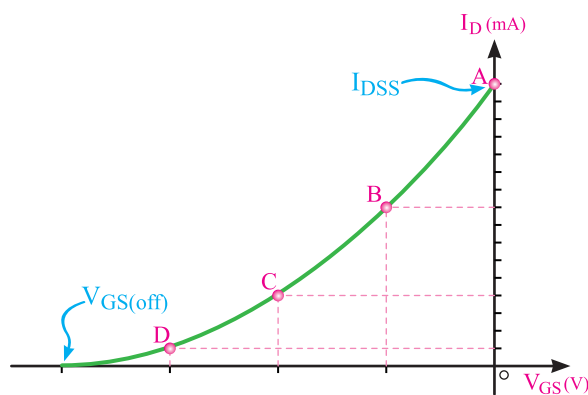
همان طور که از مقدار به دست آمده مشاهده می شود ، در

$V_{GS} = 0$ ولتاژ درین سورس گذر برابر با V_P است . این مقدار

حداکثر ولتاژ درین سورس گذر است . برای $V_{GS} = -1V$ مقدار

۳-۴- منحنی مشخصه انتقالی JFET Transfer characteristic

مقدار V_{GS} از صفر ولت تا مقدار V_{GSoff} می تواند تغییر کند. این تغییرات ولتاژ، جریان درین را از $I_D = 0$ تا I_{DSS} کنترل می کند. به همین دلیل نسبت بین دو کمیت V_{GS} و I_D بسیار مهم است. منحنی تغییرات I_D برحسب تغییرات V_{GS} در شرایطی که V_{DS} ثابت است را منحنی مشخصه انتقالی می گویند. در شکل ۳-۲۲ منحنی مشخصه انتقالی برای یک نوع JFET با کانال N رسم شده است.



شکل ۳-۲۲- منحنی مشخصه انتقالی JFET

برای رسم این منحنی کافی است مراحل زیر را انجام دهیم:

الف) V_{GS} را برای تعداد مشخصی از نقاط در محدوده صفر تا V_{GSoff} انتخاب کنیم.

ب) با استفاده از فرمول $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(off)}}\right)^2$ مقدار I_D را در محدوده I_{DSS} تا $I_D = 0$ برای مقادیر V_{GS} انتخاب شده، محاسبه کنیم.

پ) با استفاده از مشخصات به دست آمده برای I_D و V_{GS} ، نمودار را در یک دستگاه محور مختصات رسم کنیم.

مثال ۳-۴: در یک JFET با کانال N، $I_{DSS} = 12 \text{ mA}$ و $V_p = 5 \text{ V}$ است. منحنی مشخصه انتقالی را رسم کنید.

پاسخ: چون $V_p = 5 \text{ V}$ است مقدار V_{GSoff} برابر -5 ولت می شود. حدود تغییرات V_{GS} را از صفر تا -5 ولت در نظر می گیریم. ابتدا V_{GS} را صفر ولت در نظر می گیریم سپس I_D را

محاسبه می کنیم.

$$V_{GS} = 0 \text{ V} \Rightarrow I_D = 12 \left(1 - \frac{0}{-5}\right)^2$$

$$I_D = 12 \text{ mA} = I_{DSS}$$

$$I_{D_1} = 12 \text{ mA}$$

برای V_{GS} برابر -1 ولت داریم:

$$V_{GS} = -1 \text{ V} \Rightarrow I_{D_1} = 12 \left(1 - \frac{-1}{-5}\right)^2$$

$$I_{D_1} = 12 \left(\frac{4}{5}\right)^2 = 7.68 \text{ mA}$$

$$I_{D_1} = 7.68 \text{ mA}$$

به همین ترتیب به ازای V_{GS} برابر -2 ، -3 ، -4 و -5 ولت I_D را محاسبه می کنیم.

$$V_{GS} = -2 \text{ V} \Rightarrow I_{D_2} = 12 \left(1 - \frac{-2}{-5}\right)^2$$

$$I_{D_2} = 12 \left(\frac{9}{25}\right)^2 = 4.32 \text{ mA}$$

$$I_{D_2} = 4.32 \text{ mA}$$

$$V_{GS_3} = -3 \text{ V} \Rightarrow I_{D_3} = 12 \left(1 - \frac{-3}{-5}\right)^2$$

$$I_{D_3} = 12 \left(\frac{4}{5}\right)^2 = 1.92 \text{ mA}$$

$$I_{D_3} = 1.92 \text{ mA}$$

$$V_{GS} = -4 \Rightarrow I_{D_4} = 12 \left(1 - \frac{-4}{-5}\right)^2$$

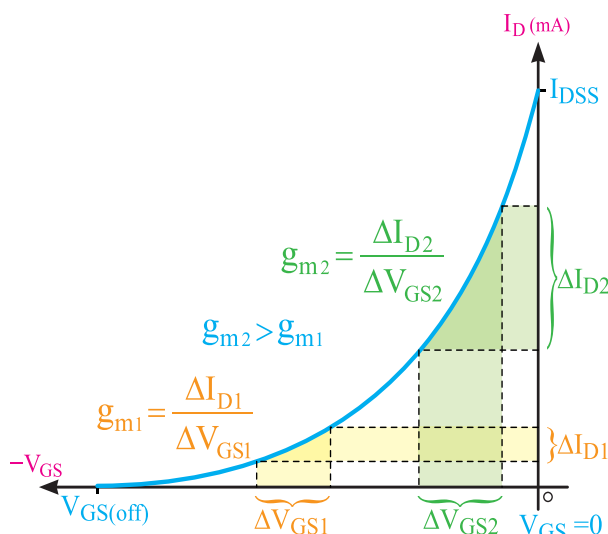
$$I_{D_4} = 12 \left(\frac{1}{5}\right)^2 = 0.48 \text{ mA}$$

$$I_{D_4} = 0.48 \text{ mA}$$

به ازای V_{GS} برابر -5 ولت I_D برابر صفر به دست می آید زیرا در این حالت $V_{GS} = V_{GSoff}$ است.

$$V_{GS_5} = -5 \Rightarrow I_{D_5} = 12 \left(1 - \frac{-5}{-5}\right)^2$$

$$I_{D_5} = 12 (1 - 1)^2 = 0 \text{ mA}$$



شکل ۳-۲۴ نحوه به دست آوردن g_m

نکته مهم: در صورتی که نسبت I_D به V_{GS} را در یک نقطه به دست آوریم، این مقدار را هدایت استاتیک (Static) می نامند.

$$g_m = \frac{I_D}{V_{GS}}$$

۳-۵ برگه اطلاعات

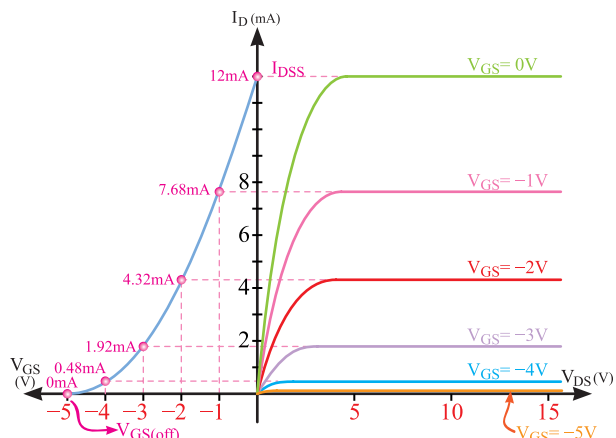
همان طور که قبلاً گفته شد، مشخصات فنی ترانزیستورهای اثر میدان در برگه های اطلاعات (Data sheet) داده می شود. برای دسترسی اطلاعات کامل می توانید به سایت Alldatasheet.com

مراجعه نمایید. در ادامه برخی از مشخصات یک نمونه JFET با کانال N با شماره LS۸۴۶ آمده است.

نکته مهم: در صورت طرح سؤال جهت آزمون، جداول مربوط به datasheet به زبان اصلی حتماً در اختیار هرجویان قرار داده شود.

$$I_{D_s} = 0 \text{ mA}$$

منحنی تغییرات I_D بر حسب تغییرات V_{GS} همراه با خانواده منحنی های تغییرات I_D بر حسب تغییرات V_{GS} و V_{DS} در شکل ۳-۲۳ رسم شده است.



شکل ۳-۲۳ منحنی $V_{GS} - I_D$ و منحنی $V_{DS} - I_D$ و ارتباط آن ها با یکدیگر

۳-۴-۱ هدایت انتقالی (g_m) و نحوه به دست آوردن آن: نسبت تغییرات جریان درین (ΔI_D) به تغییرات ولتاژ گیت سورس (ΔV_{GS}) به ازای ولتاژ درین سورس ثابت را هدایت انتقالی دینامیک در JFET می نامند و آن را با g_m نشان می دهند. واحد g_m به صورت $\left[\frac{1}{\Omega} \right]$ یا زیمنس [S] است.

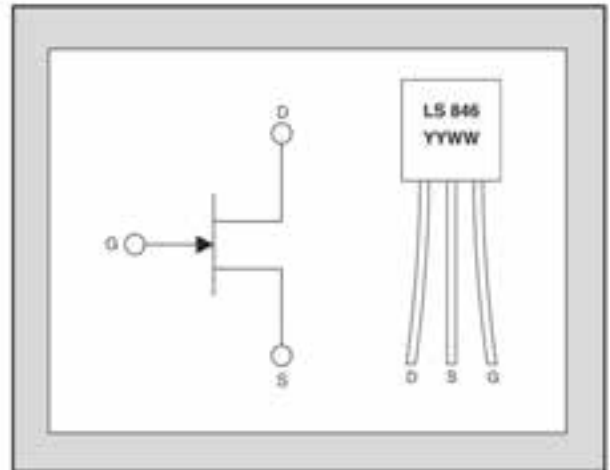
$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} \bigg|_{V_{DS} = \text{ثابت}}$$

چون منحنی مشخصه انتقالی برای JFET غیرخطی است هدایت انتقالی در نقاط مختلف آن متفاوت است. با محاسبه اثبات می شود که g_m در نواحی نزدیک به $V_{GS} = 0$ بزرگ تر از انتهای منحنی یعنی نواحی نزدیک به V_{GSoff} است. معمولاً مقدار g_m در FET های مختلف بین ۱ تا ۱۰ میلی زیمنس است. g_m عامل مهمی برای تعیین میزان بهره ولتاژ در یک تقویت کننده JFET است. در شکل ۳-۲۴ چگونگی به دست آوردن g_m از روی منحنی مشخصه انتقالی، نشان داده شده است.

LS846

LOW NOISE, LOW LEAKAGE SINGLE N-CHANNEL JFET

JFET، کانال N، نویز و جریان نشتی کم



شکل ۲۵-۳

FEATURES		مشخصه‌ها
ULTRA LOW NOISE	نویز فوق‌العاده کم	$e_n = 3\text{nV}/\text{Hz}$
LOW GATE LEAKAGE	جریان نشتی گیت بسیار کم	$I_G = 15\text{pA}$
ABSOLUTE MAXIMUM RATINGS¹		مقادیر ماکزیمم مطلق
@ 25 °C (unless otherwise stated)		در درجه حرارت ۲۵ درجه سانتی‌گراد
Maximum Temperatures		حداکثر درجه حرارت
Storage Temperature	درجه حرارت نگهداری	-65 to +150 °C
Operating Junction Temperature	درجه حرارت پیوند	-55 to +135 °C
Maximum Power Dissipation		حداکثر توان قابل تحمل
Continuous Power Dissipation @ +125 °C		350mW
Maximum Currents		جریان ماکزیمم
Gate Forward Current	جریان موافق گیت	$I_{G(F)} = 50\text{mA}$
Maximum Voltages		ماکزیمم ولتاژ
Drain to Source	درین سورس	$V_{DS} = 60\text{V}$
Gate to Source	گیت سورس	$V_{GS} = 60\text{V}$
Gate to Drain	گیت درین	$V_{GD} = 60\text{V}$

مشخصه‌های الکتریکی در ۲۵ درجه سانتی‌گراد
(در غیر این صورت قید شده است.)

ELECTRICAL CHARACTERISTICS @ 25 °C (unless otherwise stated)

SYMBOL	CHARACTERISTIC	مشخصه‌ها	MIN	TYP	MAX	UNITS	CONDITIONS
BV_{GSS}	Gate to Source Breakdown Voltage		60			V	$V_{DS} = 0, I_D = 1\text{nA}$
$V_{GS(OFF)}$	Gate to Source Pinch-off Voltage		1		3.5	V	$V_{DS} = 15\text{V}, I_D = 1\text{nA}$
V_{GS}	Gate to Source Operating Voltage		0.5		3.5	V	$V_{DS} = 15\text{V}, I_D = 500\mu\text{A}$
I_{DSS}	Drain to Source Saturation Current		1.5	5	15	mA	$V_{DG} = 15\text{V}, V_{GS} = 0$
I_G	Gate Operating Current			15	50	pA	$V_{DG} = 15\text{V}, I_D = 500\mu\text{A}$
I_G	Gate Operating Current Reduced V_{DG}			5	30	pA	$V_{DG} = 3\text{V}, I_D = 500\mu\text{A}$
I_{OSS}	Gate to Source Leakage Current				100	pA	$V_{DG} = 15\text{V}, V_{DS} = 0$
Y_{os}	Typical Output Conductance			0.2	2	μmho	$V_{DG} = 15\text{V}, I_D = 500\mu\text{A}$
NF	Noise Figure				0.5	dB	$V_{DS} = 15\text{V}, V_{GS} = 0, R_G = 10\text{M}\Omega, f = 100\text{Hz}, \text{NBW} = 6\text{Hz}$
e_n	Noise Voltage				11	nV/ $\sqrt{\text{Hz}}$	$V_{DS} = 15\text{V}, I_D = 500\mu\text{A}, f = 10\text{Hz}, \text{NBW} = 1\text{Hz}$
C_{iss}	Common Source Input Capacitance				8	pF	$V_{DS} = 15\text{V}, I_D = 500\mu\text{A}$

۳-۶ الگوی پرسش

کامل کردنی

- ۳-۶-۱ ترانزیستورهای BJT عناصری کنترل شده با و ترانزیستورهای FET عناصری کنترل شده با هستند.
- ۳-۶-۲ مقاومت ورودی ترانزیستورهای BJT به علت وجود نسبتاً است.

صحیح یا غلط

- ۳-۶-۳ مقاومت ورودی ترانزیستورهای اثر میدان بسیار زیاد است.

□ صحیح □ غلط

- ۳-۶-۴ FET یک ترانزیستور تک قطبی (unipolar) است.

□ صحیح □ غلط

- ۳-۶-۵ برای JFET با کانال N، ولتاژ گیت سورس می تواند از صفر تا $V_{GS(Off)}$ تغییر کند.

□ صحیح □ غلط

چهار گزینه ای

- ۳-۶-۶ در یک ترانزیستور JFET کانال بین و ایجاد می شود.

(۱) گیت و درین (۲) درین و سورس

(۳) گیت و سورس (۴) ورودی و خروجی

- ۳-۶-۷ کدام گزینه در مورد اتصال پایه های JFET با

کانال N صحیح است (بایاس DC) ؟

(۱) اتصال PN گیت سورس در بایاس مخالف

(۲) اتصال PN گیت سورس در بایاس موافق

(۳) اتصال کوتاه درین به زمین

(۴) اتصال کوتاه درین به گیت

- ۳-۶-۸ در $V_{GS}=0$ جریان درین زمانی ثابت می ماند که

V_{DS} برابر با شود.

(۱) قطع V_{DD} (۲) V_P (۳) V_P (۴) صفر ولت

- ۳-۶-۹ ناحیه جریان ثابت در FET بین کدام دو ناحیه

است؟

(۱) قطع و اشباع (۲) قطع و بحرانی (Pinch off)

- (۳) صفر و I_{DSS} (۴) بحرانی (V_P) و شکست بهمنی (Break down)

۳-۶-۱۰ I_{DSS} کدام است؟

(۱) جریان درین وقتی سورس اتصال کوتاه است.

(۲) جریان درین در حالتی که مدار قطع است.

(۳) حد متوسط (میانگین) جریان درین

(۴) حداکثر جریان ممکن درین

کوتاه پاسخ

۳-۶-۱۱ از datasheet یک JFET

$V_{GS(Off)} = -4V$ استخراج شده است.

V_P (ولتاژ Pinch off) چه قدر است؟

۳-۶-۱۲ منحنی مشخصه انتقالی در JFET منحنی

تغییرات کدام کمیت ها نسبت به یکدیگر است؟

تشریحی

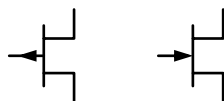
۳-۶-۱۳ در یک JFET با کانال P، ولتاژ گیت سورس

از ۱ تا ۳ ولت افزایش می یابد. الف) آیا ناحیه تهی از بار باریک تر می شود یا پهن تر چرا؟ شرح دهید.

ب) آیا مقاومت کانال کم می شود یا زیاد؟ شرح دهید.

۳-۶-۱۴ نام پایه های JFET در شکل ۳-۲۶ را روی هر

پایه بنویسید و سپس نوع کانال (N یا P) را مشخص کنید.

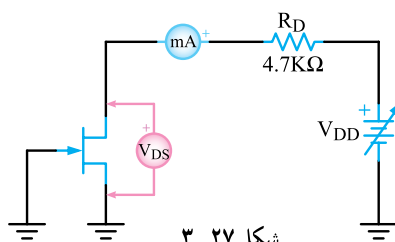


شکل ۳-۲۶

محاسباتی

۳-۶-۱۵ فرض کنید JFET شکل ۳-۲۷ دارای

$V_{GS(Off)} = -4V$ ولت است. منبع ولتاژ V_{DD} را افزایش می دهیم تا نقطه ای که آمپر متر جریان ثابتی را نشان دهد. در این نقطه ولت متر چه ولتاژی را نشان می دهد؟ (کم ترین ولتاژ V_{DS} که در آن مقدار I_D ثابت می شود).



شکل ۳-۲۷

و بتواند بایاس گیت سورس را تحت تأثیر قرار دهد. در صورت نبودن مقاومت R_G ، ولتاژ گیت سورس همواره ثابت و برابر $-V_{GG}$ باقی می ماند. افت ولتاژ در دو سر R_G از نظر DC برابر است با:

$$V_{RG} = R_G I_G = R_G (0) = 0 \text{ V}$$

برای تعیین ولتاژ گیت سورس معادله KVL را در حلقه

ورودی می نویسیم:

$$+V_{GG} - R_G I_G + V_{GS} = 0$$

با صفر بودن افت ولتاژ دو سر R_G داریم:

$$V_{GG} + V_{GS} = 0$$

لذا $V_{GS} = -V_{GG}$ است.

در صورتی که ترانزیستور در ناحیه اشباع کار کند، جریانی که از پایه درین ترانزیستور می گذرد برابر است با:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(Off)}}\right)^2$$

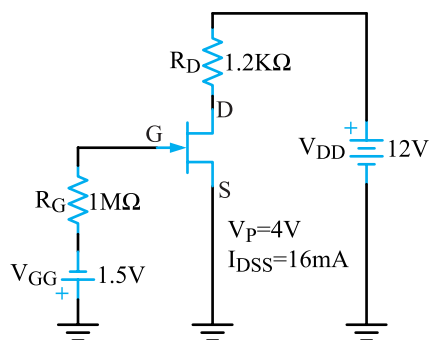
این جریان در دو سر مقاومت R_D افت پتانسیل برابر $I_D R_D$ ایجاد می کند بنابراین افت پتانسیل دو سر درین سورس برابر است با:

$$V_{DS} = V_{DD} - I_D R_D$$

این معادله بیانگر چگونگی تغییر I_D بر اثر تغییر V_{DS} است، که با استفاده از آن معادله خط بار DC به دست می آید.

مثال ۳-۵: جریان درین (I_D) و ولتاژ درین سورس

(V_{DS}) و توان تلف شده در ترانزیستور ($P_D = V_{DS} \times I_D$) را در مدار شکل ۳-۲۹ محاسبه کنید.



شکل ۳-۲۹

۳-۶-۱۶ یک JFET با کانال N در ناحیه اهمی بایاس شده است. اگر $V_{DS} = 0/25$ ولت و $I_D = 20^\circ$ میکروآمپر باشد مقاومت درین سورس (R_{DS}) را محاسبه کنید.

۳-۶-۱۷ در یک JFET با کانال N که در ناحیه اشباع (فعال) کار می کند، مشخصات زیر حاکم است.

$$I_{DSS} = 18 \text{ mA}, V_P = 3 \text{ V}, V_{GS} = -1 \text{ V} \text{ مقدار } I_D$$

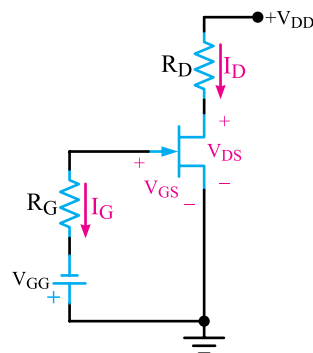
را محاسبه کنید.

۳-۷ تغذیه JFET

برای ایجاد یک نقطه کار مناسب، باید ترانزیستور FET را نیز مانند ترانزیستور BJT بایاس کنیم. روش های بایاس FET با روش های بایاس BJT تفاوت اساسی ندارند؛ فقط باید توجه داشت که چون مقاومت ورودی FET خیلی زیاد است، جریان بسیار کمی (حدود چند نانوآمپر یا پیکوآمپر) از گیت عبور می کند که می توان از آن صرف نظر کرد. در محاسبات I_G را مساوی صفر می گیرند. این موضوع محاسبات را ساده تر می کند.

۳-۷-۱ بایاس مستقل JFET: ساده ترین روش

بایاس کردن FET استفاده از دو منبع ولتاژ جداگانه است که برای تأمین ولتاژهای تغذیه درین و گیت به کار می رود. این روش را بایاس ثابت می نامند. در شکل ۳-۲۸ باتری V_{DD} برای بایاس درین سورس و باتری V_{GG} برای بایاس گیت سورس در نظر گرفته شده است.



شکل ۳-۲۸ بایاس ثابت JFET

مقاومت R_G به این علت در مدار قرار داده شده است تا هر سیگنال ac که به گیت اعمال می شود، در دو سر آن افت کند

و $V_{DS} = V_{DD}$ است زیرا

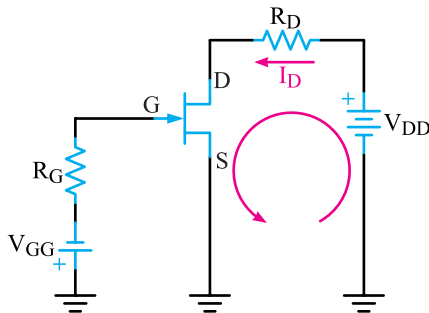
$$V_{DS} = V_{DD} - R_D I_D$$

$$V_{DS} = 12 - (1/2)(0) = 12V$$

تحقیق کنید: آیا می‌توانیم ترانزیستور نوع JFET را با لامپ‌های خلأ مقایسه کنیم؟ با مراجعه به سایت‌های اینترنتی نتیجه حاصل را به کلاس ارائه دهید.

۲-۷-۳- تحلیل ترسیمی بایاس مستقل با استفاده

از منحنی مشخصه خروجی JFET: در این قسمت به تحلیل ترسیمی چگونگی تغذیه DC یک مدار JFET می‌پردازیم. هر چند محاسبات ریاضی مثال قبل برای تعیین جریان I_D و ولتاژ V_{DS} مفهوم روشن و واضحی دارد. برای به دست آوردن نقطه کار تقویت کننده ترانزیستوری مانند مدار شکل ۳-۳۰، ابتدا معادله خط بار DC را می‌نویسیم. برای این منظور معادله KVL در حلقه خروجی را می‌نویسیم.



شکل ۳-۳۰ مدار تغذیه مستقل

$$-V_{DD} + R_D I_D + V_{DS} = 0$$

اگر معادله خط بار را به دست آوریم به یک خط راست می‌رسیم زیرا

$$V_{DS} = V_{DD} - R_D I_D \Rightarrow I_D R_D = -V_{DS} + V_{DD}$$

یا

$$I_D = \left(-\frac{1}{R_D}\right)V_{DS} + \frac{V_{DD}}{R_D}$$

این معادله که شبیه به معادله خط بار استاتیکی ترانزیستور

پاسخ: چون V_p برابر ۴ ولت است لذا $V_{GS(Off)}$ برابر ۴- ولت می‌شود. با توجه به شکل داریم:

$$V_{GQ} = V_{GS} = V_{GG} = -1/5V$$

با مقایسه مقادیر $V_{GS(Off)} = -4V$ و $V_{GSQ} = -1/5V$ می‌توانیم تشخیص دهیم JFET در ناحیه قطع کار نمی‌کند. فرض می‌کنیم ترانزیستور در ناحیه اشباع کار می‌کند، لذا از فرمول $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(Off)}}\right)^2$ استفاده می‌کنیم و مقدار I_D را به دست می‌آوریم.

$$I_D = 16 \left(1 - \frac{-1/5}{-4}\right)^2 = 16 \left(\frac{4-1/5}{4}\right)^2$$

$$I_D = (2/5)^2 = 6/25 \text{ mA}$$

با استفاده از معادله KVL در حلقه خروجی V_{DS} را محاسبه می‌کنیم.

$$V_{DS} = V_{DD} - R_D I_D = 12 - (1/2)(6/25)$$

$$V_{DS} = 4/5V$$

توان تلف شده ترانزیستور از رابطه $P_T = V_{DS} \times I_D$ محاسبه

می‌شود.

$$P_T = (4/5)(6/25) = 28/125 \text{ mW}$$

چون فرض کرده‌ایم FET در ناحیه اشباع کار می‌کند، این فرض را اثبات می‌کنیم. برای این منظور $V_{DS(tr)}$ را محاسبه می‌کنیم.

$$V_{DS(tr)} = V_p + V_{GS} = 4 + (-1/5)$$

$$V_{DS(tr)} = 2/5V$$

چون $V_{DS} = 4/5V$ بزرگ‌تر از $V_{DS(tr)}$ است، فرض ما صحیح بوده و FET در ناحیه اشباع کار می‌کند.

مثال ۳-۶: در مدار شکل ۳-۲۹ اگر V_{GG} برابر ۵-

ولت شود، ناحیه کار را مشخص کنید، سپس I_D و V_{DS} را محاسبه نمایید.

پاسخ: چون $V_p = 4V$ است مقدار $V_{GS(Off)} = -4V$

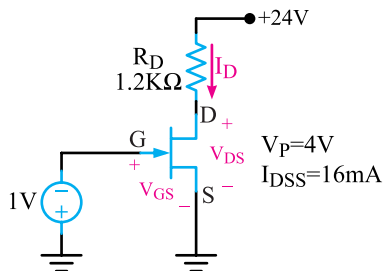
می‌شود. چنانچه V_{GSQ} برابر با ۴- یا منفی‌تر از آن باشد

ترانزیستور در حالت قطع قرار دارد. در این مثال $V_{GSQ} = -5V$

است. بنابراین ترانزیستور قطع است. در حالت قطع $I_D = 0$

متغیرهای مدار طوری انتخاب شوند که ترانزیستور همواره در ناحیه خطی (اهمی) باقی بماند.

مثال ۳-۷: الف) نقطه کار مدار شکل ۳-۳۲ را به روش محاسباتی به دست آورید. ب) خط بار DC مدار را روی منحنی مشخصه رسم کنید و نقطه کار آن را به دست آورید. پ) اگر مقاومت R_D به $2K\Omega$ افزایش یابد و I_{DQ} همان مقدار قبل باشد در وضعیت کار ترانزیستور چه تغییری حاصل می شود؟ شرح دهید.



شکل ۳-۳۲

پاسخ: الف) ولتاژ درین سورس گذر را محاسبه می کنیم.

$$V_{DS}(tr) = V_P + V_{GS} \Rightarrow$$

$$V_{DS}(tr) = 4 - 1 = 3V$$

اگر ترانزیستور در ناحیه اشباع باشد، I_D را از فرمول زیر به دست می آوریم:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(Off)}}\right)^2 = 16 \left(1 - \frac{1}{4}\right)^2 = 9mA$$

با معلوم بودن V_{DS} ، I_D را محاسبه می کنیم.

$$V_{DS} = V_{DD} - I_D R_D = 24 - (9 \times 1/2)$$

$$V_{DS} = 13.5V$$

چون $V_{DS} > V_{DS}(tr)$ است پس ترانزیستور در ناحیه اشباع کار می کند.

ب) برای رسم خط بار DC، معادله خط بار را می نویسیم.

$$-V_{DD} + R_D I_D + V_{DS} = 0$$

در معادله عدد گذاری می کنیم.

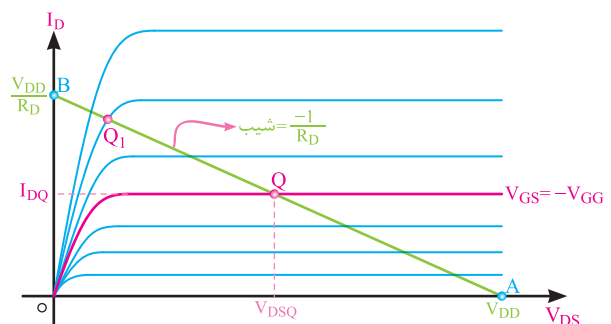
$$-24 + 1/2 I_D + V_{DS} = 0$$

BJT است، معادله خط بار FET نامیده می شود. برای رسم خط بار کافی است دو نقطه آن را در صفحه مختصات مشخص کنیم و با یک خط راست آن ها را به یک دیگر وصل نماییم. دو نقطه می تواند نقطه قطع و نقطه اشباع کامل باشد.

اگر ترانزیستور در حالت قطع کامل باشد (یعنی $I_D = 0$ شود)، آن گاه $V_{DS} = V_{DD}$ می شود و نقطه کار روی محور افقی قرار می گیرد (نقطه A).

اگر ترانزیستور در اشباع کامل باشد، (یعنی $V_{DS} = 0$ شود)،

آن گاه $I_D = \frac{V_{DD}}{R_D}$ می شود و نقطه کار روی محور قائم قرار می گیرد (نقطه B). چنانچه نقطه A را به B وصل کنیم خط بار رسم می شود. از محل تلاقی خط بار با منحنی هایی مانند $V_{GS} = -V_{GG}$ می توانیم مقادیر I_D و V_{DS} را مشخص کنیم. این نقطه که در شکل ۳-۳۱ با حرف Q نشان داده شده است را نقطه کار ترانزیستور می نامند.



شکل ۳-۳۱ منحنی مشخصه JFET و خط بار استاتیکی مربوط به مدار

شکل ۳-۳۰

اگر V_{GS} تغییر کند، نقطه کار روی خط بار AB جابه جا می شود. فرض کنیم V_{GS} آن قدر افزایش یابد (گیت مثبت تر شود) که نقطه کار به موقعیت Q_1 منتقل شود. در این صورت، نقطه کار ترانزیستور در خارج از منطقه اشباع (فعال) قرار می گیرد و فرض های مربوط به ناحیه اشباع را در محاسبات مدار نمی توان در نظر گرفت.

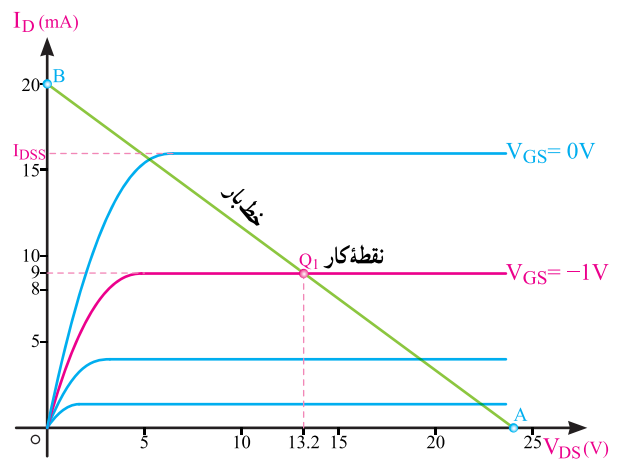
اگر لازم است ترانزیستور در ناحیه اشباع کار کند، باید مقدار V_{DS} بیش از $V_{DS}(tr)$ باشد. چنانچه از FET به عنوان یک مقاومت کنترل شده با ولتاژ استفاده شود، باید V_{GS} و دیگر

دو نقطه از خط را به دست می آوریم.

$$(A) \text{ نقطه قطع } \begin{cases} I_D = 0 \\ V_{DS} = V_{DD} = 24V \end{cases}$$

$$(B) \text{ نقطه اشباع } \begin{cases} I_D = \frac{V_{DD}}{R_D} = \frac{24}{1/2} = 20mA \\ V_{DS} = 0 \end{cases}$$

این دو نقطه را روی منحنی مشخصه با حروف A و B علامت گذاری می کنیم. با اتصال دو نقطه A و B به یکدیگر خط بار ترسیم می شود. از تقاطع این خط با منحنی $V_{GS} = -1V$ نقطه کار به دست می آید. شکل ۳-۳۳ خط بار و نقطه کار Q را روی منحنی مشخصه نشان می دهد.



شکل ۳-۳۳ — منحنی مشخصه خروجی و خط بار

مختصات نقطه کار

$$\begin{cases} I_{DQ} = 9mA \\ V_{DSQ} = 13.2V \end{cases}$$

است که این مقادیر با نتایج به دست آمده از طریق محاسبه کاملاً تطبیق دارد.

پ) با افزایش مقدار مقاومت R_D به $3k\Omega$ اگر محاسبه های I_D و V_{DS} را با این فرض که ترانزیستور هم چنان در ناحیه اشباع باقی مانده است دنبال کنیم، در این شرایط چون مقدار I_D برابر همان مقدار قبلی (9mA) است می توانیم مقدار V_{DS} را به دست آوریم.

$$V_{DS} = V_{DD} - I_D R_D = 24 - (9 \times 3) = -3V$$

مقدار به دست آمده برای V_{DS} غیر قابل قبول است؛ زیرا ۶ ولت کم تر از $V_{DS(tr)}$ است. لذا نقطه کار ترانزیستور در ناحیه اهمی

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(Off)}}\right)^2$$

قرار دارد، در این ناحیه فرمول $-V_{DD} + R_D I_D + V_{DS} = 0$ اعتبار ندارد. با رسم خط بار استاتیکی ترانزیستور، مشخصات دقیق نقطه کار به دست می آید. معادله خط بار را می نویسیم:

$$-V_{DD} + R_D I_D + V_{DS} = 0$$

در معادله خط بار عدد گذاری می کنیم.

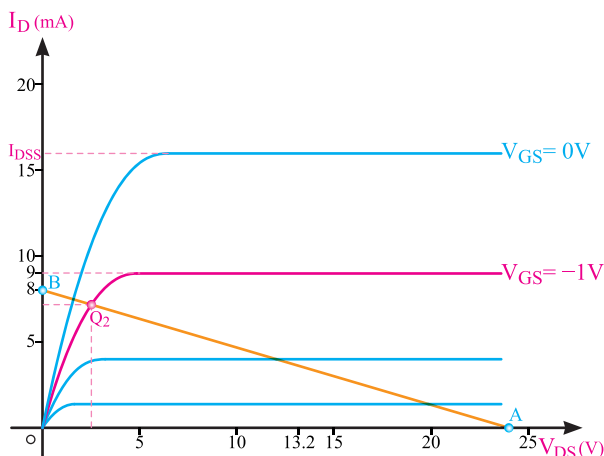
$$-24 + 3I_D + V_{DS} = 0$$

دو نقطه از خط را به دست می آوریم.

$$(A) \text{ نقطه قطع } \begin{cases} I_D = 0 \\ V_{DS} = 24V \end{cases}$$

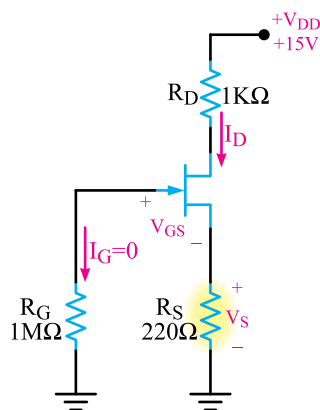
$$(B) \text{ نقطه اشباع } \begin{cases} I_D = \frac{24}{3} = 8mA \\ V_{DS} = 0 \end{cases}$$

دو نقطه را روی محورهای مختصات مشخص می کنیم و با استفاده از آن ها خط بار را رسم می نماییم. از تقاطع خط بار با منحنی $V_{GS} = -1V$ نقطه کار از روی منحنی مشخصه به دست می آید. این نقطه را در شکل ۳-۳۴ با Q_2 نشان داده ایم. همان طور که مشاهده می شود، نقطه کار در ناحیه اهمی قرار گرفته است.



شکل ۳-۳۴ — خط بار و نقطه کار

مثال ۳-۸: در مدار شکل ۳-۳۶ جریان $I_D = 5\text{mA}$ است مقدار V_{GS} و V_{DS} را محاسبه کنید.



شکل ۳-۳۶

پاسخ: برای محاسبه V_{DS} معادله KVL را در حلقه خروجی می نویسیم.

$$V_{DD} = R_D I_D + V_{DS} + R_S I_D$$

$$V_{DS} = V_{DD} - (R_S + R_D) I_D$$

در معادله عدد گذاری می کنیم.

$$V_{DS} = 15 - (220 + 1000) 5 \times 10^{-3} = 15 - 6 = 9\text{V}$$

$$V_{DS} = 9\text{V}$$

برای محاسبه مقدار V_{GS} ، باید مقادیر V_G و V_S محاسبه

کنیم.

$$V_G = R_G I_G = (1)(0) = 0\text{V}$$

$$V_S = R_S I_D = (220)(5) = 1.1\text{V}$$

$$V_{GS} = V_G - V_S = 0 - 1.1 = -1.1\text{V}$$

۳-۷-۴ تحلیل ترسیمی بایاس سرخود با استفاده

از منحنی مشخصه انتقالی: با استفاده از منحنی مشخصه

انتقالی JFET ابتدا نقطه کار $Q(I_D, V_{GS})$ را به دست می آوریم.

سپس از طریق محاسبه، مقدار V_{DS} را تعیین می کنیم. برای این

منظور معادله KVL در حلقه ورودی که معادله خط بار ورودی

است را می نویسیم:

$$V_{GS} = -R_S I_D$$

باید دو نقطه از خط بار را به دست آوریم. یک نقطه را در $I_D = 0$ در نظر

می گیریم، با توجه به معادله $V_{GS} = -R_S I_D$ مقدار $V_{GS} = 0$ به دست می آید.

۳-۷-۳ بایاس سرخود یا خود تغذیه (Self Bias):

بایاس سرخود یا خود تغذیه متداول ترین نوع بایاس JFET است.

می دانیم JFET باید طوری بایاس شود که همواره پیوند گیت

سورس در بایاس مخالف باشد. برای این منظور باید در JFET با

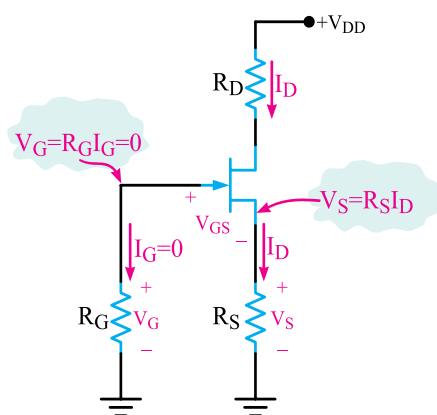
کانال N مقدار V_{GS} منفی و در JFET با کانال P، مقداری V_{GS}

مثبت باشد. برای دستیابی به این هدف می توان با استفاده از

یک منبع تغذیه (V_{DD})، درین سورس و گیت سورس را به درستی

بایاس کرد. شکل ۳-۳۵ مدار بایاس سرخود را برای JFET با

کانال N نشان می دهد.



شکل ۳-۳۵ مدار بایاس سرخود

R_G روی بایاس DC اثری ندارد، زیرا $I_G = 0$ است لذا

افت پتانسیلی در دو سر آن ایجاد نمی شود.

$$V_G = R_G I_G = R_G (0) = 0\text{V}$$

عبور I_D از مقاومت R_S افت پتانسیل $V_S = R_S I_D$ را در دو

سر مقاومت R_S ایجاد می کند. معادله ولتاژ در حلقه ورودی به

صورت زیر است:

$$V_{GS} + V_S - V_G = 0$$

در این معادله $V_G = 0$ و $V_S = I_D R_S$ است لذا خواهیم

داشت:

$$V_{GS} + I_D R_S = 0$$

$$V_{GS} = -R_S I_D$$

همان طور که مشاهده می شود افت پتانسیل دو سر R_S ،

گیت سورس را به درستی بایاس می کند.

پاسخ: معادله KVL در حلقه ورودی را می نویسیم.

$$V_{GS} = -R_S I_D$$

برای رسم خط بار دو نقطه را انتخاب می کنیم.

$$A) I_D = 0 \quad V_{GS} = (-0/68)(0) = 0V$$

$$B) \begin{cases} I_D = I_{DSS} = 4mA \\ V_{GS} = (-0/68)(4) = -2/72V \end{cases}$$

با استفاده از دو نقطه A و B، خط بار را روی منحنی مشخصه انتقالی رسم می کنیم. محل تلاقی خط بار با منحنی مشخصه انتقالی، مختصات نقطه کار را به ما می دهد. مختصات نقطه کار به شرح زیر است:

$$I_D = 2/25mA \quad V_{GS} = -1/52V$$

برای محاسبه V_{DS} ، معادله KVL را در حلقه خروجی می نویسیم و در معادله عددگذاری می کنیم.

$$-V_{DD} + R_D I_D + V_{DS} + R_S I_D = 0$$

$$V_{DS} = V_{DD} - R_D I_D - R_S I_D$$

$$V_{DS} = 19 - (2/2)(2/25) - (0/68)(2/25)$$

$$V_{DS} = 12/52V$$

تمرین کلاسی: با توجه به شکل ۳-۳۸ در صورتی که

V_{DD} برابر ۱۵ ولت و $R_S = 1K\Omega$ باشد، خط بار را رسم کنید و نقطه کار را تعیین نمایید.

۳-۷-۵- بایاس تقسیم کننده ولتاژ:

(Voltage Divider Bias): هر چند در روش خود تغذیه، مقاومت R_S با ایجاد فیدبک منفی تا حدودی موجب پایداری نقطه کار FET می شود، اگر بخواهیم مدار پایداری بیشتری داشته باشد، از مداری مطابق شکل ۳-۳۹ استفاده می کنیم. این مدار به طور هم زمان از بایاس تقسیم ولتاژ R_1 و R_2 و مدار خود تغذیه (مقاومت R_S) استفاده شده است. به همین دلیل به این تغذیه، تغذیه مرکب نیز می گویند.

با توجه به این که از گیت ترانزیستور جریانی نمی گذرد، ولتاژ گیت برابر افت پتانسیل در دو سر مقاومت R_2 است به

$$\text{نقطه اول (A)} \begin{cases} I_D = 0 \\ V_{GS} = 0 \end{cases}$$

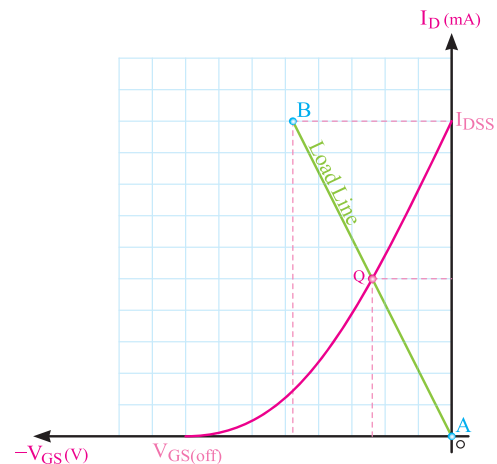
نقطه دیگر را در محل $I_D = I_{DSS}$ در نظر می گیریم، در این

صورت داریم:

$$V_{GS} = -R_S I_D = -R_S I_{DSS}$$

$$\text{نقطه دوم (B)} \begin{cases} I_D = I_{DSS} \\ V_{GS} = -R_S I_{DSS} \end{cases}$$

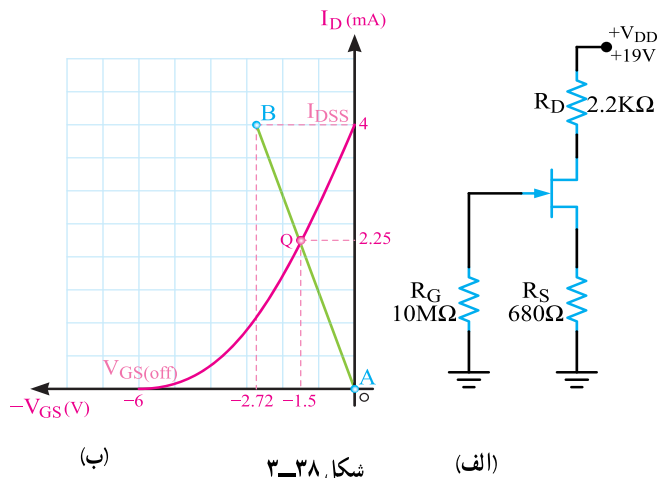
با تعیین این دو نقطه و اتصال آن ها به یک دیگر خط بار را رسم می کنیم (شکل ۳-۳۷). محل تلاقی خط بار با منحنی مشخصه انتقالی، نقطه کار Q است.



شکل ۳-۳۷- خط بار ورودی روی منحنی مشخصه انتقالی

مثال ۳-۹: برای مدار شکل ۳-۳۸ الف، نقطه کار Q

(V_{GS} و I_D) را از راه ترسیم خط بار ورودی روی منحنی مشخصه انتقالی (شکل ۳-۳۸ ب) به دست آورید، سپس V_{DS} را محاسبه کنید.



شکل ۳-۳۸

(الف)

(ب)

$$V_G = \frac{12}{V/A} = 1/54V$$

$$V_S = R_S I_D = (2/2)(1/54)$$

$$V_S = 3/34V$$

V_{GS} از تفاضل V_G و V_S به دست می آید.

$$V_{GS} = V_G - V_S = 1/54 - 3/34$$

$$V_{GS} = -1/8V$$

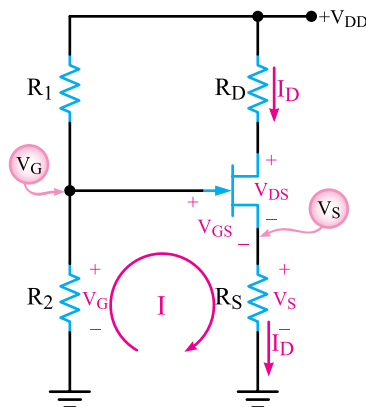
همان طور که مشاهده می شود، چون V_S از V_G بیش تر است، مقدار V_{GS} منفی می شود و ترانزیستور را به درستی بایاس می کند.

تمرین کلاسی: در مدار شکل ۳-۴۰ اگر $V_{DD} = 15/6V$

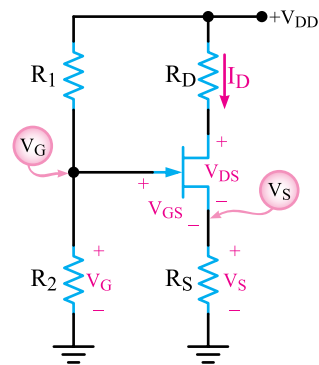
ولت و $V_D = 9V$ ولت انتخاب شود، I_D و V_{GS} را محاسبه کنید.

۳-۷-۶ تحلیل ترسیمی بایاس مدار با

تقسیم کننده ولتاژ مقاومتی با استفاده از منحنی مشخصه انتقالی: مانند تحلیل ترسیمی بایاس سرخود، در بایاس تقسیم کننده ولتاژ مقاومتی نیز می توان نقطه کار را از طریق رسم خط بار روی منحنی مشخصه انتقالی به دست آورد. در این نوع بایاس در نقطه $I_D = 0$ ، V_{GS} صفر نیست زیرا مقاومت های تقسیم کننده ولتاژ افت پتانسیلی در گیت ایجاد می نمایند. لذا در این مدار خط بار DC از مبدا مختصات یعنی از نقطه $(0,0)$ عبور نمی کند. معادله خط بار DC ورودی، معادله KVL در حلقه (۱) در شکل ۳-۴۱ است که به صورت زیر نوشته می شود.



شکل ۳-۴۱ مدار بایاس با تقسیم کننده ولتاژ مقاومتی



شکل ۳-۳۹ مدار بایاس تقسیم کننده ولتاژ

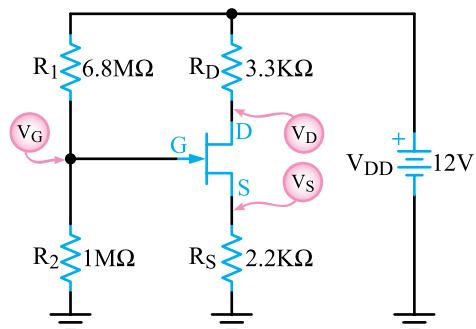
عبارت دیگر V_{DD} بین R_1 و R_2 تقسیم ولتاژ می شود و V_G از

رابطه $V_G = \frac{V_{DD} R_2}{R_1 + R_2}$ به دست می آید. چون این ولتاژ مثبت است، برای این که V_{GS} منفی شود باید پتانسیل سورس یعنی $R_S I_D$ بیش تر از V_G باشد تا پیوند گیت سورس در بایاس مخالف قرار گیرد.

V_{GS} از رابطه $V_{GS} = V_G - V_S$ به دست می آید.

مثال ۳-۱۰: در مدار بایاس تقسیم کننده ولتاژ شکل

۳-۴۰ اگر V_D برابر ۷ ولت باشد، I_D و V_{GS} را محاسبه کنید.



شکل ۳-۴۰ مدار تقسیم کننده ولتاژ

پاسخ: چون $V_D = V_{DD} - R_D I_D$ است لذا

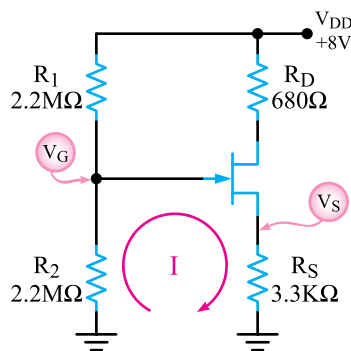
$$I_D = \frac{V_{DD} - V_D}{R_D}$$

$$I_D = \frac{12 - 7}{3/3} = \frac{5}{3/3} = 1/52mA$$

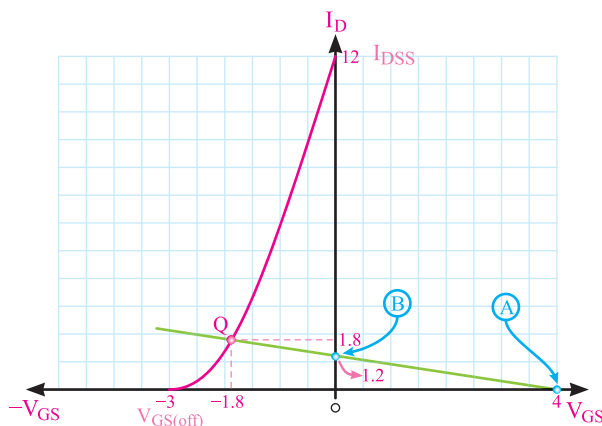
برای محاسبه V_{GS} مقادیر V_G و V_S را به دست می آوریم.

$$V_G = \frac{V_{DD} R_2}{R_1 + R_2} = \frac{12 \times 1}{6/8 + 1}$$

انتقالی به دست آورید. منحنی مشخصه انتقالی مطابق شکل ۳-۴۴ است.



شکل ۳-۴۳ مدار بایاس با تقسیم کننده ولتاژ مقاومتی



شکل ۳-۴۴ منحنی مشخصه انتقالی

پاسخ : معادله خط بار ورودی معادله KVL در حلقه (۱)

است.

$$-V_G + V_{GS} + R_S I_D = 0$$

ابتدا دو نقطه از خط بار را به دست می آوریم. یک نقطه را

در $I_D = 0$ در نظر می گیریم.

$$V_G = \frac{V_{DD} R_2}{R_1 + R_2} = \frac{8 \times 2/2}{2/2 + 2/2} = 4V$$

$$V_S = R_S I_D = (3/3)(0) = 0V$$

$$V_{GS} = V_G - V_S = 4 - (0) = 4V$$

$$\begin{cases} I_D = 0 \\ V_{GS} = V_G = 4V \end{cases} \text{ مختصات نقطه اول (A)}$$

نقطه دیگر را در $V_{GS} = 0$ در نظر می گیریم.

$$-V_G + V_{GS} + R_S I_D = 0$$

برای رسم این خط، یک نقطه را در $I_D = 0$ در نظر می گیریم

در این صورت داریم : $-V_G + V_{GS} + R_S(0) = 0 \Rightarrow -V_G + V_{GS} = 0$

$$-V_G + V_{GS} = 0$$

$$\text{یک نقطه (A)} \begin{cases} I_D = 0 \\ V_{GS} = V_G \end{cases}$$

نقطه دیگر را در $V_{GS} = 0$ در نظر می گیریم. در این صورت

داریم.

$$R_S I_D = V_G - V_{GS}$$

$$I_D = \frac{V_G - V_{GS}}{R_S} = \frac{V_G - 0}{R_S} = \frac{V_G}{R_S}$$

لذا نقطه دیگر خط بار دارای مختصاتی به شرح زیر است :

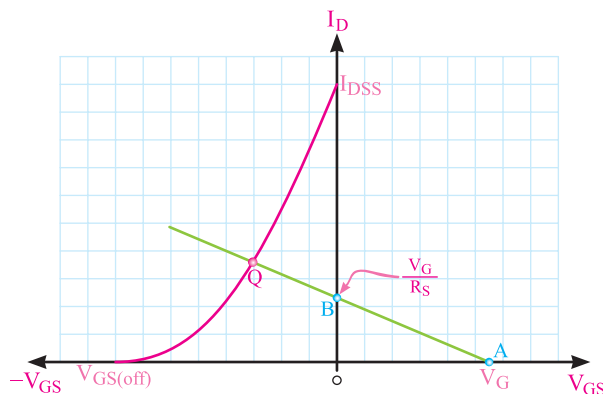
$$\text{نقطه دیگر (B)} \begin{cases} V_{GS} = 0 \\ I_D = \frac{V_G}{R_S} \end{cases}$$

با اتصال این دو نقطه به هم خط بار رسم می شود. محل

تلاقی خط بار با منحنی مشخصه انتقالی، نقطه کار Q را تعیین

می کند. شکل ۳-۴۲ منحنی مشخصه انتقالی، خط بار و نقطه

کار را نشان می دهد.



شکل ۳-۴۲ منحنی مشخصه انتقالی و خط بار و نقطه کار در بایاس با

تقسیم کننده مقاومتی

مثال ۳-۱۱ : نقطه کار مدار بایاس با تقسیم کننده ولتاژ

مقاومتی شکل ۳-۴۳ را با روش ترسیمی، روی منحنی مشخصه

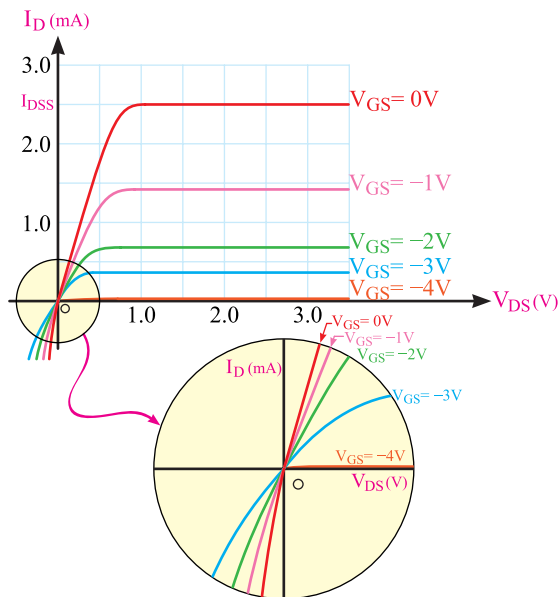
در این مدار $V_{GS} = -I_D R_S$ برابر با $V_{GS} = -I_D R_S$ است و V_{DS} از رابطه زیر به دست می آید.

$$V_{DS} = V_{DD} - I_D (R_S + R_L)$$

برای آن که $V_{DS} > V_P$ باشد، باید ولتاژ منبع تغذیه V_{DD} را نسبتاً بالا و حدود ۲۰ تا ۳۰ ولت در نظر بگیریم.

از این نوع منبع جریان می توانیم برای شارژ باتری های کوچک نیز استفاده کرد. در این مدار، باتری به جای R_L قرار می گیرد. چنانچه ولتاژ مدار بیش از ولتاژ باتری باشد، می توان با سری کردن یک پتانسیومتر با باتری ولتاژ دو سر آن را دقیقاً تنظیم کرد. در بازار دیودهایی به نام دیود جریان ثابت عرضه می شود. این دیودها در حقیقت FET هایی هستند که پایه گیت آن ها به وسیله یک مقاومت به پایه سورس متصل شده است و فقط پایه های درین و گیت جهت تغذیه در دسترس اند. دیودهای جریان ثابت می توانند جریانی از ۱۰۰ mA تا حدود ۳۰ mA را تأمین کنند.

۲-۸-۳ استفاده از FET به عنوان مقاومت متغیر: با توجه به شکل ۳-۴۶ ملاحظه کردید که اگر FET را طوری تغذیه کنیم که V_{DS} آن از حدود چند دهم ولت تجاوز نکند، مانند یک مقاومت اهمی عمل می کند. مقدار این مقاومت را می توان با تغییر V_{GS} تغییر داد. مقدار مقاومت اهمی در این ناحیه از رابطه زیر محاسبه می شود.



شکل ۳-۴۶ ناحیه اهمی و بخشی که کاملاً خطی است.

$$I_D = \frac{V_{RS}}{R_S} = \frac{V_G - V_{GS}}{R_S}$$

$$I_D = \frac{4 - (0)}{3 / 3} = 1 / 3 \text{ mA}$$

$$(B) \begin{cases} I_D = 1 / 3 \text{ mA} \\ V_{GS} = 0 \end{cases}$$

دو نقطه A و B را روی دستگاه مختصات در شکل ۳-۴۴ علامت می زنیم سپس آن دو نقطه را به هم وصل می کنیم. محل تلاقی خط بار با منحنی مشخصه انتقالی، مختصات نقطه کار را مشخص می کند.

$$Q \begin{cases} I_D = 1 / 76 \text{ mA} \\ V_{GS} = -1 / 8 \text{ V} \end{cases}$$

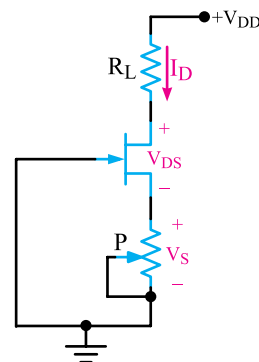
تحقیق کنید: با مراجعه به سایت All data sheet .com

برگه اطلاعات یک نمونه JFET را دانلود کنید، سپس در مورد منحنی های ورودی و خروجی آن توضیح دهید و نتیجه را به کلاس ارائه نمایید.

۳-۸-۳ موارد کاربرد ترانزیستورهای اثر میدان

۱-۳-۸-۳ استفاده از FET در ساختن منابع جریان:

اگر یک FET مطابق شکل ۳-۴۵ تغذیه شود، در صورتی که V_{DS} آن بیش از V_P باشد، جریان ثابت I_D را ایجاد می کند. در این مدار، افت پتانسیل دو سر مقاومت R_S اختلاف پتانسیل گیت سورس را تأمین می کند. با تغییر R_S می توان مقدار I_D (جریان منبع جریان) را به میزان دلخواه تنظیم کرد.



شکل ۳-۴۵ FET به عنوان منبع جریان ثابت

۳-۸-۳ استفاده از FET به عنوان تقویت کننده

اولیه با امپدانس ورودی زیاد: چون FET امپدانس ورودی زیادی دارد، به عنوان تقویت کننده اولیه برای اتصال منابعی با مقاومت خروجی زیاد مانند میکروفن های خازنی به مدار مناسب است.

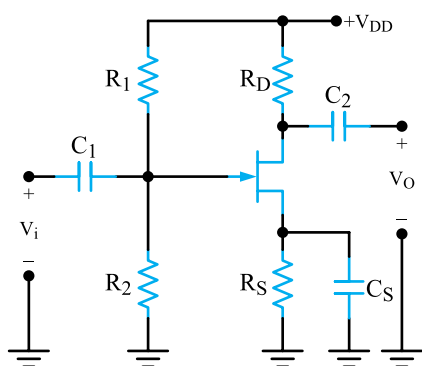
۳-۸-۴ تقویت کننده های سیگنال کوچک FET:

یکی از کاربردهای مهم قطعات FET ساخت مدارهای تقویت کننده ولتاژ است. از یک FET ممکن است به صورت سورس مشترک، گیت مشترک یا درین مشترک استفاده کنیم. هر یک از این سه آرایش، مشابه ترانزیستور BJT، مشخصات ورودی و خروجی خاصی دارد. قبل از پرداختن به این مشخصات، ضروری است مدل ac یک FET را بررسی کنیم.

● مدار تقویت کننده سورس مشترک

(Common source=CS): در شکل ۳-۴۸ یک

تقویت کننده سورس مشترک با ترانزیستور JFET کانال n را مشاهده می کنید.



شکل ۳-۴۸ مدار تقویت کننده سورس مشترک

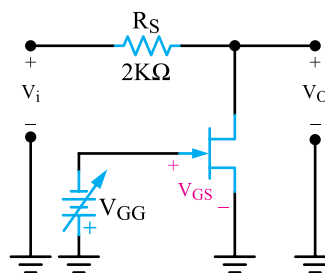
در این مدار تغذیه ترانزیستور به روش مرکب تأمین شده است. خازن های C_1 و C_2 تقویت کننده را از نظر DC از دیگر طبقات جدا می سازد و خازن C_S مقاومت R_S را در سیگنال ac بای پاس می کند. مدار DC این تقویت کننده در شکل ۳-۴۹ الف رسم شده است. به کمک این مدار و باروش ترسیمی یا محاسباتی می توان نقطه کار ترانزیستور را به دست آورد. در مدل ac کلیه خازن ها اتصال کوتاه در نظر گرفته می شوند، هم چنین منبع V_{DD}

$$r_{DS} = \frac{V_P / 2I_{DSS}}{1 - \left| \frac{V_{GS}}{V_P} \right|}$$

اگر در این معادله V_P و V_{GS} بر حسب ولت و I_{DSS} بر حسب میلی آمپر باشد، مقدار r_{DS} بر حسب کیلو اهم به دست می آید.

از بخش خطی ناحیه اهمی FET می توانیم به عنوان یک مقاومت کنترل شده با ولتاژ استفاده کنیم. در مدار شکل ۳-۴۷ از FET برای تضعیف دامنه سیگنال ورودی (V_i) استفاده شده است. در این مدار، مقاومت درین سورس با مقاومت ۲ کیلو اهمی سری می شود و به صورت یک تقسیم کننده ولتاژ عمل می کند. ولتاژ خروجی مدار با استفاده از تقسیم ولتاژ بین R_S و مقاومت درین سورس برابر است با:

$$V_o = V_{in} \times \frac{r_{DS}}{R_S + r_{DS}} = V_{in} \frac{1}{\frac{R_S}{r_{DS}} + 1}$$



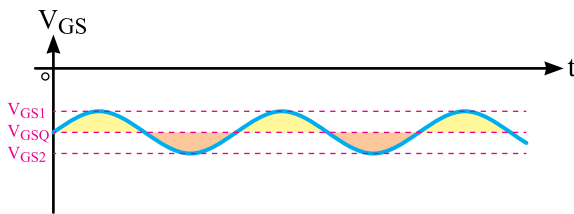
شکل ۳-۴۷ تنظیم ولتاژ خروجی با استفاده از JFET

● در حالتی که ترانزیستور هدایت نمی کند، r_{DS} خیلی زیاد است و $V_o \approx V_{in}$ می شود (تطابق ولتاژ). در بقیه موارد، ولتاژ خروجی متناسب با مقدار r_{DS} تغییر می کند. توجه داشته باشید که:

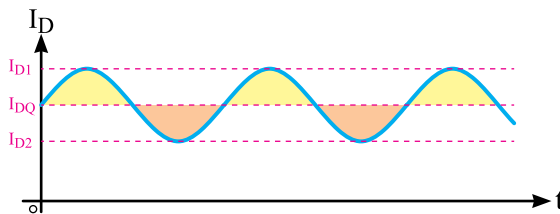
● تنها در محدوده خیلی کوچکی از تغییرات V_{DS} حول مبدأ مختصات، منحنی مشخصه FET کاملاً خطی است. لذا کاربرد این مدار به سیگنال های ورودی کوچک محدود می شود.

● برخلاف ترانزیستورهای BJT، V_{DS} می تواند تغییر علامت نیز بدهد. در مدارهای کنترل از راه دور، سیگنال کنترل جایگزین V_{GG} می شود.

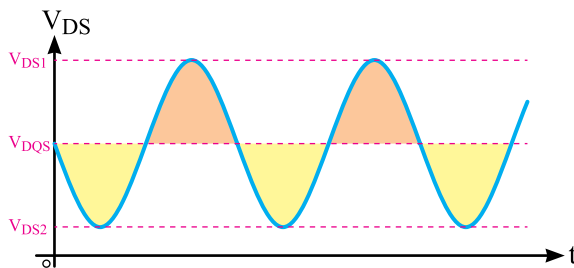
(ب) سیگنال ac ورودی سوار بایاس DC منفی (V_{GSQ}) شده است.



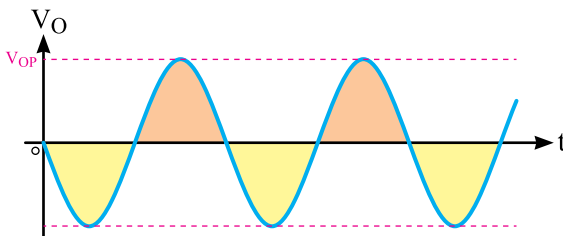
(ب) مثبت تر شدن V_{GS} مقدار جریان I_D را افزایش می دهد و منفی تر شدن V_{GS} مقدار I_D را کاهش می دهد.



(ت) افزایش I_D افت پتانسیل $R_D I_D$ را زیاد می کند و V_{DS} را کاهش می دهد. کاهش I_D افت پتانسیل $R_D I_D$ را کم می کند و V_{DS} را افزایش می دهد.

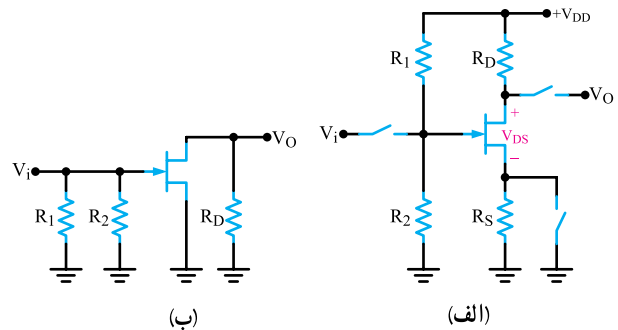


(ث) خازن C_r ولتاژ DC را حذف می کند و فقط موج ac به خروجی می رسد.



شکل ۳-۵۰ موج های نقاط مختلف مدار تقویت کننده

از طریق خازن داخلی زمین شده است. مدل ac تقویت کننده سورس مشترک در شکل ۳-۴۹ ب نشان داده شده است :

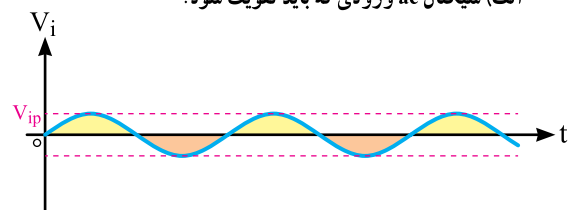


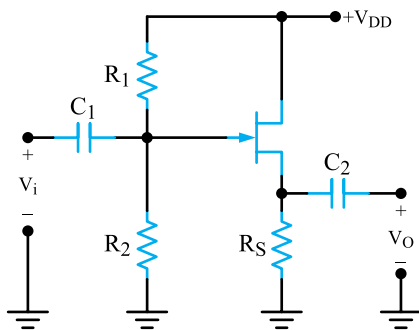
شکل ۳-۴۹ مدل DC و ac تقویت کننده سورس مشترک

● بررسی رفتار تقویت کننده سورس مشترک : در شکل ۳-۴۸ یک تقویت کننده سورس مشترک را مشاهده می کنید. فرض می کنیم ترانزیستور برای نقطه کار (I_{DQ} و V_{DSQ} و V_{GSQ}) بایاس شده باشد. با اتصال یک سیگنال ac به ورودی مدار، ولتاژ گیت حول نقطه کار V_{GSQ} قدری نوسان پیدا می کند.

نیمه مثبت این نوسانات از ولتاژ منفی گیت می کاهد. این امر موجب افزایش هدایت ترانزیستور می شود؛ یعنی، جریان درین افزایش و ولتاژ درین - سورس کاهش می یابد. در نیم سیکل منفی، سیگنال ac هم فاز با V_{GSQ} عمل می کند و بر میزان ولتاژ منفی گیت افزوده می شود. این امر به کاهش جریان درین و افزایش ولتاژ درین سورس می انجامد. ملاحظه می کنید که FET در آرایش سورس مشترک رفتاری کاملاً شبیه رفتار BJT در آرایش امیتر مشترک دارد. در شکل ۳-۵۰ شکل موج های V_{GS} ، V_{DS} ، V_O و I_D نشان داده شده است.

(الف) سیگنال ac ورودی که باید تقویت شود.





شکل ۳-۵۲ تقویت کننده درین مشترک

۳-۹ مقایسه تقویت کننده های BJT با تقویت کننده های FET

ترانزیستور، هر آرایش که داشته باشد، عمل تقویت را انجام می دهد. هر یک از آرایش های ترانزیستور در مدار، مشخصات ورودی و خروجی ویژه ای را ایجاد می کند. آرایش CE مناسب ترین ترکیب است؛ زیرا بیشترین بهره ولتاژ و جریان را دارد و در نهایت قدرت بیش تری را فراهم می سازد.

آرایش CB به علت داشتن مقاومت ورودی خیلی کم و مقاومت خروجی زیاد برای ایجاد تطبیق امپدانس بین یک مولد سیگنال با مقاومت داخلی کم و یک بار بزرگ مناسب است. این آرایش به دلیل داشتن پاسخ فرکانسی وسیع، در فرکانس های بالا نیز کاربرد دارد. آرایش CC به علت دارا بودن مقاومت خروجی خیلی کم اغلب به عنوان یک بافر (جداگر) برای تطبیق دادن بارهای کوچک در مدار استفاده می شود. ضمن این که مدار جریان را نیز تقویت می کند.

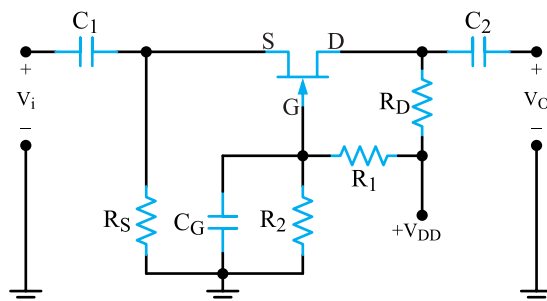
طبقه نهایی تقویت کننده های صوتی را که باید بلندگوهای با امپدانس کم را تغذیه کند، به صورت کلکتور مشترک می بندند.

ترانزیستورهای اثر میدان نیز مشابهت زیادی با آرایش های BJT دارند. با این تفاوت که مقاومت ورودی FET بسیار بیش تر از مقاومت ورودی BJT است. به طور کلی از نظر آرایش، مدارهای BJT با FET به صورت زیر مقایسه می شوند.

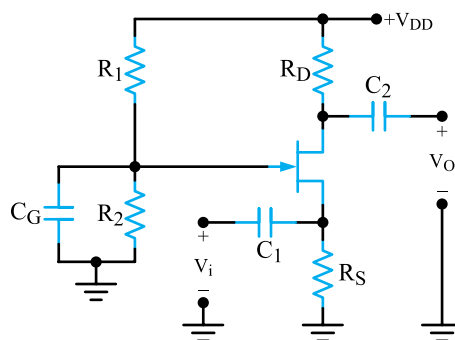
- آرایش CS مشخصاتی مانند آرایش CE دارد.
- مشخصات آرایش CG مانند آرایش CB است.
- آرایش CD مشخصاتی مانند آرایش CC دارد.

• تقویت کننده گیت مشترک (Common gate=CG):

تقویت کننده گیت مشترک مشخصات مشابه تقویت کننده BJT بیس مشترک دارد. در شکل ۳-۵۱ الف مدار یک تقویت کننده گیت مشترک را مشاهده می کنید. برای آن که از این شکل درک بهتری داشته باشید، آن را به صورت شکل ۳-۵۱ ب دوباره رسم کرده ایم. دقت کنید که محل هیچ کدام از اجزای مدار و یا جای ورودی و خروجی آن در این شکل تغییر نکرده است.



(الف)



(ب)

شکل ۳-۵۱ مدار تقویت کننده گیت مشترک

• تقویت کننده درین مشترک «سورس پیرو»

(Common Drain=CD)

در شکل ۳-۵۲ یک تقویت کننده درین مشترک دیده می شود. این مدار یا مدار تقویت کننده BJT کلکتور مشترک مشابهت زیادی دارد.

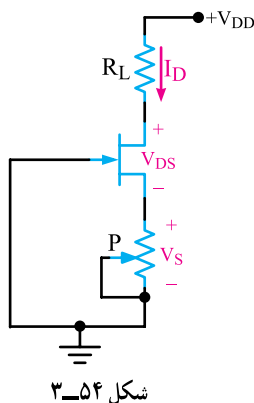
محاسبه نقطه کار ترانزیستور با حالت های قبلی تفاوت ندارد. در این مدار، پایه درین در مقابل سیگنال ac زمین می شود. سیگنال ورودی به پایه گیت اعمال می شود و خروجی مدار از پایه سورس گرفته می شود.

ترانزیستورهای BJT بهره بیشتری دارند و قیمت آنها نیز در مقایسه به FET مشابه ارزان تر است. ترانزیستورهای FET نسبت به BJT فرکانس قطع بالاتری دارند و از پایداری حرارتی بیشتری برخوردارند هم چنین در برابر اغتشاش مصنویت بیش تری دارند و راندمان آنها نیز بیش تر است.

ترانزیستورهای BJT بهره بیشتری دارند و قیمت آنها نیز در مقایسه به FET مشابه ارزان تر است. ترانزیستورهای FET نسبت به BJT فرکانس قطع بالاتری دارند و از پایداری حرارتی بیشتری برخوردارند هم چنین در برابر اغتشاش مصنویت بیش تری دارند و راندمان آنها نیز بیش تر است.

۴ (۱) ۴ (۲) ۴ (۳) ۴ (۴)
۳-۱-۶- کدام گزینه در مورد مدار شکل ۳-۵۴

درست است؟



(۱) تقویت کننده ولتاژ

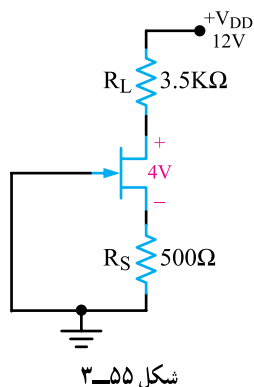
(۲) تقویت کننده جریان

(۳) منبع جریان

(۴) منبع ولتاژ

شکل ۳-۵۴

۳-۱-۷- در مدار شکل ۳-۵۵ V_{GS} چند ولت است؟



شکل ۳-۵۵

(۱) صفر

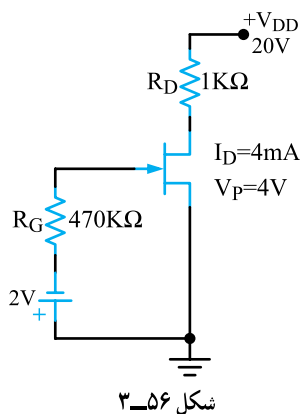
(۲) -۲

(۳) -۱

(۴) -۰/۵

۳-۱-۸- I_{DSS} در مدار شکل ۳-۵۶ چند میلی آمپر

است؟



شکل ۳-۵۶

(۱) ۴

(۲) ۸

(۳) ۱۶

(۴) ۱۲

تحقیق کنید: آیا مدار بافر (جداگر) در آی سی های دیجیتالی به کار می رود؟ بررسی کنید و نتایج را در کلاس ارائه دهید.

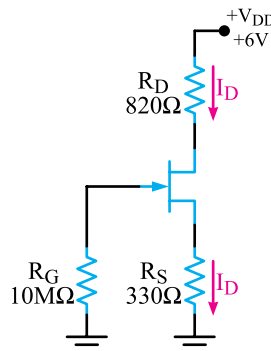
۳-۱-۰ الگوی پرسش کامل کردنی

۳-۱-۱- در صورتی که JFET در ناحیه

کار کند برای محاسبه I_D می توان از فرمول $I_D = I_{DSS}(1 - \frac{V_{GS}}{V_P})^2$ استفاده کرد.

۳-۱-۲- مدار شکل ۳-۵۳ به صورت

بایاس شده است و V_{GS} از رابطه $V_{GS} = \dots\dots\dots$ به دست می آید.



شکل ۳-۵۳

صحیح یا غلط

۳-۱-۳- در بایاس سر خود پتانسیل گیت برابر صفر ولت است. ☐ صحیح ☐ غلط

۳-۱-۴- برای آن که از JFET به عنوان مقاومت متغیر استفاده کنیم باید آن را در ناحیه اهمی بایاس کنیم. ☐ صحیح ☐ غلط

چهار گزینه ای

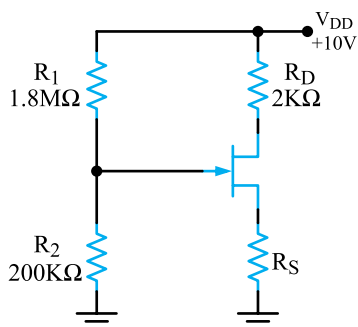
۳-۱-۵- در یک ترانزیستور JFET با کانال N،

۱۲-۱-۳- اگر در شکل ۳-۵۹، $I_{DSS} = 10\text{ mA}$ و $V_{GS(off)} = -5\text{ V}$ باشد.

(الف) مقاومت R_S را طوری محاسبه کنید که $|V_{GS}| = 3\text{ V}$

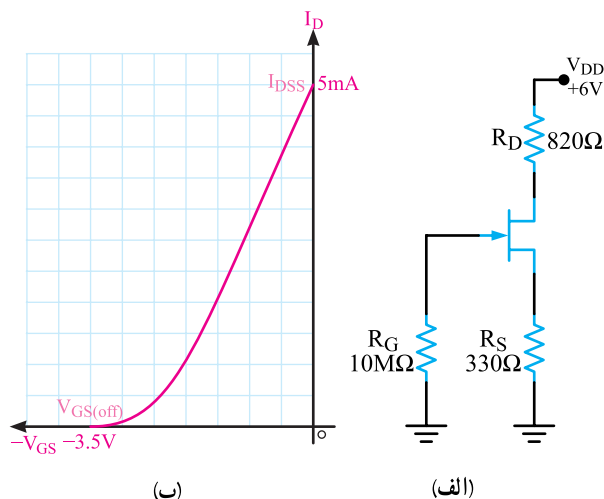
شود.

(ب) مقدار ولتاژ V_{DS} چند ولت است؟



شکل ۳-۵۹

۱۳-۱-۳- با توجه به شکل ۳-۶۰ الف و ب، با نوشتن معادله خط بار و به روش ترسیمی، خط بار را روی منحنی مشخصه انتقالی رسم کنید، سپس مشخصات نقطه کار را بنویسید.



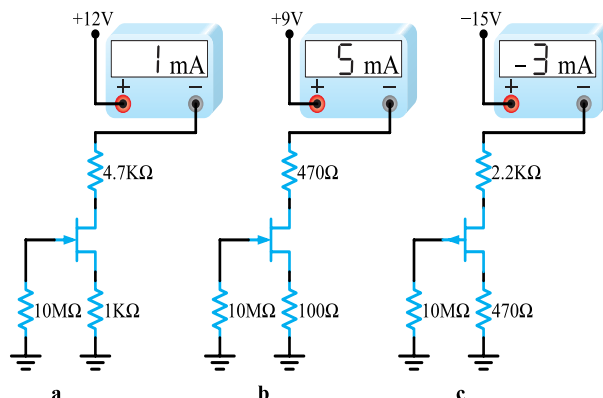
شکل ۳-۶۰

۱۴-۱-۳- تقویت کننده شکل ۳-۶۱ دارای چه نوع آرایشی است؟ مدل AC تقویت کننده را رسم کنید. این تقویت کننده چه کمیت هایی را تقویت می کند؟

محاسباتی و تشریحی

۹-۱-۳- در هر یک از مدارهای (a) و (b) و (c) شکل

۳-۵۷، V_{GS} و V_{DS} را محاسبه کنید.



شکل ۳-۵۷

۱۰-۱-۳- در یک ترانزیستور JFET با کانال n، $V_{GS(off)} = -3\text{ V}$ است. ناحیه کار ترانزیستور را در هر یک از شرایط زیر مشخص کنید.

(الف) $V_{DS} = 12\text{ V}$ و $V_{GS} = -2\text{ V}$

(ب) $V_{DS} = 1\text{ V}$ و $V_{GS} = -1\text{ V}$

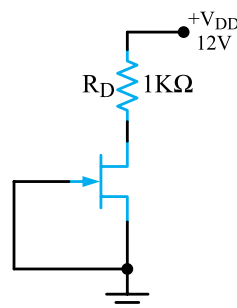
(پ) $V_{DS} = 12\text{ V}$ و $V_{GS} = -4\text{ V}$

(ت) $I_D = 5\text{ mA}$ و $V_{DS} = 8\text{ V}$

۱۱-۱-۳- در شکل ۳-۵۸ با فرض $V_P = +5\text{ V}$

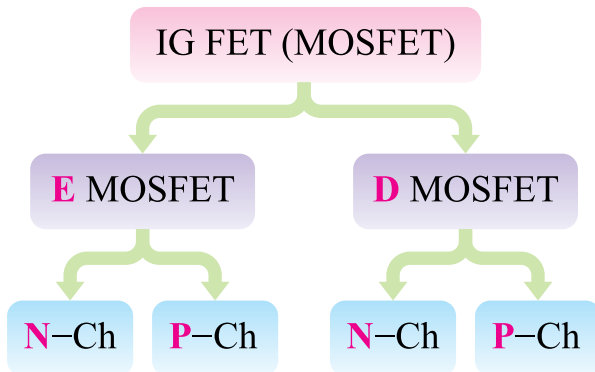
$I_{DSS} = 8\text{ mA}$ توان تلف شده در ترانزیستور چند میلی وات است؟

$$(P_T = I_D \times V_{DS})$$

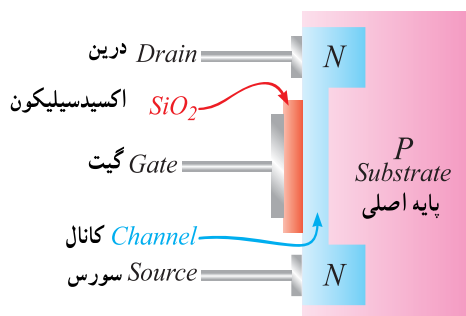


شکل ۳-۵۸

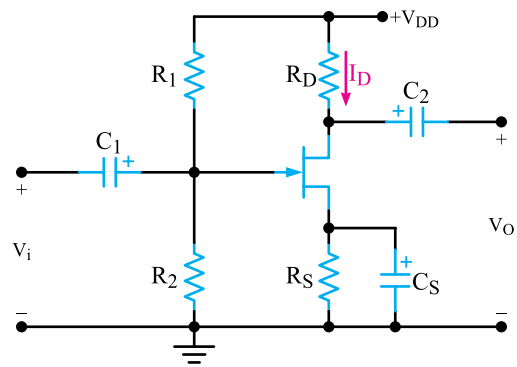
یافته EMOSFET (Enhancement mode MOSFET) هر یک از این دو نوع ترانزیستور می تواند با کانال n یا با کانال p ساخته شود؛ که رایج ترین آن ها در بازار، MOSFET های با کانال n، از نوع تهی شونده و MOSFET های با کانال p، از نوع تشکیل شونده است.



۳-۱۱-۱- ترانزیستور MOSFET با کانال تهی شونده نوع N: این نوع ترانزیستور از یک قطعه نیمه هادی پایه نوع p با ناخالصی کم تشکیل شده است. درون این قطعه، دو ناحیه نوع n با ناخالصی زیاد ایجاد می کنند. این نواحی را به وسیله یک کانال نوع n با ناخالصی کم به یک دیگر وصل می کنند. از طرفین کانال، کنتاکت های درین - سورس خارج می شود. گیت این ترانزیستور را یک صفحه فلزی تشکیل می دهد که توسط لایه نازکی از دی اکسید سیلیکون از کانال کاملاً جدا شده است. در شکل ۳-۶۲ ساختمان این نوع MOSFET رسم شده است. این نوع MOSFET را از این به بعد DMOSFET می نامیم.



شکل ۳-۶۲- ساختمان DMOSFET با کانال N



شکل ۳-۶۱

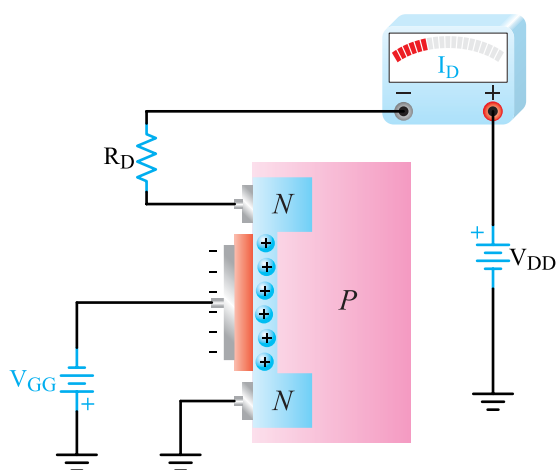
۳-۱۱- ترانزیستور اثر میدان با گیت عایق شده یا (Insulated Gate FET) IGFET

چون در ترانزیستور JFET جریان نشتی پیوند گیت سورس با افزایش دمای محیط افزایش می یابد، ترانزیستور نسبت به حرارت تا حدودی ناپایدار است و مقاومت ورودی آن در اثر گرما به مقدار زیادی کاهش می یابد. یادآور می شود که پایداری JFET در مقابل دما خیلی بیش تر از BJT است. مقاومت ورودی JFET در حدود 10^{12} تا 10^{15} اهم است. برای افزایش این مقاومت، می توان از ترانزیستور اثر میدان با گیت عایق شده استفاده کرد. در این ترانزیستور، گیت با لایه اکسید سیلیکون از کانال جدا می شود و هیچ جریانی از گیت عبور نمی کند. لذا مقاومت ورودی آن فوق العاده افزایش می یابد. این ترانزیستور را بیش تر به نام MOSFET می شناسند. نامی که از ساختار فیزیکی آن برگرفته شده است و اول کلمات Metal Oxide Semiconductor FET به مفهوم ترانزیستور اثر میدان با نیمه های اکسید فلز است.

انواع ترانزیستورهای MOSFET: ترانزیستورهای MOSFET به دو صورت ساخته می شوند. ترانزیستورهای MOSFET با کانال تهی شونده (DMOSFET)

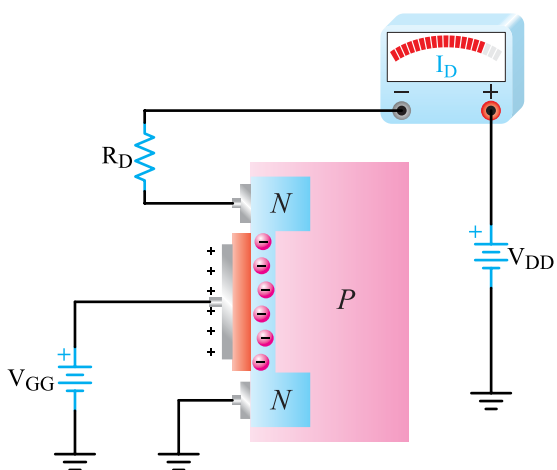
(Depletion-mode MOSFET)

ترانزیستورهای MOSFET با کانال تشکیل شونده یا بهبود



شکل ۳-۶۴ اتصال V_{GG} جریان درین را کم می‌کند

با اتصال ولتاژ منفی تر بین گیت سورس، جریان درین کم‌تر می‌شود تا در ولتاژی به نام ولتاژ گیت سورس قطع (V_{GSoff}) کانال به طور کامل از بار آزاد تهی شده و جریان I_D خیلی کم و نزدیک به صفر می‌شود. همان‌طور که مشاهده می‌شود در DMOSFET با کانال N نیز مانند JFET با کانال N، تغییر ولتاژ گیت سورس در محدوده صفر تا V_{GSoff} روی جریان درین در محدوده مقدار ماکزیم (I_{DSS}) تا صفر اثر دارد. در DMOSFET‌ها می‌توان مانند شکل ۳-۶۵ به گیت سورس ولتاژ مثبت نیز اتصال داد.



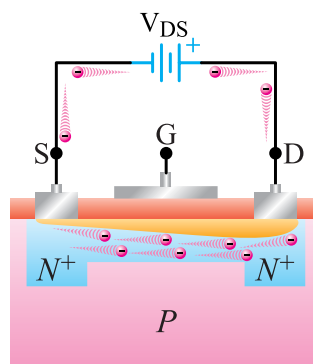
شکل ۳-۶۵ اتصال ولتاژ مثبت به گیت سورس موجب افزایش I_D می‌شود.

افزایش ولتاژ مثبت گیت سورس الکترون‌های آزاد بیش‌تری را از نواحی N^+ در کانال برقرار می‌نماید و مقاومت آن را کاهش

در بیش‌تر ترانزیستورهای MOSFET کریستال پایه از داخل به سورس وصل می‌شود اما در مواردی ممکن است از آن یک اتصال چهارم نیز بیرون آورده باشند. در چنین مواردی، برای آن که پیوند p-n پایه و کانال همواره در گرایش معکوس باقی بماند، باید این اتصال را به پایه سورس وصل کرد. گیت را می‌توان به عنوان یک جوشن خازن با صفحات موازی در نظر گرفت. کانال صفحه دیگر جوشن خازن است. دی‌اکسید سیلیکون که لایه بسیار باریک است، عایق بین دو جوشن را تشکیل می‌دهد.

۳-۱۱-۲ اتصال ولتاژ به پایه‌های DMOSFET: هرگاه

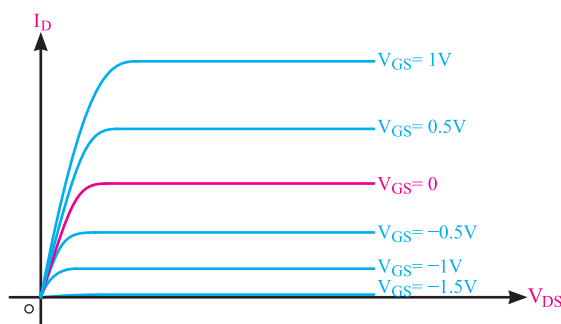
مطابق شکل ۳-۶۳ به پایه درین و سورس ولتاژی اتصال دهیم، این ولتاژ به برقراری جریان در داخل کانال منجر می‌شود. هر قدر V_{DS} افزایش یابد، جریان درین نیز افزایش می‌یابد تا سرانجام به یک مقدار ثابت می‌رسد. از آن پس، افزایش V_{DS} در مقدار جریان تأثیر محسوسی ندارد. این رفتار ناشی از آن است که افزایش V_{DS} به گسترش ناحیه تهی در داخل کانال منجر می‌شود و گرفتگی کانال به حداکثر می‌رسد.



شکل ۳-۶۳ اتصال ولتاژ V_{DS} موجب برقراری جریان شده است.

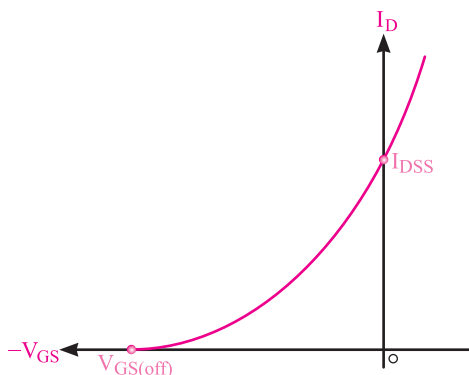
برقراری یک ولتاژ منفی بین گیت سورس مانند شکل ۳-۶۴ موجب می‌شود که در داخل کانال یک ناحیه تهی از حامل‌های جریان به وجود آید. در این حالت الکترون‌ها از کانال رانده می‌شوند و به جای آن‌ها یون‌های مثبت باقی می‌مانند. به این ترتیب هدایت در کانال کاهش می‌یابد و جریان درین (I_D) کم می‌شود.

می دهد. با بهبود وضعیت کانال جریان درین افزایش می یابد.
۳-۱۱-۳ ساختمان DMOSFET با کانال
 تهی شونده نوع P: ساختمان DMOSFET با کانال P
 تهی شونده، شبیه نوع کانال N است. مطابق شکل ۳-۶۶ بلور
 پایه از کریستال نوع N و کانال از نوع P است.



شکل ۳-۶۸ منحنی مشخصه MOSFET با کانال تهی شونده نوع N

در شکل ۳-۶۹ منحنی مشخصه انتقالی DMOSFET با
 کانال N رسم شده است.

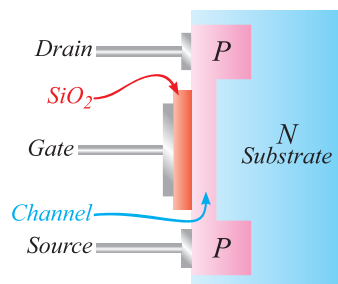


شکل ۳-۶۹ منحنی مشخصه انتقالی DMOSFET

۳-۱۲ ساختمان MOSFET با کانال تشکیل شونده Enhancement MOSFET (EMOSFET)

در این نوع ترانزیستور بر خلاف ترانزیستور با کانال
 تهی شونده، کانال را در هنگام ساخت ایجاد نمی کنند. لذا تا وقتی
 که گیت ترانزیستور بایاس نشود، ترانزیستور خاموش می ماند.
 به علت مقاومت خیلی زیاد بلور پایه که درین و سورس را از
 یکدیگر جدا می کند، عملاً با افزایش V_{DS} جریان محسوسی از
 درین نمی گذرد.

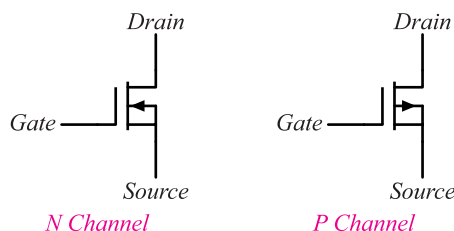
شکل ۳-۷۰ ساختمان این نوع MOSFET را نشان می دهد.



شکل ۳-۶۶ DMOSFET با کانال P

عملکرد هر دو DMOSFET کانال N و P شبیه به هم
 است و فقط قطب باتری هایی که به DMOSFET با کانال P وصل
 می شود برعکس DMOSFET با کانال N است.

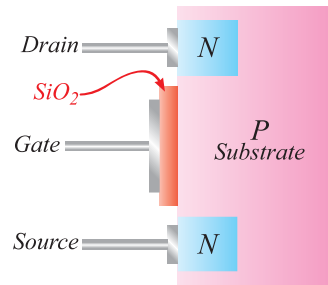
۳-۱۱-۴ علامت اختصاری DMOSFET:
 علامت اختصاری هر دو نوع DMOSFET در شکل ۳-۶۷
 نشان داده شده است. بلور پایه به وسیله پیکانی مشخص می شود.
 بلور پایه معمولاً (نه همیشه) از داخل به سورس اتصال دارد.



شکل ۳-۶۷ علامت اختصاری DMOSFET ها

۳-۱۱-۵ منحنی های مشخصه DMOSFET
 با کانال N: با توجه به توضیحات داده شده، می توان در
 DMOSFET، به گیت سورس ولتاژ مثبت یا منفی داد. اتصال
 ولتاژ منفی متداول تر است. شکل ۳-۶۸ خانواده منحنی های

از این پس این نوع MOSFET را EMOSFET می‌نامیم.

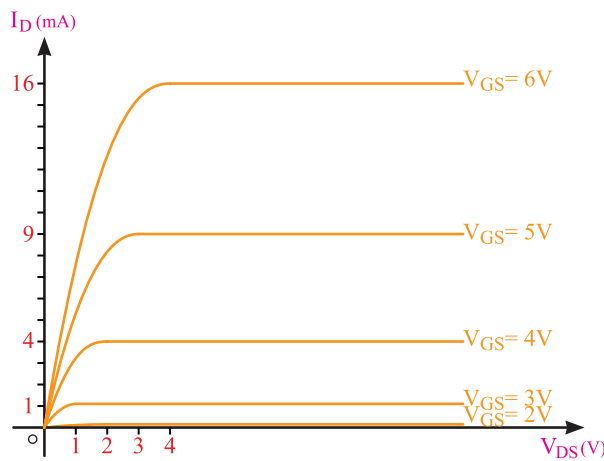


شکل ۳-۷۰ ساختمان EMOSFET با کانال N تشکیل شونده

می‌دهند. مقدار نامی این ولتاژ در حدود ۲ ولت است. هنگامی که کانال شکل گرفت، هر قدر V_{GS} بیش‌تر شود عرض کانال افزایش می‌یابد و مقاومت بین درین و سورس کم می‌شود. در این حالت جریان درین به ازای یک ولتاژ معین درین سورس افزایش می‌یابد. افزایش ولتاژ درین سورس (V_{DS}) جریان درین را نیز افزایش می‌دهد. این افزایش جریان با گذشتن V_{DS} از حد بحرانی متوقف می‌شود.

۱-۱۲-۳- منحنی مشخصه EMOSFET با کانال

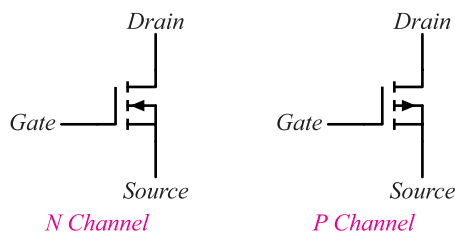
N: در شکل ۳-۷۲ منحنی مشخصه EMOSFET با کانال N رسم شده است. همان‌طور که مشاهده می‌شود هر قدر V_{GS} مثبت‌تر باشد جریان درین افزایش می‌یابد.



شکل ۳-۷۲ منحنی مشخصه EMOSFET با کانال N

۲-۱۲-۳- علامت اختصاری EMOSFET

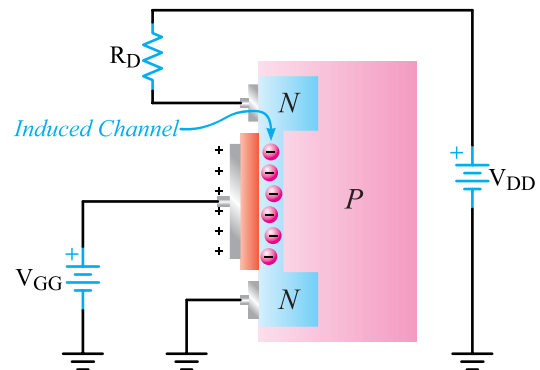
علامت اختصاری هر دو نوع MOSFET با کانال N و P تشکیل‌شونده را در شکل ۳-۷۳ مشاهده می‌کنید. خطوط شکسته بین درین و سورس بیانگر عدم وجود کانال اولیه است.



شکل ۳-۷۳ علامت اختصاری EMOSFET با کانال N و P

در صورتی که گیت سورس را طوری بایاس کنیم که پتانسیل گیت مثبت‌تر از سورس باشد، میدان الکترواستاتیکی گیت، تعدادی الکترون آزاد از نواحی n^+ و کریستال پایه جذب می‌کند و یک کانال باریک به‌صورت القایی بین درین سورس به‌وجود می‌آورد. این کانال، مقاومت بین دو پایه را کاهش می‌دهد و موجب برقراری جریان درین می‌شود.

شکل ۳-۷۱ ایجاد کانال را پس از اعمال ولتاژ گیت سورس نشان می‌دهد. همان‌طور که ملاحظه می‌شود در این نوع ترانزیستور چون کانال تشکیل می‌شود آن را تشکیل شونده می‌گویند.



شکل ۳-۷۱ اتصال ولتاژ مثبت گیت سورس موجب تشکیل کانال و برقراری جریان می‌شود.

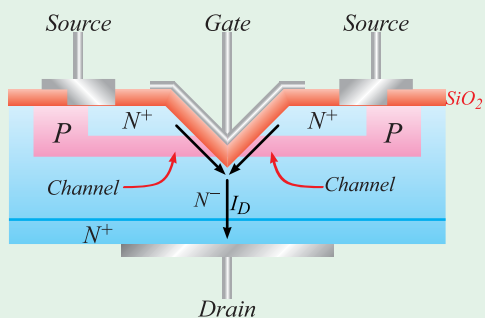
حداقل ولتاژی را که لازم است بین گیت - سورس اعمال شود تا جریان درین برقرار گردد، ولتاژ آستانه روشن شدن ترانزیستور می‌گویند و آن را $V_{GS(th)}$ (Threshold) نشان

کانال در این قطعه نسبت به EMOSFET های متداول، کوتاه تر است در نتیجه مقاومت کمتری ایجاد می کند. این خاصیت سبب تحمل ولتاژ بالاتر و عبور جریان بیش تر می شود. در این نوع MOSFET ها وقتی گیت مثبت می شود، کانال خیلی کوتاهی از نوع n در لایه p و بین دو ناحیه n^+ و n^- نفوذ می کند و موجب برقراری جریان بین درین و سورس می شود.

۱-۳-۳ VMOSFET: مثال دیگری از

MOSFET های قدرت VMOSFET ها هستند که برای قدرت بالاتر طراحی شده اند. در این نوع MOSFET ها کانال کوتاه تر و عرض تراست لذا مقاومت کمتری را بین درین و سورس ایجاد می کند. در نهایت جریان بیش تری می تواند از کانال عبور نماید. VMOSFET توان تلفاتی بیش تری دارد و پاسخ فرکانسی آن مطلوب تر است. در شکل ۳-۷۶ ساختمان این نوع MOSFET را مشاهده می کنید.

برای هنرجویان علاقمند:



شکل ۳-۷۶ ساختمان VMOSFET

ساختار کانال عمودی و به صورت شیاری V شکل است. این نوع MOSFET ها دو اتصال سورس دارند و اتصال گیت در بالا و درین در پایین قرار دارد. کانال به صورت عمودی و بین دو لایه n^+ و n^- و در حد فاصل درین و سورس در دو طرف شیار V شکل نفوذ داده می شود. کانال هنگامی ایجاد می شود که ولتاژ گیت نسبت به سورس مثبت شود.

۱۴-۳ عملکرد MOSFET به عنوان کلید MOSFET Switching Operation

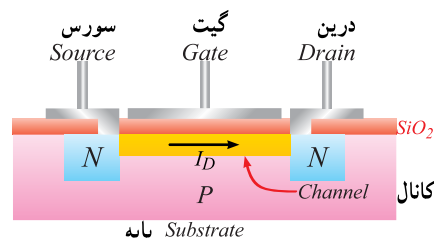
EMOSFET ها به علت دارا بودن ولتاژ آستانه (V_{Gsth})

به دلیل کوچک بودن اندازه و ساده تر بودن ساخت آن، در تولید مدارهای مجتمع (IC) کاربرد بیش تری دارد.

فکر کنید: به چه دلیل در مدارهای ورودی طبقات عمودی (Vertical) اسیلوسکوپ از ترانزیستور FET استفاده می کنند؟

۱۳-۳ MOSFET های قدرت Power MOSFET

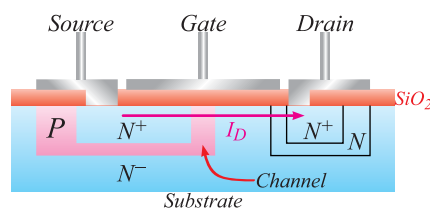
در EMOSFET های متداول مانند شکل ۳-۷۴ فقط لایه نازکی از کانال به صورت افقی قرار دارد. این لایه مقاومت نسبتاً بالایی را بین درین و سورس ایجاد می کند. لذا این نوع MOSFET ها برای کار در قدرت های پایین مورد استفاده قرار می گیرند.



شکل ۳-۷۴ EMOSFET قدرت کم

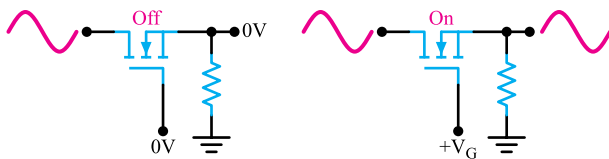
وقتی به گیت پتانسیل مثبتی می دهیم کانال در مجاورت گیت، بین سورس و درین شکل می گیرد.

اما MOSFET های قدرت که LD MOSFET (Laterally Diffused MOSFET) نام گذاری شده اند، ساختاری با کانال عرضی متفاوت با EMOSFET دارند و از نوع بهبود یافته هستند و برای کاربرد در قدرت های بالا طراحی شده اند. شکل ۳-۷۵ ساختمان داخلی یک نوع از این MOSFET ها را نشان می دهد.



شکل ۳-۷۵ ساختمان LD MOSFET

شکل ۳-۷۹ یک نمونه کاربرد سوئیچ در انتقال سیگنالی آنالوگ به خروجی را نشان می‌دهد.

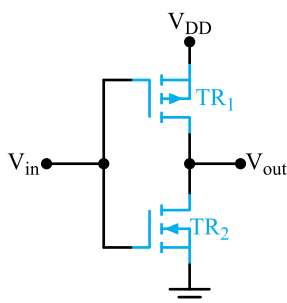


شکل ۳-۷۹- یک نمونه کاربرد سوئیچ در انتقال سیگنال آنالوگ

۳-۱۵- CMOS

Complementary MOSFET

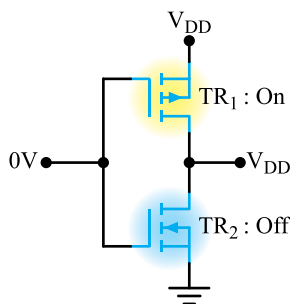
با سری کردن دو نوع EMOSFET با کانال P و N مانند شکل ۳-۸۰، CMOS ساخته می‌شود.



شکل ۳-۸۰

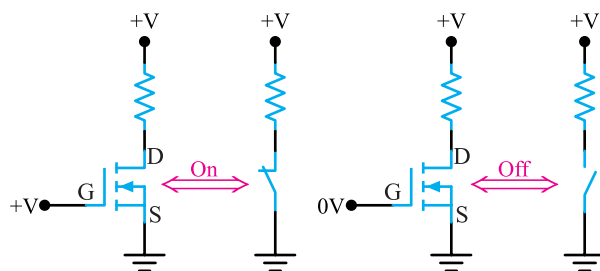
از رسم ساختمان کریستالی CMOS صرف نظر شده است.

وقتی مانند شکل ۳-۸۱، $V_{in} = 0$ است TR_1 وصل و TR_2 قطع و مانند کلیدی باز عمل می‌کند و خروجی تقریباً برابر V_{DD} است.



شکل ۳-۸۱- وصل TR_1 و قطع TR_2 است.

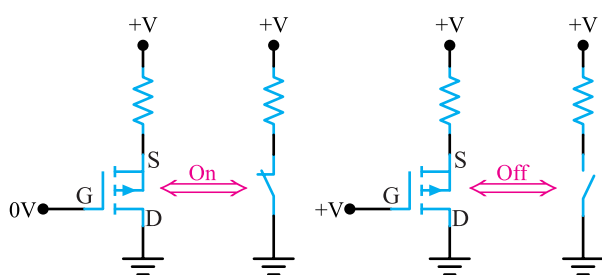
به عنوان کلید به کار می‌روند. اگر ولتاژ گیت سورس کم تر از ولتاژ گیت سورس آستانه ($V_{GS(th)}$) باشد، MOSFET قطع است. هنگامی که ولتاژ گیت سورس بیش تر از ولتاژ آستانه می‌شود، MOSFET به صورت کلید بسته عمل می‌کند. لذا با تغییر ولتاژ گیت سورس، می‌توان به EMOSFET به عنوان کلید فرمان داد. کلید زمانی قطع است که $V_{GS} < V_{GS(th)}$ باشد. در این حالت مقاومت درین سورس بسیار زیاد می‌شود و MOSFET به صورت کلید باز عمل می‌کند. زمانی کلید بسته است که V_{GS} به اندازه کافی از $V_{GS(th)}$ بیش تر باشد. در این حالت r_{DS} بسیار کم است. شکل ۳-۷۷، EMOSFET با کانال N و معادل کلیدی آن را نشان می‌دهد.



شکل ۳-۷۷- EMOSFET به عنوان کلید

وقتی به گیت +V ولت بدهیم FET مانند سوئیچ بسته عمل می‌کند. وقتی به گیت صفر ولت بدهیم، FET به عنوان سوئیچ باز عمل می‌کند.

در شکل ۳-۷۸ EMOSFET با کانال P به عنوان سوئیچ و ولتاژ گیت برای باز و بسته شدن کلید نشان داده شده است.



شکل ۳-۷۸- الف و ب EMOSFET به عنوان کلید

بیشتر بدانید:

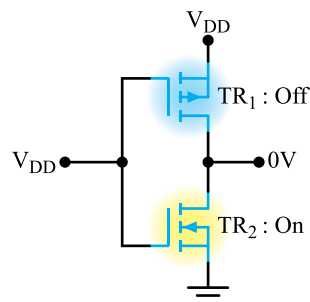
امروزه ترانزیستورهای خاص با نام IGBT (Insulated – Gate Bipolar Transistor) ساخته شده است. ساختار این ترانزیستورها مشابه BJT است با این تفاوت که پایه بیس آن با نام گیت مشخص می شود و مشابه گیت MOSFET عمل می کند؛ بنابراین ورودی این قطعه شبیه FET و خروجی آن مشابه ترانزیستور دو قطبی (BJT) است. در شکل ۳-۸۴ نماد و چند نمونه از شکل ظاهری IGBT نشان داده شده است.



شکل ۳-۸۴ نماد و شکل ظاهری دو نمونه IGBT

از این قطعه می توان جریان بسیار زیاد (حدود صدها آمپر) را عبور داد. همچنین ولتاژ کار آن بالا بوده و می تواند به حدود ۶۰۰۰ ولت برسد. به این ترتیب IGBT قادر است توان صدها کیلووات را تحمل کند. این قطعه به دلیل داشتن راندمان بالا و سوئیچینگ سریع، در دستگاه های مدرن مانند اتومبیل ها و قطارهای برقی، یخچال ها با توانایی سرمایش سریع، سیستم هواساز با راندمان بالا، آمپلی فایرهای سوئیچینگ و منابع تغذیه کاربرد دارد.

وقتی به V_{in} ولتاژ V_{DD} بدهیم TR_1 قطع و مانند کلید باز عمل می کند و TR_2 وصل و مانند کلید بسته عمل می کند و خروجی تقریباً زمین شده و صفر ولت را نشان می دهد. این حالت در شکل ۳-۸۲ نشان داده شده است.

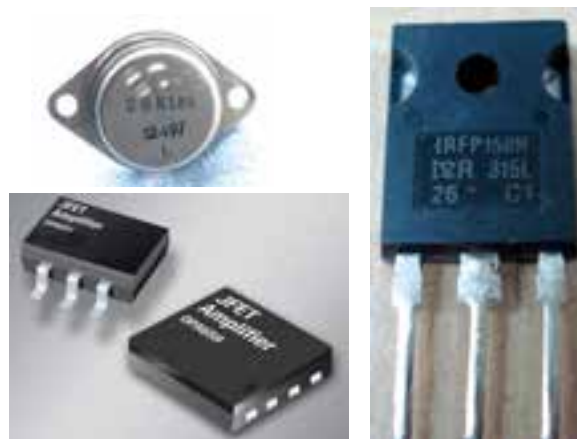


شکل ۳-۸۲ TR_1 قطع و TR_2 وصل است.

از مزایای CMOS تلفات توان بسیار کم آن است. زیرا با سری شدن دو نوع MOSFET، یکی از MOSFET ها همواره قطع است و اساساً از منبع جریانی کشیده نمی شود. این مدار مانند گیت NOT در دیجیتال عمل می کند. وقتی ورودی صفر یا LOW است. خروجی « V_{DD} » یا «High» است و وقتی ورودی در «High» V_{DD} قرار دارد خروجی «صفر یا LOW» است.

۳-۱۶ شکل ظاهری ترانزیستورهای FET

در شکل ۳-۸۳ ساختمان ظاهری چند نمونه JFET و MOSFET را مشاهده می کنید.



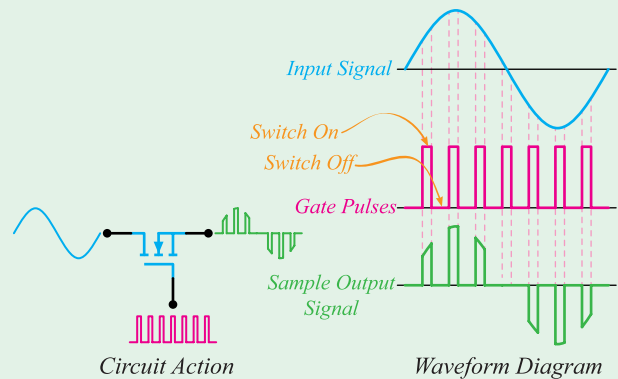
شکل ۳-۸۳ ساختمان ظاهری چند نمونه FET

تحقیق کنید:

با مراجعه به سایت‌های مختلف در ارتباط با تکنولوژی ساخت IGBT و موارد کاربرد آن تحقیق کنید.

۱۷-۳- برای هنرجویان علاقمند:

یکی از کاربردهای سوئیچ‌های آنالوگ استفاده از آن‌ها برای تبدیل سیگنال آنالوگ به دیجیتال است. این عمل در مدار مبدل آنالوگ به دیجیتال (ADC) انجام می‌گیرد. شکل ۳-۸۵ لحظات وصل سوئیچ و سیگنال نمونه‌برداری شده در خروجی سوئیچ را نشان می‌دهد.

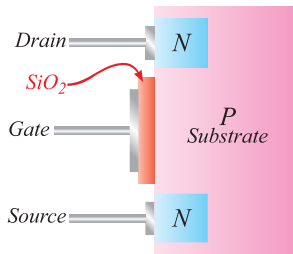


شکل ۳-۸۵- کاربرد سوئیچ آنالوگ در مدار ADC

چهارگزینه‌ای

۴-۱۸-۳- ساختمان کریستالی شکل ۳-۸۶ مربوط به کدام نوع MOSFET است؟

- ۱- کانال P تهی‌شونده
- ۲- کانال P تشکیل‌شونده
- ۳- کانال N تهی‌شونده
- ۴- کانال N تشکیل‌شونده



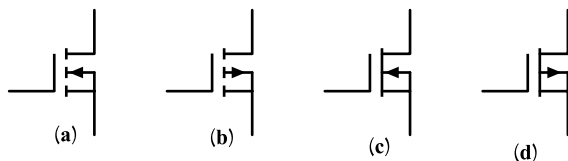
شکل ۳-۸۶

۵-۱۸-۳- در مورد عمل کرد DMOSFET کدام گزینه صحیح است؟

- ۱) فقط در حالت تهی‌شونده (Depletion mode) عمل می‌کند.
- ۲) فقط در حالت تشکیل‌شونده (Enhancement mode) عمل می‌کند.
- ۳) فقط در ناحیه اهمی عمل می‌کند.
- ۴) در هر دو حالت تهی‌شونده و تشکیل‌شونده عمل می‌کند.

تشریحی

۶-۱۸-۳- نام پایه‌ها را روی شکل ۳-۸۷ (a)، (b)، (c) و (d) بنویسید. نوع کانال (P یا N) و از نظر ساخت (تشکیل‌شونده یا تهی‌شونده) را تعیین کنید.



شکل ۳-۸۷

۷-۱۸-۳- عمل کرد EMOSFET با کانال N را به عنوان سوئیچ توضیح دهید.

۱۸-۳- الگوی پرسش کامل کردنی

- ۱-۱۸-۳- Depletion به مفهوم و Enhancement به مفهوم است.
- ۲-۱۸-۳- در EMOSFET ها تا V_{GS} به اندازه نشود. جریان درین (I_D) در مدار برقرار نمی‌شود.

صحیح یا غلط

۳-۱۸-۳- DMOSFET در هر دو حالت تهی‌شونده و تشکیل‌شونده (بهبود یافته) می‌تواند عمل کند.

صحیح □ غلط □