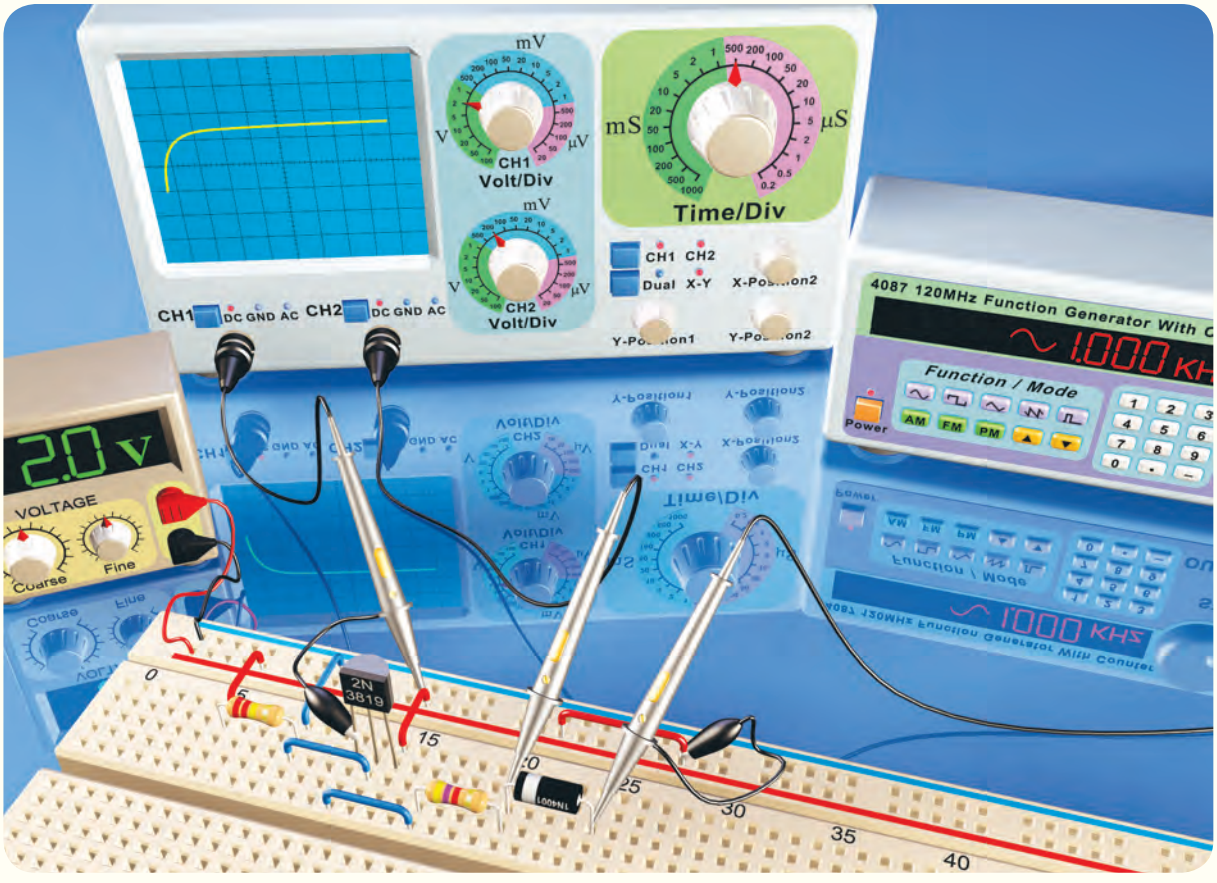
آزمایش شماره‌ی ۸

زمان اجرا ۱۲ ساعت آموزشی

ترانزیستور اثر میدان پیوندی (JFET)
Junction Field Effect Transistor

هدف کلی آزمایش

اجرای عملی نحوه‌ی تقویت سیگنال توسط ترانزیستور JFET



هدف‌های رفتاری
در پایان این آزمایش از فراگیرنده انتظار می‌رود که:

۱- از Data Sheet به منظور استخراج اطلاعات کاربردی JFET استفاده کند.
۲- به کمک مولتی‌متر پایه‌های ترانزیستور JFET را شناسایی کند.
۳- به وسیله‌ی منحنی‌نگار، منحنی مشخصه‌ی خروجی JFET را به‌دست آورد (در صورت موجود بودن دستگاه).
۴- مشخصه‌ی خروجی ترانزیستور را به کمک اسیلوسکوپ مشاهده و ترسیم کند.
۵- نقطه‌ی کار ترانزیستور را به کمک مشخصه‌ی خروجی اندازه بگیرد.
۶- مدار تقویت‌کننده‌ی سورس مشترک را به صورت سِلف بایاس ببندد.
۷- مقادیر بهره‌ی ولتاژ و امپدانس خروجی تقویت‌کننده را اندازه بگیرد.
۸- اختلاف فاز ولتاژهای ورودی و خروجی تقویت‌کننده‌ی سورس مشترک را به کمک اسیلوسکوپ و از طریق ترسیم شکل موج اندازه بگیرد.
۹- مدار تقویت‌کننده‌ی سورس مشترک را با بایاس تقسیم‌کننده‌ی ولتاژ مقاومتی ببندد.
۱۰- نقطه‌ی کار تقویت‌کننده را اندازه بگیرد.
۱۱- کلیه‌ی مدارها را با استفاده از نرم‌افزار شبیه‌سازی کند.
۱۲- اهداف تعیین شده در حیطه‌ی عاطفی که در آزمایش(۱) آمده است را اجرا کند.
۱۳- گزارش‌کار مستند و دقیق بنویسد.
۱۴- به سؤال‌های الگوی پرسش پاسخ دهد.

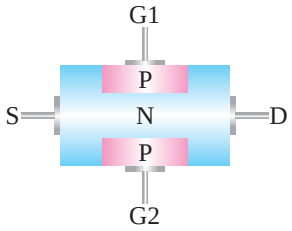
۸-۱- اطلاعات اوّلیه

۸-۱-۱- ترانزیستورهای JFET که از نظر ساختمان، با ترانزیستورهای معمولی تفاوت دارند و به دلیل مقاومت ورودی بسیار زیاد، پایداری حرارتی خوب و تولید پارازیت کم، کاربرد بیش‌تری دارند. این مزایا موجب می‌شود تا از آن‌ها در ساخت مدارهای مجتمع استفاده شود. ترانزیستورهای معمولی که به دلیل ساختار فیزیکی آن‌ها، دو پیوندی یا BJT (Bipolar Junction Transistor) نامیده می‌شوند، عناصری کنترل شده با جریان هستند؛ یعنی جریان بیس ترانزیستور، جریان کلکتور آن را کنترل می‌کند. برای برقراری جریان در اتصال کلکتور باید جریان بیس به اندازه‌ای برسد که ناحیه‌ی تخلیه‌شده یا سد پتانسیلِ پیوندِ بیس امیتر کاملاً شکسته شود. در این نوع ترانزیستور، جریان ورودی زیاد باعث می‌شود که مقاومتِ ورودی ترانزیستور BJT نسبتاً کم باشد. ترانزیستورهای اثر میدان، ساختمان ساده‌تری نسبت به ترانزیستورهای دو پیوندی دارند. این قطعات عناصری کنترل‌شده با ولتاژ هستند و در ساختمان آن‌ها فقط از دو نوع نیمه‌هادی استفاده شده است، به همین دلیل به ترانزیستورهای «تک پیوندی» یا «یک قطبی» Unipolar نیز مشهورند.

ترانزیستورهای FET بر دو نوع‌اند: یکی «JFET» که قبلاً توضیح داده شد و دیگری «MOSFET» که طرز ساخت آن با نوع JFET فرق می‌کند.

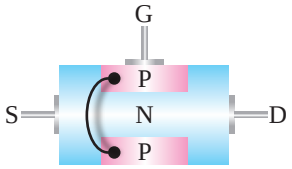
۸-۱-۲- ساختمان داخلی ترانزیستورهای JFET

برای ساختن ترانزیستور JFET، ابتدا یک نیمه‌هادی، برای مثال از نوع N انتخاب می‌نمایند، سپس دو نیمه‌هادی نوع P را در امتداد دو طرف به آن متصل می‌کنند، (شکل ۱-۸).دو پایه از دو طرف نیمه‌هادی نوع N بیرون می‌آید که یکی S (Source) و دیگری D (Drain) است. به نیمه‌هادی‌های نوع P که در دو طرف قرار دارند، دو پایه اتصال داده می‌شود که به آن‌ها G یا «Gate» می‌گویند. در نتیجه این ترانزیستور دارای دو گیت G_1 و G_2 است. لایه‌ی N را در این ترانزیستور، کانال N (N-Channel) می‌نامند.



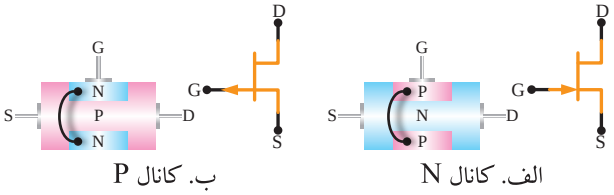
شکل ۱-۸- ساختمان داخلی ترانزیستور JFET با دو گیت

ترانزیستورهای FET با دو گیت به‌صورت مخلوط‌کننده‌ی دو سیگنال به‌کار می‌رود. با اتصال G_1 و G_2 به یکدیگر ترانزیستور JFET با یک گیت شکل می‌گیرد. این نوع ترانزیستورها دارای سه پایه‌ی S، D و G هستند (شکل ۲-۸).



شکل ۲-۸- ترانزیستور JFET با یک گیت

ترانزیستورهای JFET با توجه به نوع نیمه‌هادی به‌کار رفته در کانال در دو نوع "کانال N" و "کانال P" ساخته می‌شوند. در شکل ۳-۸ الف و ب ساختمان داخلی و نماد فنی ترانزیستورهای JFET با کانال نوع N و نوع P را مشاهده می‌کنید.



شکل ۳-۸- شمای فنی و ساختمان داخلی ترانزیستورهای JFET کانال N و کانال P

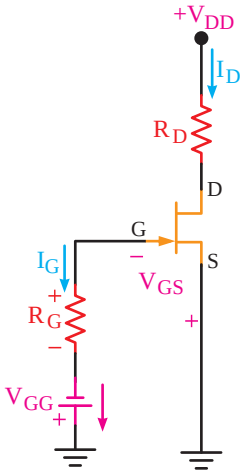
اگر بخواهیم ترانزیستورهای JFET را با ترانزیستورهای معمولی مقایسه کنیم می‌توان گفت: «درین متناظر با کلکتور، سورس متناظر با امیتر و گیت متناظر با بیس است».

۳-۱-۸- انواع روش‌های تغذیه‌ی JFET

مشابه ترانزیستورهای BJT برای ترانزیستورهای JFET روش‌های زیر وجود دارد:

- تغذیه (بایاسینگ) با دو منبع مستقل یا بایاسینگ ثابت
- بایاس (تغذیه) سرخود یا سلف بایاس
- تغذیه (بایاس) با مدار تقسیم‌کننده‌ی ولتاژ

در شکل ۴-۸ مدار بایاسینگ مستقل یا بایاسینگ ثابت نشان داده شده است.



توجه: این مدار را می‌توان با بایاسینگ مستقل در ترانزیستور BJT مقایسه کرد.

شکل ۴-۸- بایاسینگ مستقل ترانزیستور JFET

در این مدار به علت ناچیز بودن جریان گیت می‌توان از آن صرف‌نظر کرد. بنابراین در حلقه‌ی ورودی داریم:

$$+V_{GG} - V_{GS} - I_G R_G = 0$$

$$V_{GG} - V_{GS} - (0) R_G = 0$$

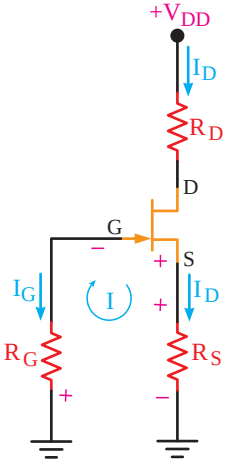
$$V_{GG} = V_{GS}$$

با توجه به شکل ۴-۸، مقدار V_{GS} برابر V_{GG} و گیت نسبت به سورس منفی است.

در شکل ۵-۸ مدار تأمین بایاس سرخود یا سلف بایاس برای یک ترانزیستور JFET کانال N نشان داده شده است. چون $I_G = 0$ است، بنابراین در حلقه‌ی ورودی داریم:

$$V_{GS} + R_S I_D = 0$$

$$V_{GS} = -R_S I_D$$



توجه: این مدار با مدار بایاسینگ ترانزیستور BJT با یک باتری قابل مقایسه است.

شکل ۵-۸- بایاس سرخود ترانزیستور JFET

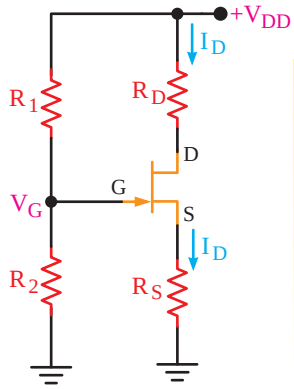
در شکل ۶-۸ تغذیه‌ی JFET با روش تقسیم ولتاژ نشان داده شده است. مقاومت‌های R_1 و R_2 به مقاومت‌های تقسیم ولتاژ معروف‌اند.

با توجه به مدار تقسیم‌کننده‌ی ولتاژ و ناچیز بودن جریان گیت، مقدار ولتاژ V_G برابر است با:

$$V_G = \frac{R_2}{R_1 + R_2} V_{DD}$$

با نوشتن معادله‌ی حلقه‌ی گیت-سورس (GS ،R_S و R_2) مقدار V_G قابل محاسبه است.

$$V_{GS} = V_G - R_S I_D$$

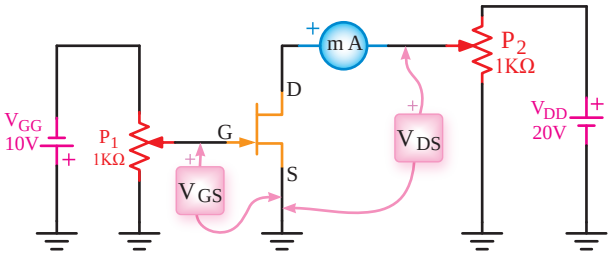


توجه: این مدار با مدار بایاس سرخود ترانزیستور BJT (تقسیم‌کننده‌ی ولتاژ مقاومتی) قابل مقایسه است.

شکل ۶-۸- مدار بایاس ترانزیستور JFET با تقسیم‌کننده‌ی ولتاژ مقاومتی

۸-۱-۴- منحنی‌های مشخصه‌ی JFET

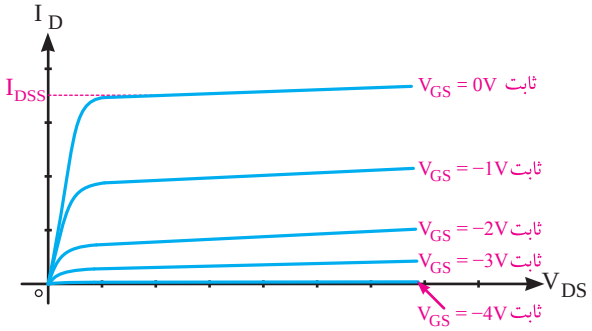
در شکل ۷-۸ تغذیه‌ی ترانزیستور JFET با دو منبع مستقل نشان داده شده است. در ترانزیستور JFET تغییرات جریان درین به دو عامل «V_{DS}» و «V_{GS}» بستگی دارد. برای مشخص کردن میزان این وابستگی به هریک از دو عامل، باید یکی از آن دو عامل را ثابت نگه‌داریم و اثر تغییرات عامل دیگر را بر جریان درین در دو حالت بررسی نماییم. مدار شکل ۷-۸ برای به دست آوردن منحنی مشخصه‌های JFET مناسب است.



شکل ۷-۸- یک نمونه مدار آزمایشی برای به دست آوردن مشخصه‌های JFET

حالت اول:

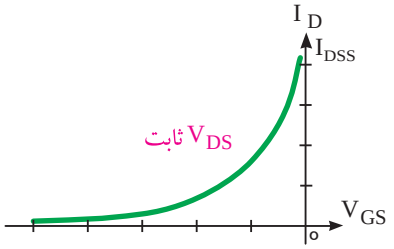
مقدار V_{GS} را ثابت نگه‌می‌داریم. سپس با تغییر پتانسیومتر P_2 مقدار V_{DS} را تنظیم می کنیم و جریان I_D را در حالات مختلف اندازه می‌گیریم. با استفاده از مقادیر اندازه‌گیری شده منحنی خروجی ترانزیستور JFET (تغییرات I_D برحسب V_{DS} وقتی V_{GS} ثابت است) را ترسیم می‌کنیم (شکل ۸-۸).



شکل۸-۸- منحنی مشخصه‌ی خروجی JFET

حالت دوم:

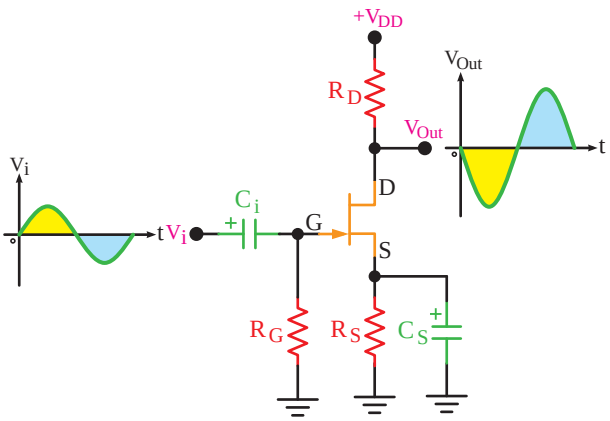
مقدار V_{DS} را ثابت نگه‌می‌داریم. سپس با تغییر پتانسیومتر P_1 مقادیر مختلف V_{GS} و I_D را به‌دست می‌آوریم. با استفاده از مقادیر به دست آمده مشخصه‌ی انتقالی (تغییرات I_D برحسب V_{GS} وقتی V_{DS} ثابت است) را ترسیم می‌کنیم (شکل ۹-۸).



شکل ۹-۸- مشخصه‌ی انتقالی JFET

۸-۱-۵- تقویت‌کننده‌ی سورس مشترک

در شکل ۱۰-۸ مدار تقویت‌کننده‌ی سورس مشترک با ترانزیستور JFET (کانال N) نشان داده شده است. تأمین بایاس ترانزیستور از نوع تغذیه سرخود است.

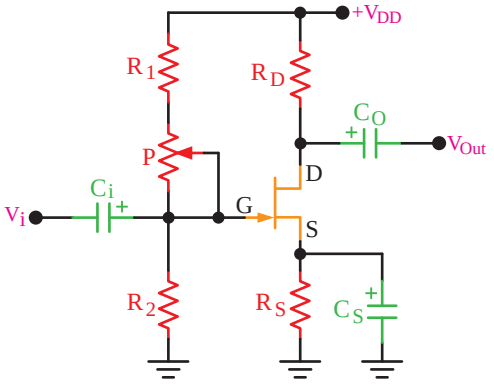


شکل ۱۰-۸- تقویت‌کننده‌ی سورس مشترک به‌صورت سلف بایاس

مشخصات این تقویت‌کننده به شرح زیر است:

- اختلاف فاز بین V_O و V_i برابر با ۱۸۰ درجه
- بهره‌ی تقریبی ولتاژ $A_V = -g_m R_D$ (g_m هدایت انتقالی ترانزیستور و برابر با نسبت I_D به V_{GS} است)
- امپدانس ورودی مدار تقریباً برابر با $R_i=R_G$
- امپدانس خروجی برابر با $R_O=R_D$

برای تأمین بایاس تقویت‌کننده‌ی سورس مشترک می‌توان از بایاس تقسیم ولتاژ مقاومتی نیز استفاده کرد (شکل ۱۱-۸).



شکل ۱۱-۸- تقویت‌کننده‌ی سورس مشترک به‌صورت تقسیم ولتاژ مقاومتی

۸-۲- نکات ایمنی

کلیه‌ی نکات ایمنی مندرج در آزمایش شماره‌ی ۱، ۴ و ۵ را مجدداً مرور کنید و آن‌ها را هنگام اجرای این آزمایش رعایت نمایید.

۸-۳- اجرای آزمایش‌ها به صورت نرم‌افزاری

توجه کنید

پاسخ مواردی که با ستاره مشخص شده است را در کتاب گزارش‌کار و فعالیت‌های آزمایشگاهی درج نمایید.

★ ۸-۳-۱- هدف کلی آزمایش را در کتاب گزارش‌کار و فعالیت‌های آزمایشگاهی بنویسید.

۸-۳-۲- هنرجویان عزیز به مدارهای شبیه‌سازی شده‌ی تقویت‌کننده‌های ترانزیستوری که توسط مربی آزمایشگاه نمایش داده می‌شود توجه نمایید و نحوه‌ی شبیه‌سازی را فرابگیرید.

۸-۳-۳- با مراجعه به جلد دوم کتاب آزمایشگاه مجازی، ابتدا نرم‌افزار مولتی‌سیم را روی کامپیوتر خود نصب کنید. سپس اقدام به شبیه‌سازی مدارها نمایید.

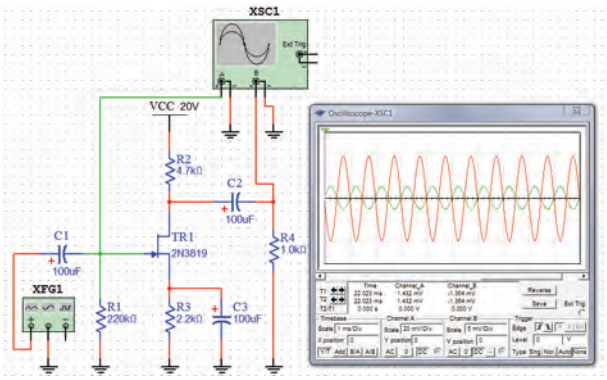
۸-۳-۴- نقشه‌ی پرینت شده‌ی یکی از مدارهای شبیه‌سازی شده را در محل تعیین شده در کتاب گزارش‌کار و فعالیت‌های آزمایشگاهی بچسبانید.

۸-۳-۵- برای مدار سورس مشترک نرم‌افزاری، مقادیر ولتاژ نقاط کار DC را در جدول ۸-۱ بنویسید.

۸-۳-۶- تقویت‌کننده در چه کلاسی قرار دارد؟ شرح دهید.(کلاس‌های تقویت کننده با ترانزیستور FET مشابه ترانزیستور BJT است)

۸-۳-۷- فایل‌های مربوط به مدارهای شبیه‌سازی شده را در CD ذخیره کنید و تحویل مربی کارگاه دهید.

۸-۳-۸- یک نمونه مدار شبیه‌سازی شده را در شکل ۸-۱۲ ملاحظه می‌کنید.



شکل ۸-۱۲- یک نمونه مدار شبیه‌سازی شده‌ی تقویت‌کننده‌ی JFET

۸-۴- قطعات و تجهیزات مورد نیاز

- اسیلوسکوپ دو کاناله	۱ دستگاه
- منحنی نگار(در صورتی که موجوداست)	۱ دستگاه
- منبع تغذیه‌ی DC	۱ دستگاه
- سیگنال ژنراتور صوتی	۱ دستگاه
- مولتی‌متر دیجیتال	۱ دستگاه
- بِردبُرد	۱ عدد
- ترانزیستور JFET موجود در بازار	۱ عدد
- دیود ۱N۴۰۰۱ یا معادل آن	۱ عدد
- خازن ۲۵V، ۱۰۰μF	۳ عدد
- مقاومت‌های ۱KΩ، ۲/۲KΩ، ۴/۷KΩ، ۲۲۰KΩ و ۴۷۰KΩ با قدرت مجاز $\frac{۱}{۴}$W از هر کدام	۱ عدد
- تجهیزات، ابزار و مواد عمومی	

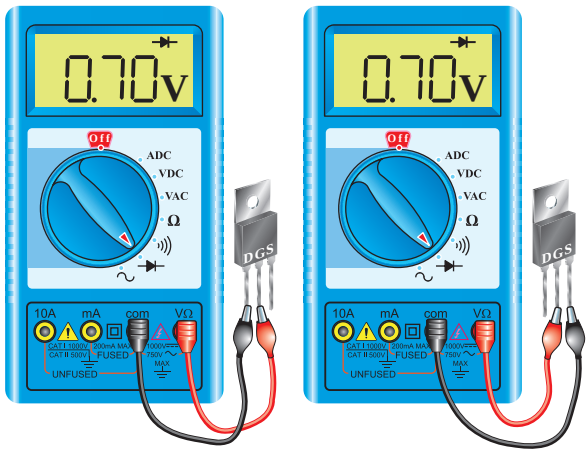
۸-۵- مراحل اجرای آزمایش

۸-۵-۱- با استفاده از برگه‌ی اطلاعات شماره‌ی یک، مشخصه‌های خواسته شده را تعیین کنید و در جدول ۸-۲ بنویسید.

۸-۵-۲- با استفاده از برگه‌ی اطلاعات شماره‌ی یک مشخصات پایه‌های JFET با شماره‌ی ۲N۳۸۱۹ را مشخص کنید.

۸-۵-۳- با توجه به JFETهای موجود در بازار یک عدد JFET در اختیار بگیرید.

۸-۵-۴- با استفاده از مولتی‌متر دیجیتالی طبق شکل ۸-۱۳ پایه‌ای را پیدا کنید که با دو پایه‌ی دیگر به‌صورت یک دیود در بایاس موافق عمل کند.



شکل ۸-۱۳- پیدا کردن پایه‌ی گیت در ترانزیستور JFET

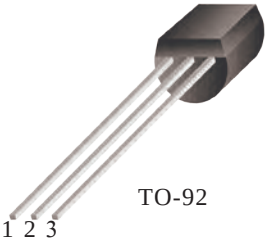
۸-۵-۵- پایه‌ای که نسبت به دو پایه‌ی دیگر به‌صورت دیود عمل می‌کند پایه‌ی گیت است. نتایج به دست آمده را با ترسیم شکل FET و تعیین پایه‌ی گیت روی ترانزیستور مورد آزمایش توضیح دهید.

۸-۵-۶- تشخیص پایه‌ی درین و سورس با استفاده از برگه‌ی اطلاعات ترانزیستور JFET امکان‌پذیر است.

2N3819

N-Channel RF Amplifier

- This device is designed for RF amplifier and mixer applications operating up to 450MHz, and for analog switching requiring low capacitance.
- Sourced from process 50.



TO-92

1 2 3

1.Drain 2.Gate 3.Source

Epitaxial Silicon Transistor:

▶ *Absolute Maximum Ratings** T_C = 25°C unless otherwise noted

Symbol	Parameter	Ratings	Units
V_{DG}	Drain-Gate Voltage	25	V
V_{GS}	Gate-Source Voltage	–25	V
I_D	Drain Current	50	mA
I_{GF}	Forward Gate Current	10	mA
T_{STG}	Storage Temperature Range	–55 to 150	°C

* This ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:

1) These rating are based on a maximum junction temperature of 150 degrees C.

2) These are steady limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

▶ *Electrical Characteristics* T_C = 25°C unless otherwise noted

Symbol	Parameter	Test Condition	Min.	Typ.	Max.	Units
¤ *Off Characteristics*						
$V_{(BR)GSS}$	Gate-Source Breakdown Voltage	I_G = 1.0μA , V_{DS} = 0	25			V
I_{GSS}	Gate Reverse Current	V_{GS} = –15V , V_{DS} = 0			2.0	nA
$V_{GS(off)}$	Gate-Source Cutoff Voltage	V_{DS} = 15V , I_D = 2.0nA			8.0	V
V_{GS}	Gate-Source Voltage	V_{DS} = 15V , I_D = 200μA	–0.5		–7.5	V
¤ *On Characteristics*						
I_{DSS}	Zero Gate Voltage Drain Current	V_{DS} = 15V , V_{GS} = 0	2.0		20	mA
¤ *Small Signal Characteristics*						
gfs	Forward Transfer Conductance	V_{DS} = 15V , V_{GS} = 0 , f = 1.0KHz	2000		6500	μmhos
goss	Output Conductance	V_{DS} = 15V , V_{GS} = 0 , f = 1.0KHz			50	μmhos
Y_{fS}	Forward Transfer Admittance	V_{DS} = 15V , V_{GS} = 0 , f = 1.0KHz	1600			μmhos
C_{iSS}	Input Capacitance	V_{DS} = 15V , V_{GS} = 0 , f = 1.0KHz			8.0	pF
C_{rss}	Reverse Transfer Capacitance	V_{DS} = 15V , V_{GS} = 0 , f = 1.0KHz			4.0	pF

برگه‌ی اطلاعات شماره‌ی ۱

معرفی وب‌سایت

۸-۵-۷- با مراجعه به سایت اینترنتی www.alldatasheet.com، برگه‌ی اطلاعات ترانزیستور مورد آزمایش را پیدا کنید و پایه‌های درین و سورس را مشخص نمایید.

تحقیق کنید

۸-۵-۸- آیا با استفاده از اهم‌متر می‌توان پایه‌های D و S را تشخیص داد؟ در صورتی که در مدار تقویت‌کننده، پایه‌های درین و سورس جا به جا شود، چه اشکالی به‌وجود می‌آید؟ شرح دهید.

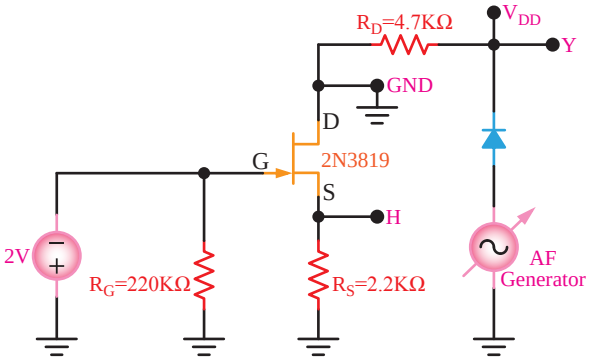
توجه کنید

در صورتی که دستگاه منحنی‌نگار (Curve Tracer) در اختیار دارید مرحله‌ی ۸-۵-۹ را انجام دهید.

۸-۵-۹- در صورتی‌که دستگاه منحنی‌نگار در اختیار دارید، با مراجعه به راهنمای کاربرد دستگاه، منحنی خروجی JFET مورد آزمایش را روی صفحه‌ی اسیلوسکوپ مشاهده و در نمودار ۸-۱ ترسیم کنید. توجه داشته باشید که مقیاس محورها باید صحیح انتخاب شود.

۸-۵-۱۰- مدار شکل ۸-۱۴ را روی بردبُرد ببندید. مدار را در کتاب گزارش‌کار رسم کنید.

این مدار از بسیاری جهات مشابه مدار شکل ۴-۱۱ است که برای مشاهده‌ی منحنی مشخصه‌ی خروجی ترانزیستور BJT در آزمایش ۴ بسته‌اید.



شکل ۸-۱۴- مدار ترسیم منحنی مشخصه‌ی خروجی JFET

۸-۵-۱۱- سیگنال ژنراتور AF را روی فرکانس ۵۰۰ هرتز و دامنه‌ی ماکزیمم قرار دهید.

نکته‌ی مهم

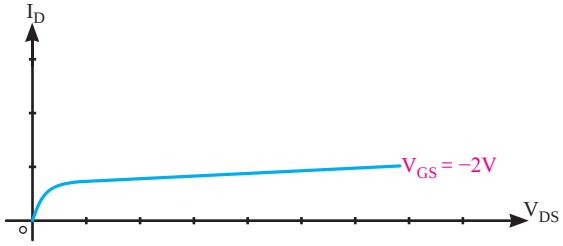
برای اجرای این آزمایش نباید سیم مشترک (زمین- شاسی) دستگاه‌های منبع تغذیه، اسیلوسکوپ و سیگنال ژنراتورAF به‌هم وصل باشد. در صورتی‌که میز آزمایشگاهی شما دارای سیستم، ارتینگ و اتصال مشترک سیم زمین است، قبل از اجرای آزمایش عمل جداسازی سیم‌های مشترک را انجام دهید.

در مدار شکل ۸-۱۴، روی محور افقی اسیلوسکوپ ولتاژ درین سورس و روی محور قائم جریان درین ظاهر می‌شود. در صورت نیاز ولتاژ تغذیه‌ی DC گیت را تغییر دهید.

۸-۵-۱۲- اسیلوسکوپ را روی حالت XY قرار دهید و مقادیر V/Div را به گونه‌ای تنظیم کنید که منحنی خروجی JFET با مقیاس مناسب روی صفحه‌ی اسیلوسکوپ ظاهر شود.

۸-۵-۱۳- منحنی ظاهر شده روی صفحه‌ی اسیلوسکوپ را با مقیاس مناسب در نمودار ۸-۲ ترسیم کنید.

باید روی اسیلوسکوپ شکلی مشابه شکل ۸-۱۵ ظاهر شود.



شکل ۸-۱۵ منحنی مشخصه‌ی خروجی JFET

مقدار ولتاژ DC گیت سورس باید برابر با ولتاژ منبع باشد.

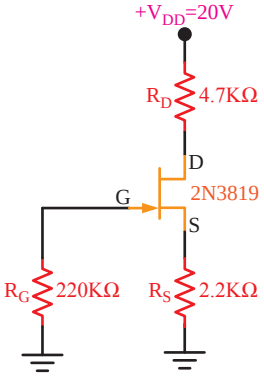
توجه کنید

با توجه به نوع اسیلوسکوپ و ترانزیستور JFET انتخاب شده، ممکن است نیاز به تغییر مقادیر تنظیم شده باشد. لذا لازم است با توجه به شرایط و امکاناتی که در اختیار دارید، تنظیمات را تغییر دهید.

۸-۵-۱۴- مقدار دامنه‌ی خروجی سیگنال ژنراتور را تغییر دهید و اثر آن را روی منحنی خروجی مشاهده کنید. نتایج حاصل از مشاهدات خود را بنویسید.

۸-۵-۱۵- روی منحنی خروجی ترانزیستور JFET که در مرحله‌ی ۸-۵-۱۳ ترسیم کرده‌اید نقطه‌ی کار Q را انتخاب کنید و مختصات آن را بنویسید.

۸-۵-۱۶- مدار شکل ۸-۱۶ را روی بردبُرد ببندید. مدار را در کتاب گزارش‌کار مجدداً رسم کنید.



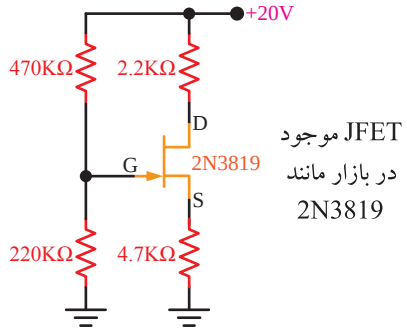
شکل ۸-۱۶- مدار تغذیه‌ی سر خود ترانزیستور JFET

۸-۵-۱۷- به‌وسیله‌ی مولتی‌متر DC ولتاژهای V_S، V_D و V_G را نسبت به نقطه‌ی مبنا (شاسی) اندازه بگیرید و مقادیر را یادداشت نمایید.

۸-۵-۱۸- با توجه به نتایج آزمایش ۸-۵-۱۷ مقادیر I_D و I_G را محاسبه کنید:

$$I_D = \frac{۲۰ - V_D}{۴/۷K\Omega} \quad , \quad I_G = \frac{V_G}{۲۲۰K\Omega}$$

۸-۵-۱۹- مدار شکل ۸-۱۷ را روی بردبُرد ببندید و آن را مجدداً رسم کنید.

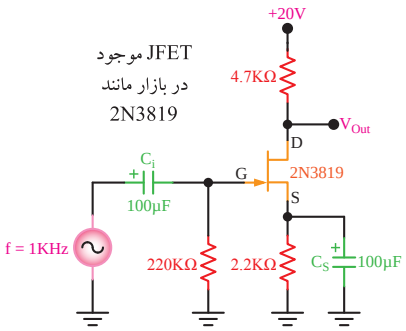


شکل ۸-۱۷- مدار تقسیم ولتاژ مقاومتی در تقویت‌کننده‌ی سورس مشترک

۸-۵-۲۰- با مولتی‌متر DC ولتاژهای V_S، V_D و V_G را نسبت به شاسی و V_{DS} را اندازه بگیرید و یادداشت نمایید.

۸-۵-۲۱- با توجه به نتایج آزمایش ۸-۵-۲۰ مقدار I_D را از رابطه‌ی $I_D = \frac{۲۰ - V_D}{۲/۲K\Omega}$ محاسبه کنید.

۸-۵-۲۲- مدار شکل ۸-۱۸ را روی بردبُرد ببندید و آن را مجدداً رسم کنید.



شکل ۱۸-۸- بررسی تقویت سیگنال در تقویت‌کننده‌ی سورس مشترک بایاس سرخود

★۸-۵-۲۳- سیگنال ژنراتور را خاموش کنید و مقادیر V_D، V_S، V_G، V_{GS} و V_{DS} را با مولتی‌متر DC اندازه‌گیری و یادداشت کنید.

۸-۵-۲۴- با توجه به مقادیر اندازه‌گیری شده در مراحل قبل، مشخصات نقطه‌ی کار ترانزیستور را با استفاده از روابط زیر محاسبه کنید:

$$I_{DQ} = \frac{۲۰ - V_D}{۴/۷K\Omega} \quad , \quad V_{DSQ} = V_D - V_S$$
$$V_{GSQ} = V_G - V_S$$

★۸-۵-۲۵- آیا V_{DSQ} اندازه‌گیری شده با V_{DSQ} محاسبه شده انطباق دارد؟ شرح دهید.

۸-۵-۲۶- سیگنال ژنراتور را روشن کنید و دامنه‌ی سیگنال سینوسی خروجی آن را به گونه‌ای تنظیم کنید که اعوجاج نداشته باشد.

★۸-۵-۲۷- به‌وسیله‌ی اسیلوسکوپ شکل موج سیگنال روی گیت و درین را نسبت به زمین در نمودار ۸-۳ ترسیم کنید و مقدار پیک‌تاپیک آن را اندازه‌گیری نمایید. برای ترسیم شکل موج از اسیلوسکوپ دو کاناله استفاده کنید و هنگام ترسیم، مقیاس و زاویه‌ی فاز را در نظر بگیرید.

۸-۵-۲۸- با توجه به نتایج آزمایش قبل، مقدار بهره‌ی ولتاژ را از رابطه‌ی $A_V = \frac{V_{OPP}}{V_{iPP}}$ محاسبه کنید.

★۸-۵-۲۹- با استفاده از اسیلوسکوپ اختلاف فاز بین ولتاژهای V_{Out} و V_i را اندازه‌گیری کنید. مقدار دقیق آن را یادداشت نمایید. دلیل وجود اختلاف فاز را توضیح دهید.

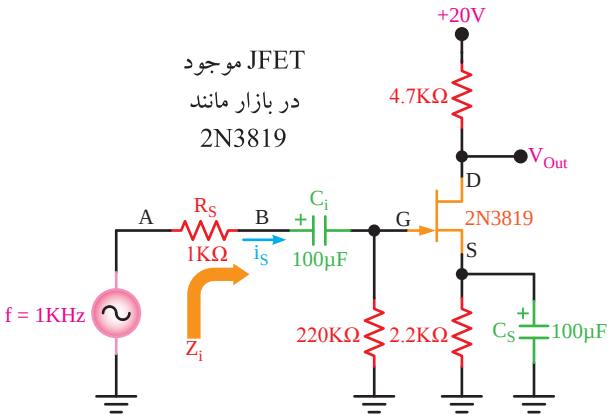
★۸-۵-۳۰- خازن C_S را بردارید و شکل موج‌های ورودی و خروجی را در این حالت نیز در نمودار ۸-۴ ترسیم کنید. از هر دو کانال اسیلوسکوپ استفاده کنید.

★۸-۵-۳۱- مقادیر V_{iPP} و V_{OPP} را اندازه بگیرید و یادداشت نمایید.

★۸-۵-۳۲- با توجه به مقادیر اندازه‌گیری شده، مقدار بهره‌ی ولتاژ مدار را از رابطه‌ی $A_V = \frac{V_{OPP}}{V_{iPP}}$ محاسبه کنید.

★۸-۵-۳۳- با حذف خازن C_S بهره‌ی ولتاژ زیاد می‌شود یا کم؟ چرا؟

★۸-۵-۳۴- خازن C_S را در مدار قرار دهید و مقاومت R_S=۱KΩ را مطابق شکل ۸-۱۹ با خازن C_i سری کنید. مدار را مجدداً رسم کنید.



شکل ۱۹-۸- مدار تقویت‌کننده‌ی سورس مشترک

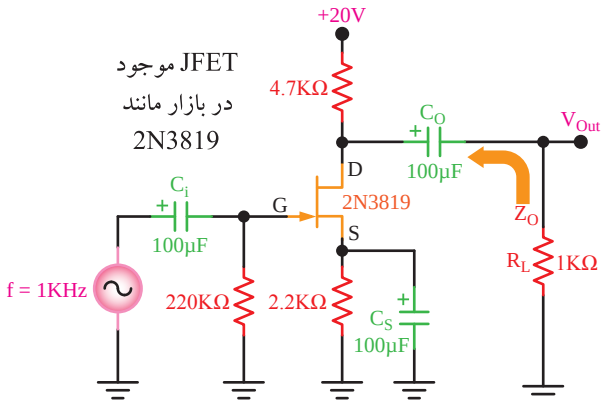
★۸-۵-۳۵- به‌وسیله‌ی اسیلوسکوپ دامنه‌ی پیک‌تاپیک سیگنال نقاط A و B را نسبت به نقطه‌ی زمین اندازه بگیرید و یادداشت نمایید.

★۸-۵-۳۶- با توجه به مقدار ولتاژ اندازه‌گیری شده بین نقاط A و B مقدار جریان I_S که از R_S عبور

می‌کند را محاسبه کنید. این جریان، جریان ورودی مدار سورس مشترک است.

۸-۵-۳۷- با استفاده از رابطه‌ی $Z_i = \frac{V_{S(AC)}}{I_{S(AC)}}$ مقدار امپدانس ورودی تقویت‌کننده را محاسبه کنید.

۸-۵-۳۸- مقاومت R_S=۱KΩ را از ورودی حذف کنید و آن را به جای R_L، مطابق شکل ۸-۲۰، در خروجی قرار دهید. در این حالت خازن کوپلاژ C_O=۱۰۰μF در خروجی قرار می‌گیرد.



شکل ۸-۲۰- قرار دادن مقاومت R_L در خروجی

۸-۵-۳۹- امپدانس خروجی مدار را از محلی که در شکل ۸-۲۰ نشان داده شده است اندازه‌گیری کنید.

تذکر

برای اندازه‌گیری امپدانس خروجی مقاومت R_L را برداشته، دامنه‌ی سیگنال خروجی را با اسیلوسکوپ اندازه‌گیری و یادداشت کنید. این ولتاژ را با «V_{ONL}» نشان می‌دهند؛ سپس مقاومت R_L را در مدار قرار دهید و دامنه‌ی سیگنال خروجی را با اسیلوسکوپ اندازه‌گیری و یادداشت کنید. این ولتاژ را نیز با «V_{OFL}» نشان می‌دهند.

با استفاده از رابطه‌ی $Z_O = \frac{V_{ONL} - V_{OFL}}{V_{OFL}} \times R_L$ مقدار امپدانس خروجی را محاسبه کنید.

۸-۶- نتایج آزمایش

آن‌چه را که در این آزمایش آموخته‌اید به‌طور خلاصه جمع‌بندی کنید.

الگوی پرسش

۸-۷- الگوی پرسش

۸-۷-۱- با توجه به مقادیر به دست آمده در ارتباط با بایاس دیود گیت سورس در تقویت‌کننده‌ی سورس مشترک، کدام گزینه در مورد بایاس دیود گیت سورس صحیح است؟ توضیح دهید.

☐ بایاس مستقیم ☐ بایاس معکوس

☐ بایاس صفر ☐ بستگی به نوع مدار دارد

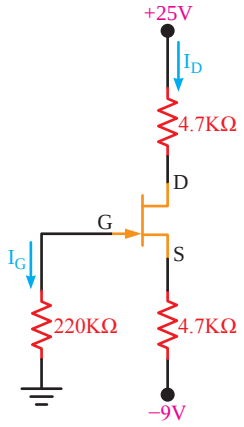
۸-۷-۲- در شکل ۸-۱۶ ولتاژ «گیت سورس» چه‌گونه تأمین می‌شود؟ شرح دهید.

۸-۷-۳- با توجه به نتایج آزمایش‌ها، آیا مقدار V_{GS} در دو مدار ۸-۱۶ و ۸-۱۷ برابراست؟ چرا؟ شرح دهید.

۸-۷-۴- با توجه به شکل ۸-۱۸ و مقدار A_V در مرحله‌ی ۸-۵-۲۸ مقدار g_m ترانزیستور FET را از رابطه‌ی $A_V = -g_m R_D$ محاسبه کنید.

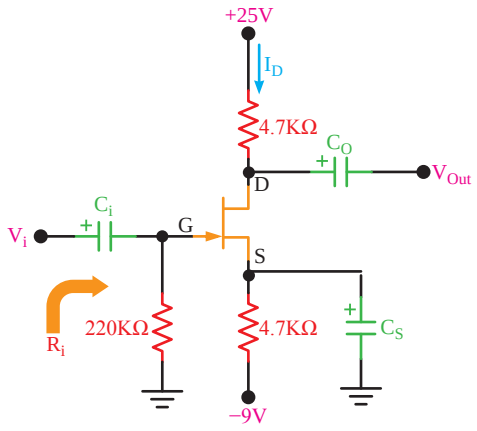
۸-۷-۵- رابطه‌ی $Z_O = \frac{V_{ONL} - V_{OFL}}{V_{OFL}} \times R_L$ را اثبات کنید.

۸-۷-۶- در شکل ۸-۲۱ اگر I_D=۲mA و I_G=۰ باشد مقادیر ولتاژهای V_{DS} و V_{GS} را محاسبه کنید.



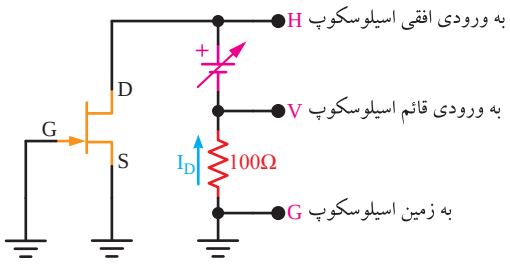
شکل ۲۱-۸- محاسبه‌ی V_{GS} و V_{DS} با توجه به I_D

۸-۷-۷- در شکل ۲۲-۸ ، الف) مدار در چه آرایشی بـه‌کار رفته اسـت؟ ب) امپدانس ورودی مدار را محاسـبه کنید.



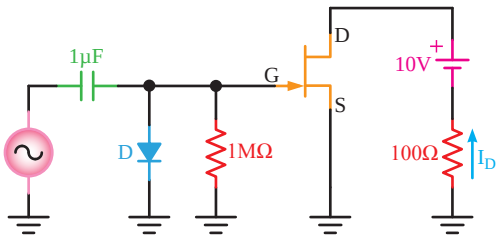
شکل ۲۲-۸- محاسبه‌ی مقادیر V_{GS} ، I_D و V_{DS}

۸-۷-۸- آیا با استفاده از شکل ۲۳-۸ می‌توان منحنی خروجی ترانزیسـتور JFET را روی صفحه‌ی اسیلوسکوپ مشاهده کرد؟ شرح دهید.



شکل ۲۳-۸- مشاهده‌ی منحنی خروجی ترانزیستور FET روی اسیلوسکوپ

۸-۷-۹- با اسـتفاده از مدار شکل ۲۴-۸ می‌خواهیم منحنی انتقالی ترانزیستور FET را روی صفحه‌ی اسیلوسکوپ مشاهده کنیم. محل اتصال مدار را به اسیلوسکوپ در شکل مشخص نمایید. نحوه‌ی تشکیل منحنی را شرح دهید.



شکل ۲۴-۸- مشاهده‌ی منحنی انتقالی

۸-۷-۱۰- با مراجعه به برگه‌ی اطلاعات ۱-۸ مفاهیم زیر را توضیح دهید:

- Gate Source Voltage
- Forward Transfer Admitance
- Input Capacitance
- Storage Temperature Range

۸-۷-۱۱- نحوه‌ی تعیین پایه‌های ترانزیستور JFET را با استفاده از اهم‌متر شرح دهید.

ارزش‌یابی

۸-۸- ارزش‌یابی پایان هر آزمایش

در زمان تعیین شده گزارش‌کار خود را کامل کنید و جهت ارزش‌یابی به مربی کارگاه مراجعه نمایید.