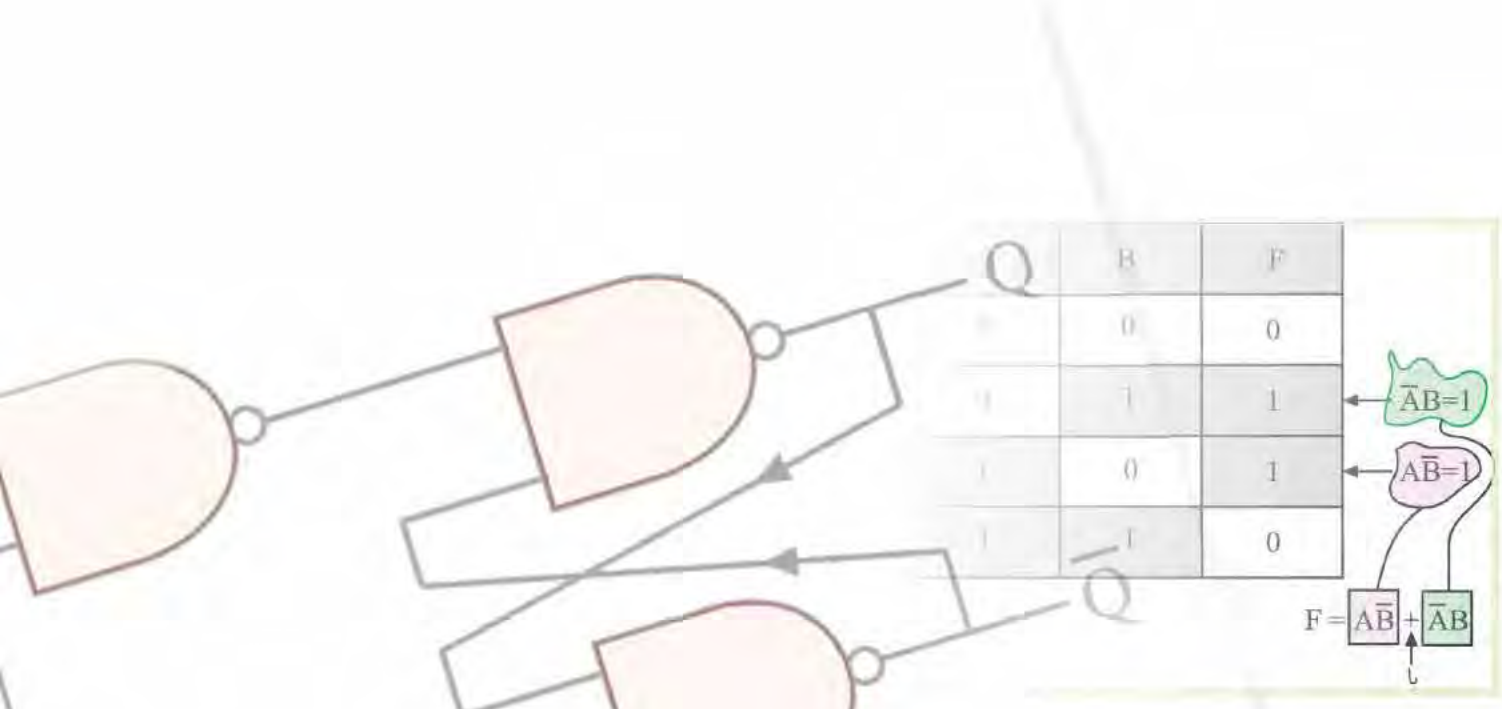
بخش پنجم

دیجیتال و گیت‌های منطقی

هدف کلی :

تحلیل نظری و عملی مدارهای پایه در دیجیتال

واحد کار	شماره توانایی	عنوان توانایی	زمان آموزش		
			نظری	عملی	جمع
U۸	۲۰	توانایی بررسی سیستم‌های دیجیتال و کاربرد آن‌ها	۱۰	۱۲	۲۲



فصل نهم

سیستم‌های دیجیتال و کاربرد آن‌ها

هدف کلی :

تحلیل نظری و عملی مدارهای ترکیبی و ترتیبی در دیجیتال

هدف های رفتاری : در پایان این فصل از فراگیرنده انتظار می‌رود که :

۱- سیستم های دیجیتال و آنالوگ را از یکدیگر تشخیص دهد.

۲- مفهوم صفر و یک منطقی و سطوح آن را شرح دهد.

۳- نماد دروازه های منطقی OR،AND، XNOR،XOR ،NOR،NAND،NOT را رسم کند.

۴- جدول صحت دروازه های منطقی را با استفاده از توابع و گیت ها به دست آورد.

۵- جدول صحت گیت های منطقی را از طریق آزمایش به دست آورد .

۶- توابع بولی را شرح دهد.

۷- عبارت بولی یک تابع منطقی ساده را بنویسد.

۸- اتحادهای اساسی جبر بول را شرح دهد.

۹- توابع بولی ساده را به کمک جدول کارنو به دست آورد.

۱۰ - فرق بین IC های TTL و CMOS را شرح دهد.

۱۱- سیستم‌های اعداد دهدهی و باینری را شرح دهد.

۱۲- روش تبدیل اعداد اعشاری به باینری را شرح دهد.

۱۲-عملکرد مدارهای ترکیبی ، رمز گشا (Decoder)، رمز گذار (Encoder) ، متمرکز کننده (مالتی‌پلکسر) ومنتشر کننده (دی‌مالتی پلکسر) را شرح دهد .

۱۴- عملکرد مدارهای ترتیبی فلیپ فلاپ های RS ، JK ، D و T را شرح دهد.

۱۵- اصول کار آی سی اشمیت تریگر را توضیح دهد.

۱۶-مدارهای Decoder ، مالتی پلکسر و فلیپ فلاپ‌ها را از طریق آزمایش به صورت عملی ببندد و رفتار آن را تحلیل کند.

توانایی شماره ۱۹	ساعت آموزش		
	نظری	عملی	جمع
	۱۰	۱۲	۲۲

پیش آزمون (۱-۹)

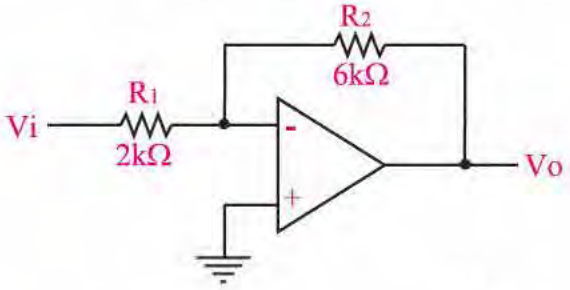
دروازه‌های منطقی

۱- IC ها چه مزایایی نسبت به مدار مجزا دارند ؟

۲- یک تقویت کننده عملیاتی چه مشخصاتی بایدداشته باشد؟

۳-چگونه می‌توان در یک تقویت کننده عملیاتی بهره تقویت را به دل خواه و با دقت تنظیم کرد؟

۴- در شکل زیر بهره ولتاژچه قدر است؟



الف) ۳ ب) ۲

ج) ۶ د)۰/۳۲

۵- با استفاده از چه مداری و چگونه می توان یک موج مربعی تولید کرد ؟ توضیح دهید.

۶- آی سی ۷۴۱ چند پایه دارد ؟

الف)۶

ب) ۸

ج) ۱۴

د)۱۶

۷- چهار مورد از نکات ایمنی مربوط به آی سی را بنویسید.

۸- یک نمونه سیگنال آنالوگ و یک نمونه سیگنال دیجیتالی را رسم کنید.

۹- فرق سیستم های آنالوگ و دیجیتال را شرح دهید .

۱۰-دروازه منطقی را تعریف کنید ؟

۱۱- کدام جدول صحت مربوط به دروازه منطقی AND است ؟

الف)

A	B	F
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۱

ب)

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۱
۱	۱	۰

ج)

A	B	F
۰	۰	۰
۰	۱	۰
۱	۰	۰
۱	۱	۱

د)

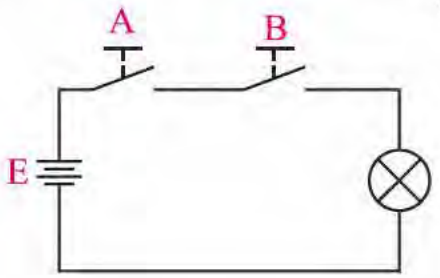
A	B	F
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۰	۰

۱۲- رابطه منطقی خروجی دروازه منطقی XOR کدام است ؟

الف) $\overline{A}B+A\overline{B}$ ب) $\overline{A}\,\overline{B}+AB$

ج) $A+B$ د) $\overline{A+B}$

۱۳- مدار کلیدی زیر ، عملکرد کدام گیت را نشان می‌دهد؟



الف) OR ب) XOR

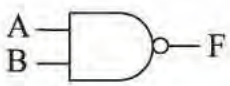
ج) AND د) NOT

۱۴- مفهوم صفر و یک منطقی را شرح دهید.

۱۵- سطوح ولتاژ برای نشان دادن صفر و یک منطقی را رسم کنید.

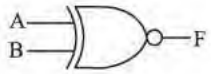
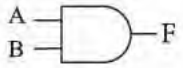
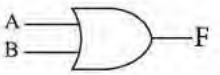
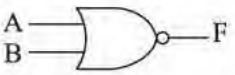
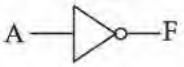
۱۶- مدار کلیدی گیت OR و NOT را رسم کنید.

۱۷ - دروازه منطقی رسم شده در شکل زیر را می‌توان از کدام دروازه های منطقی پایه تشکیل داد ؟



۱۸- برای این که نشان دهیم متغیر A و متغیر B بایکدیگر NOR شده اند از چه رابطه منطقی استفاده می کنیم ؟ رابطه را بنویسید.

۱۹- روابط منطقی نوشته شده در ستون سمت چپ را به دروازه منطقی آن در ستون سمت راست اتصال دهید.

$Y = A+B$	
$Y = A.B$	
$Y = \overline{A}$	
$Y = \overline{A}B + A\overline{B}$	
$Y = \overline{A \oplus B}$	
$Y = \overline{A+B}$	
$Y = \overline{A.B}$	

بعد از مطالعه قسمت اول فصل (۹) به سوالات پیش آزمون ۲ - ۹ پاسخ دهید

پیش آزمون (۲-۹)

جبربول وجدول کارنو

۲۰- جدول صحت مربوط به رابطه منطقی $F = A\overline{B} + \overline{A}B$ را رسم کنید.

۲۱- با استفاده از قوانین جبر بول طرف دوم روابط منطقی زیر را تکمیل کنید.

الف) $A+0$

ب) $A+1$

ج) $A+A$

د) $A+\overline{A}$

هـ) $A.1$

و) $A.0$

ز) AA

ح) $A\overline{A}$

ط) $A(B+C) =$

ی) $\overline{A+B}$

ک) $AB+C$

ل) $\overline{AB}$

۲۲- ساده شده تابع $f(A.B) = \overline{A}\,\overline{B} + \overline{A}B + A$ کدام است؟

الف) صفر

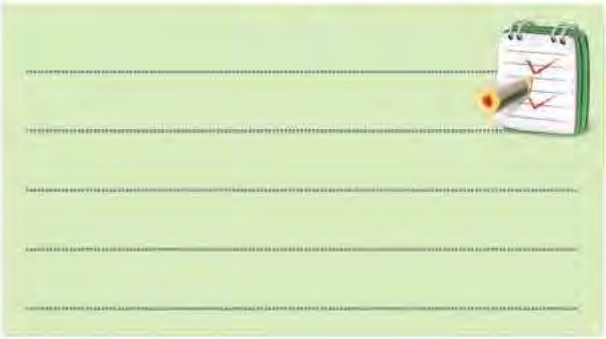
ب) $\overline{A}(\overline{B}+B)$

ج) $A\overline{A}$

د) یک

۲۳- تابع $F = \overline{A}B + \overline{A}\,\overline{B} + \overline{A}$ را بـه کمک قوانین جبر بول ساده کنید؟

۲۴- جدول کارنوی مربوط به رابطه منطق $F=\bar{A}\bar{B}+AB$ را به همراه جدول صحت تابع رسم کنید.



طعم شیرین موفقیت

برای این که طعم شیرین موفقیت را بچشید، باید نسبت به کاری که انجام می دهید علاقه مند باشید و با استفاده از فنون و روش های مربوط به آن کار، آن را با مهارت کامل انجام دهید.

جهت هنرجویان علاقه مند

با جستجو در سایت های مرتبط جدیدترین تولید ات دیجیتالی را شناسایی کنید و در زمینه ی معرفی، مزایا و امکانات این تجهیزات مطالبی را تهیه کنید و به کلاس ارائه دهید.

بعد از مطالعه قسمت دوم فصل ۹ به سوالات پیش آزمون ۳ - ۹ پاسخ دهید

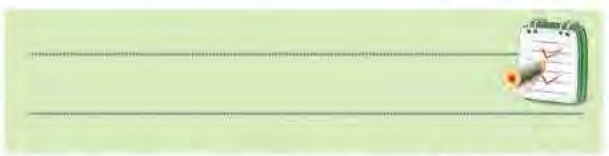
پیش آزمون (۳-۹)

سیستم‌های اعداد

۲۵- عدد ۹۵ درمبنای دهدهی را به مبنای باینری تبدیل کنید.

۲۶- عدد $(۰۱۱۰۱۱۱۰۱)_۲$ را به مبنای دهدهی (دسیمال) تبدیل کنید .

۲۷- در یک عدد باینری کم ارزش‌ترین بیت و با ارزش‌ترین بیت کدام است ؟



۲۸- ارزش مکانی و ضرایب عدد باینری (۱۰۰۱) را بنویسید.

۲۹- عدد ۵ درمبنای اعشاری را در کد BCD نمایش دهید.

$(۵)_{۱۰} = (.....)_{BCD}$

۳۰- در سیستم اعداد باینری به هر .....بیت یک بایت (Byte)می گویند.

بعد از مطالعه قسمت سوم فصل (۹) به سوالات پیش آزمون ۴-۹ پاسخ دهید

پیش آزمون (۴-۹)

مدارهای ترکیبی

۳۱- نـام دیگر مدار رمزگشـا و عملکرد آن را شـرح دهید.

۳۲- اگـر بخواهیـم کلمه ای را در یک سـطر معین از حافظه آدرس دهی کنیم از مدار(رمزگشا ☐، رمز گذار ☐) استفاده می‌کنیم. توضیح دهید.

۳۳- مداری که اطلاعات را از حالت دهدهی به باینری تبدیل می کند رمزگشا نام دارد .

صحیح ☐ غلط ☐

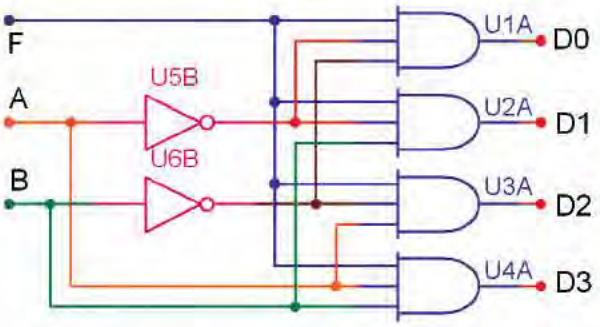
۳۴- هـر رمزگشـا بـا ۲ ورودی دارای(۲☐ ۴☐) خروجـی اسـت و در هـر لحظـه فقـط یکـی از (ورودی‌ها☐ خروجی‌ها ☐) فعال است.

۳۵- یک رمزگشـا دارای ۳ ورودی اسـت. این رمزگشا حداکثر (۴☐ ۸☐) خط خروجی دارد.

۳۶- عملکرد مدار (مالتی پلکسر☐ رمزگشا☐) مانند یک کلید چند حالته است.

۳۷- تعـداد (ورودی ها☐ خروجی ها ☐) مدار مالتی پلکسر در هر لحظه فقط یکی‌است.

۳۸- در مدار دی‌مالتی پلکسـر شـکل زیر اگر خروجی $D_2 = 1$ باشد آدرس A و B کدام است ؟



الف) $A=0$ ، $B=0$ ب) $A=0$ ، $B=1$

ج) $A=1$ ، $B=0$ د) $A=1$ ، $B=1$

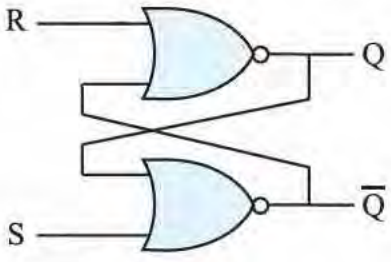
پیش آزمون (۵-۹)

انواع فلیپ فلاپ

۳۹- در فلیپ فلاپ S-R شکل زیر حالت غیرمجاز کدام حالت است ؟

الف) S=۰ R=۰ ب) S=۱ R=۱

ج) S=۰ R=۱ د) S=۱ R=۰

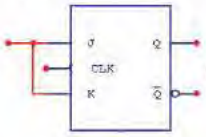


۴۰- جدول صحت فلیپ فلاپ J-K را بنویسید. عیب این فلیپ فلاپ را شرح دهید.

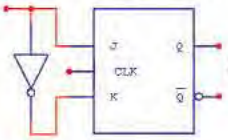
۴۱- برای ثبت n بیت اطلاعات در حافظه به n سلول حافظه (فلیپ فلاپ) نیاز داریم. (صحیح ☐ غلط ☐)

۴۲- رفتار کدام فلیپ فلاپ از نوع فلیپ فلاپ T است؟

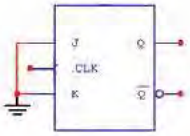
الف)



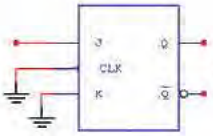
ب)



ج)



د)



۴۳- جدول صحت فلیپ فلاپ از نوع D را بنویسید و کاربرد این فلیپ فلاپ را شرح دهید.

۴۴- جدول درستی فلیپ فلاپ S-R باگیت NAND و فلیپ فلاپ S-R با گیت NOR را بنویسید.

۴۵- نمای بلوکی فلیپ فلاپ S-R ساعتی را رسم کنید.

۴۶- نمای بلوکی فلیپ فلاپ نوع D را رسم کنید.

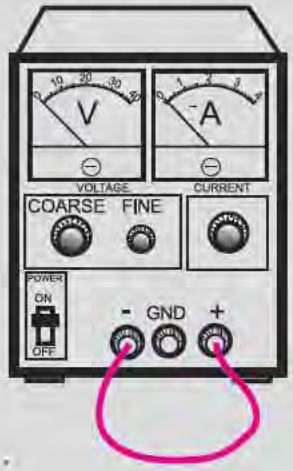
۴۷- عملکرد اشمیت تریگر را توضیح دهید.

۴۸- نماد گیت اشمیت تریگر را رسم کنید.

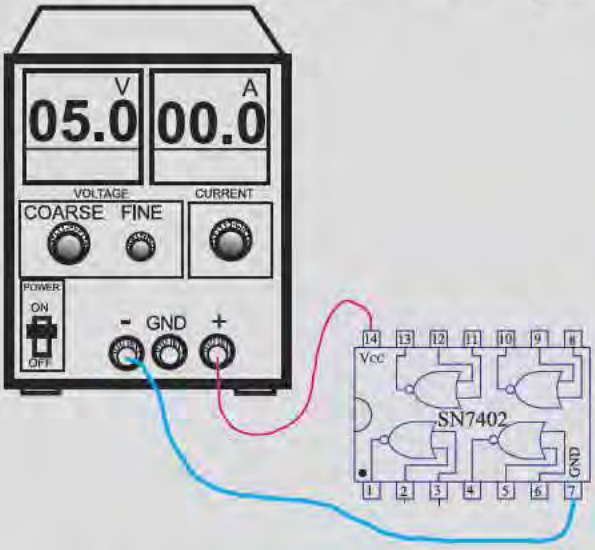
نکات ایمنی فصل (٤)

لطفاً قبل از شروع آزمایش نکات زیر را به خاطر بسپارید:

۱-در صورت امکان از منبع تغذیه‌ای استفاده کنید که در مقابل اتصال کوتاه محافظت شده باشد.



۲- IC‌های سری SN74XX درمحدوده ولتاژ ۷۵ / ۴ تا ۲۵ / ۵ ولت کار می کند . اگر ولتاژ تغذیه این IC ها از ۲۵ / ۵ ولت بیشتر شود ممکن است بسوزد .لذا سعی کنید ولتاژ کار این نوع IC ها را دقیقاً در محدوده ۵ ولت قرار دهید.



۳-هنگام جا زدن IC در بردبرد یا درآوردن آن دقت کنید که پایه های IC کج نشود. در صورت امکان برای درآوردن IC ها ، از IC کش استفاده کنید .

۴-برخی از IC در مقابل الکتریسته ساکن حساس هستند و چنانچه پایه های آن با دست لمس شود آسیب می بیند. هنگام کار با این IC ها دقت کنید تا به آن ها شوک الکتریکی وارد نشود .

۵-در صورتی که از سوکت مخصوص آی سی برای برد آماده استفاده کنید ، احتمال آسیب رسیدن به آی سی کم‌تر می‌شود.

قابل توجه همکاران ارجمند

با توجه به این که مدت اختصاص داده شده به کار عملی در این فصل محدود می باشد. برای اجرای آزمایش های این فصل ، بر اساس هر آزمایش در هنرستان ها یک برد مدار چاپی‌آماده تهیه می‌شود و در اختیار هنرجویان قرار می‌گیرد، لذا هنرجویان بدون بستن تک تک اجزاء مدار می توانند همه‌ی آزمایش‌ها را انجام دهند .

قبل از شروع قسمت اول (۹) به سوالات پیش آزمون ۱-۹ پاسخ دهید .

قسمت اول

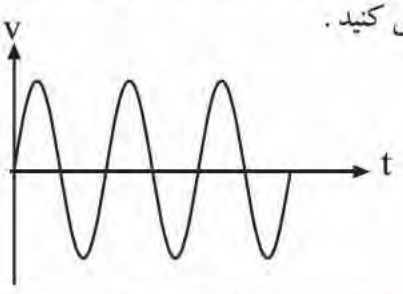
۱-۹ سیستم های آنالوگ و دیجیتال

سیستم های آنالوگ به سیستم هایی گفته می شود که در آن سیگنال ها همواره پیوسته هستند. به عبارت دیگر خروجی سیستم های آنالوگ تابعی پیوسته از ورودی آن است .

برای مثال در یک مولتی‌متر عقربه‌ای ، حرکت عقربه به صورت پیوسته و تدریجی است، یعنی عقربه به صورت پله‌ای حرکت نمی کند. شکل ۱-۹ یک نمونه مولتی‌متر عقربه‌ای با آنالوگ را نشان می‌دهد. در این نوع مولتی‌متر ، عقربه متناسب با کمیت الکتریکی ورودی حرکت می کند و می‌تواند بی‌نهایت موقعیت داشته باشد.

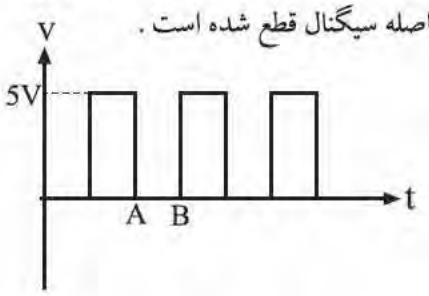
شکل ۱-۹ یک نمونه مولتی متر آنالوگ

در شکل ۲-۹ یک نمونه سیگنال پیوسته یا آنالوگ را مشاهده می کنید .



شکل ۲-۹ یک نمونه سیگنال پیوسته

علاوه بر سیستم آنالوگ ، سیستم دیگری نیز وجود دارد که در آن سیگنال ها ، قطع و وصل می شوند. به این نوع سیستم ، سیستم دیجیتال می گویند . در شکل ۳-۹ یک نمونه سیگنال دیجیتال نشان داده شده است . همان طور که از شکل مشاهده می شود ، هنگامی که سیگنال در زمان A به صفر می رسد ، تا زمان B هم چنان درحالت صفر باقی می ماند ، یعنی در این فاصله سیگنال قطع شده است .



شکل ۳-۹ یک نمونه سیگنال دیجیتالی یا ناپیوسته

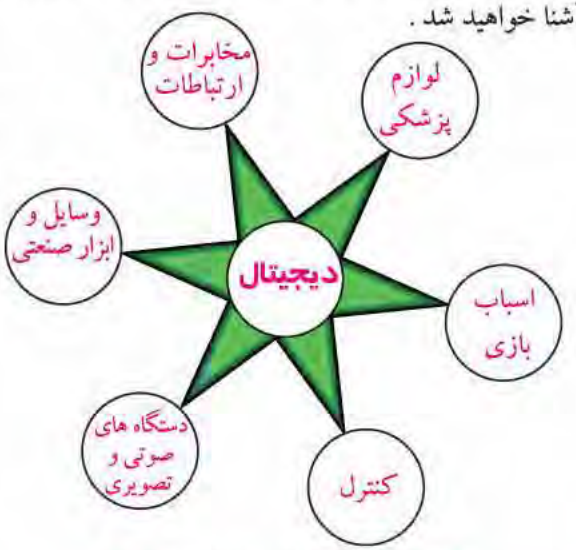
معمولاً صفحه‌ی نمایشگر(Display) دستگاه‌هایی که با سیستم دیجیتال کار می کنند ، مقدار زمان یا کمیت‌های الکتریکی را به صورت ارقام واعداد نشان می‌دهند.از این دستگاه‌ها می‌توان‌ساعت‌دیجیتالی‌یامولتی‌متردیجیتالی رانام‌برد.

شکل ۴-۹ دو نمونه دستگاه دیجیتالی را نشان می دهد. امروزه سیستم های دیجیتالی ، کاربردهای فراوانی دارند و در تمام زمینه ها گسترش یافته اند.

شکل ۴-۹ دو نمونه دستگاه دیجیتالی

توجه‌داشته‌باشید دستگاه‌های دیجیتالی مانند دستگاه های آنالوگ یا هر وسیله دیگری محدودیت دارند.

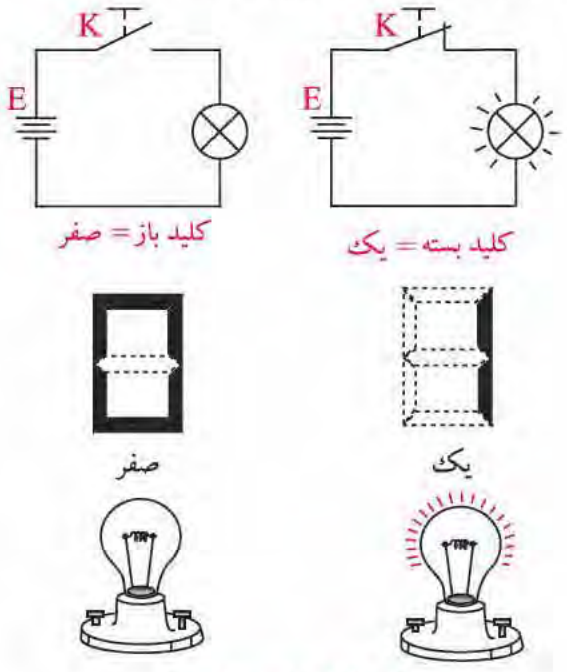
در شکل ۵-۹ بعضی از این کاربردهای دیجیتال نشان داده شده است . در ادامه بحث به اختصار با مدارهای دیجیتالی آشنا خواهید شد .



شکل ۵-۹ کاربردهای مدارهای دیجیتالی

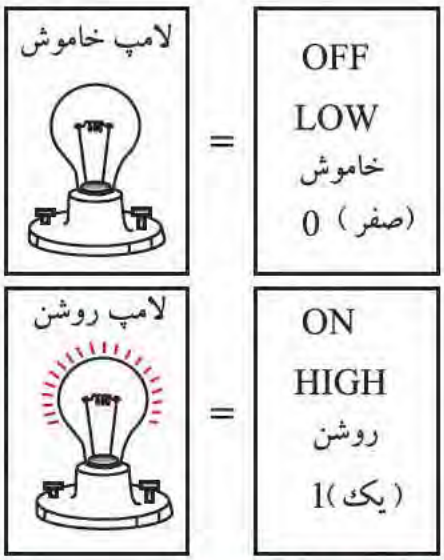
۹-۲ اصول کار مدارهای دیجیتال

۹-۲-۱ مفهوم صفر ویک منطقی : به شکل ۶-۹ توجه کنید .اگر کلید k بسته باشد لامپ روشن می شود واگر کلید k باز باشد لامپ خاموش می شود. بنابراین برای لامپ دو حالت خاموش و روشن وجود دارد .



شکل ۶-۹ مفهوم صفر و یک

اکنون می خواهیم این دو حالت لامپ یا باز و بسته بودن کلید را نام گذاری کنیم. برای این منظور می توانیم از واژه هایی مانند off خاموش یا low برای لامپ در حالت خاموش یا کلید در حالت باز استفاده کنیم . همچنین واژه های on روشن یا HIGH را برای لامپ در حالت روشن به کار می بریم، شکل ۷-۹.



شکل ۷-۹ نام گذاری لامپ در حالت روشن و خاموش

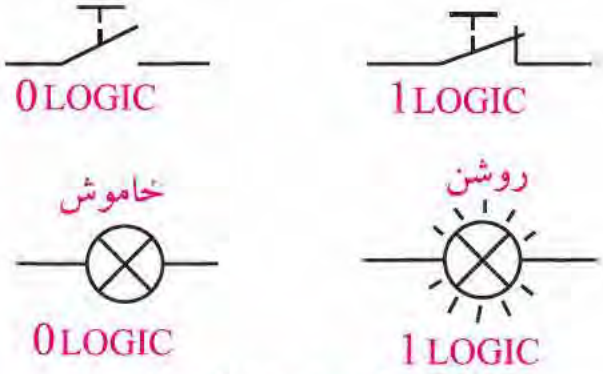
برای نام گذاری دو حالت مختلف لامپ ، می توانیم از اعداد صفر (۰)و یک (۱) نیز استفاده کنیم :

۰ ← لامپ در حالت خاموش

۱ ←لامپ در حالت روشن

چون صفر و یک از نظر کلمه خیلی کوتاه و هم چنین ساده هستند ،از این رو اعداد صفر و یک (۰ و ۱) را به عنوان نمادهایی برای نمایش دو وضعیت مختلف یک لامپ ، کلید یا هر سیستم دو وضعیتی دیگر به کار می برند.

برای این که صفر و یک که در این جا به عنوان نماد به کار برده شده‌اند با صفر و یک جبری اشتباه نشود ، واژه ی Logic یا منطقی را معمولاً به دنبال صفر و یک می آورند. در این شرایط اعداد را به صورت صفر منطقی، یک منطقی ، Logic 0 یا Logic ۱ می‌خوانند. شکل ۸-۹ مفهوم صفر و یک منطقی را نشان می‌دهد .

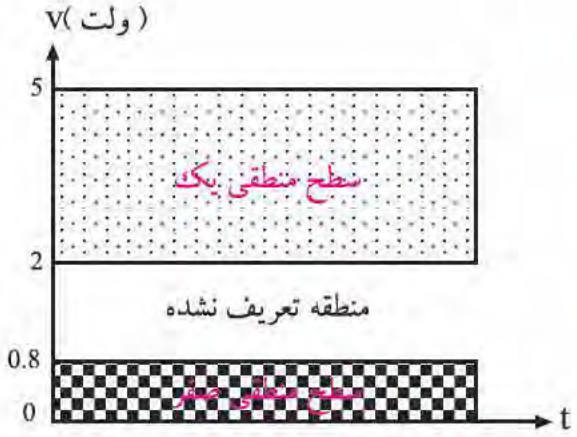


شکل ۸-۹ مفهوم صفر و یک منطقی

رایانه ، ماشین حساب ، ساعت دیجیتالی و سایر دستگاه های پیشرفته بر اساس صفر و یک منطقی کارمی کنند . در این گونه دستگاه ها مفهوم صفر و یک فقط روشن یا خاموش بودن لامپ نیست بلکه وجود یا عدم وجود ولتاژ است ، شکل ۹-۹ .

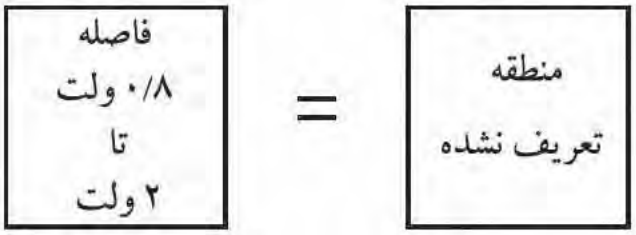
شکل ۹-۹ مفهوم صفر و یک منطقی

به عبارت دیگر ولتاژ حدود صفر تا ۰/۸ ولت را صفر منطقی و ولتاژ حدود ۲ تا بین۵ ولت اندکی فاصله ایجاد شود را به عنوان یک منطقی در نظر می گیرند. در اصطلاح عمومی صفر ولت را به عنوان صفر منطقی و ۵ ولت را به عنوان یک منطقی می‌شناسند. ممکن است سطح ولتاژ یک منطقی در سیستم های مختلف با یکدیگر تفاوت داشته باشد، ولی سطح ۵ ولت به عنوان یک منطقی رایج‌ترین است. شکل ۱۰-۹ سطوح ولتاژ برای صفر منطقی و یک منطقی را نشان می دهد.



شکل ۱۰-۹ سطوح ولتاژ صفر و یک منطقی

اگر سطح ولتاژ بین اعداد ۰/۸ تا ۲ ولت قرار گیرد، نمی توان یقین کرد که عدد انتخاب شده صفر یا یک منطقی است . هم چنین عوامل مختلف مانند حرارت نیز تاثیر گذار خواهد بود . مثلاً اگر مقدار ولتاژ ۱/۵ ولت باشد ، ممکن است دستگاه آن را صفر منطقی یا یک منطقی بشناسد. از این رو منطقه ۰/۸ تا ۲ ولت را منطقه تعریف نشده می نامند تا دستگاه دچار اشتباه نشود، شکل ۱۱-۹.

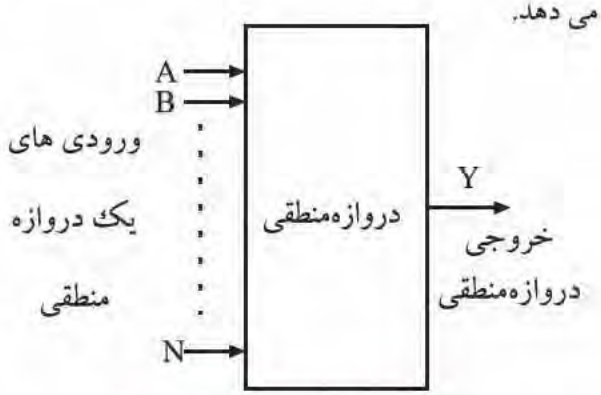


شکل ۱۱-۹ منطقه تعریف نشده

۹-۳ دروازه های منطقی پایه

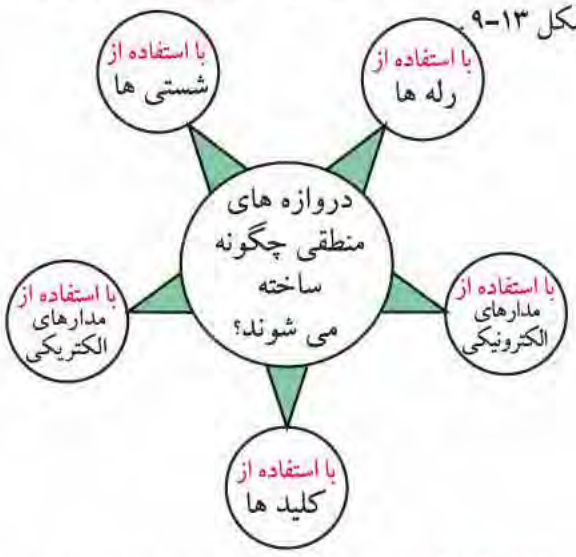
دروازه های منطقی اساس کار سیستم های دیجیتالی را تشکیل می دهند. یک سیستم دیجیتالی از تعدادی دروازه منطقی ساخته شده است . یک دروازه منطقی در حقیقت یک مدار الکترونیکی است که با یک یا چند ورودی ، فقط یک خروجی دارد. شکل ۱۲-۹ بلوک یک دروازه منطقی را نشان

می دهد.



شکل ۱۲-۹ بلوک یک دروازه منطقی

در مدارهای غیر کامپیوتری ، ساخت دروازه های منطقی با استفاده از کلیدها ، شستی ها ، رله ها امکان پذیر است، شکل ۱۳-۹.

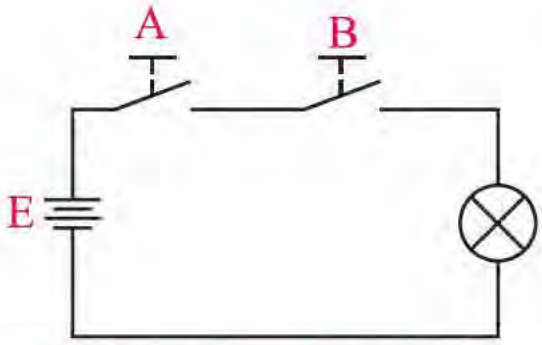


شکل ۱۳-۹ عناصر مورد استفاده در دروازه‌های منطقی

به طور خلاصه یک دروازه منطقی ، یک مدار الکتریکی یا الکترونیکی است که با توجه به حالت هایی که به ورودی آن داده می شود (صفر یا یک منطقی) خروجی آن نیز در وضعیت صفر یا یک منطقی قرار می گیرد . بدین ترتیب انواع دروازه های منطقی به وجود می آید که به شرح آن ها می پردازیم .

۱-۳-۹ دروازه منطقی AND: دروازه منطقی AND ،دروازه‌ای است که اگرهمه ورودی های آن در وضعیت یک منطقی قرار گیرند ، خروجی آن در وضعیت یک منطقی قرار می گیرد .

مدار الکتریکی شکل ۱۴-۹ را در نظر بگیرید ، اگر هر دو کلید AوB باز باشند (در وضعیت صفر منطقی قرار داشته باشند) لامپ خاموش است (لامپ به عنوان خروجی در نظر گرفته می شود)، به عبارت دیگر خروجی در وضعیت صفر منطقی قرار می گیرد . اگر فقط یکی از دو کلید A یا B بسته باشند (A=۱ و B=۰ یا A=۰ و B=۱) باز هم خروجی در وضعیت صفر قرار می گیرد . لذا هنگامی خروجی در وضعیت یک منطقی (لامپ روشن) قرار می گیرد که کلید A و کلید B بسته باشند .



شکل ۱۴-۹ مدار کلیدی دروازه منطقی AND

در جدول ۱-۹ تمامی حالت مختلف باز و بسته بودن کلید مورد بررسی قرار گرفته است.

جدول ۱-۹

وضعیت نور لامپ	وضعیت کلید B	وضعیت کلید A
خاموش	قطع	قطع
خاموش	وصل	قطع
خاموش	قطع	وصل
روشن	وصل	وصل

اگر وصل بودن کلید را یک منطقی و قطع بودن کلید را صفر منطقی و روشن بودن لامپ را یک منطقی و خاموش بودن آن را صفر منطقی در نظر بگیریم ، جدول ۱-۹ به جدول ۲-۹ تبدیل می شود. این جدول را جدول صحت یا درستی گیت AND می نامند. هر دروازه منطقی یا مدار منطقی ، یک جدول صحت دارد.

جدول ۲-۹

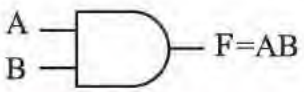
A	B	F
۰	۰	۰
۰	۱	۰
۱	۰	۰
۱	۱	۱

برای نشـان دادن این مفهوم که متغیر A ومتغیر B با یک دیگر AND شده اند، از رابطه زیر استفاده می کنیم.

$$F = A \cdot B$$

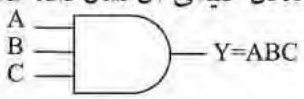
علامت AND

و می‌خوانیم F برابر است با A و B یا AandB. برای ساده نویسی می توانیم علامت نقطه که در بین متغیرها قرار دارد را حذف کنیم . شـکل ۱۵-۹ ، نماد دروازه‌ی منطقی AND و رابطه‌ی ورودی و خروجی آن را نشان می دهد .

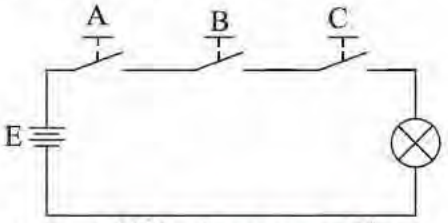


شکل ۱۵-۹ دروازه منطقی AND

یـک دروازه منطقی AND می تواند بیش از دو ورودی داشته باشد. در شکل ۱۶-۹ یک دروازه منطقی با سه ورودی همراه با مدار معادل کلیدی آن نشان داده شده است .



الف - نماد دروازه منطقیAND با سه ورودی

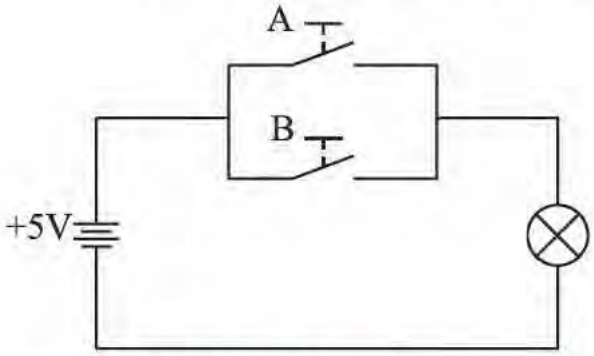


ب - مدارکلیدی دروازه منطقی AND با سه ورودی

شکل ۱۶-۹ نماد و مدار کلیدی دروازه منطقی AND با سه ورودی

۲-۳-۹ دروازه منطقـی OR: دروازه منطقی OR دروازه ای اسـت که اگر حداقل یکی از ورودی های آن در وضعیـت یک منطقی باشـد، خروجـی آن در وضعیت یک منطقی قرار می گیرد .

شـکل ۱۷-۹ مـدار کلیدی دروازه منطقی OR را نشـان می‌دهد. در شکل ۱۷-۹اگر فقط یکی از دو کلید A یا B یا هر دو در وضعیت یک منطقی(حالت بسته) قرار گیرند،خروجی (V_O)در وضعیت یک منطقی قرار خواهد گرفت .



شکل ۱۷-۹ مدار کلیدی دروازه منطقی OR با دو ورودی

برای بررسـی عملکـرد دروازه منطقـی OR ، با توجه به جدول ۳-۹ حالات مختلف باز و بسـته بودن کلیدها را مورد بررسی قرار می‌دهیم.

جدول ۳-۹.

وضعیت نور لامپ	وضعیت کلید B	وضعیت کلید A
خاموش	قطع	قطع
روشن	وصل	قطع
روشن	قطع	وصل
روشن	وصل	وصل

اگـر حالت باز بـودن کلید را صفر منطقی ، حالت بسـته بـودن کلید را یک منطقی ، ولتاژ صفـر ولت را صفر منطقی و ولتـاژ ۵ ولت را یک منطقی در نظـر بگیریم ، جدول ۳-۹ تبدیل به جدول ۴-۹ می شـود . جـدول ۴-۹ جدول صحت دروازه منطقی OR نامیده می شود .

جدول ۴-۹

A	B	F
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۱

برای این که نشـان دهیم متغیر A یا متغیر B با یک دیگر OR شده اند از رابطه زیر استفاده می کنیم.

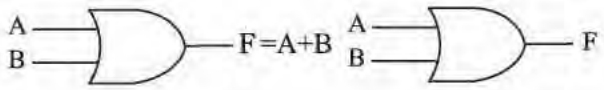
$$F=A \overset{\text{یا}}{+} B$$

علامت OR (نه جمع)

می خوانیم F برابر است با A یا B ، یا A اُر B.

مقـدار F زمانی یک اسـت کـه A یا B یـا هر دو یک باشد.

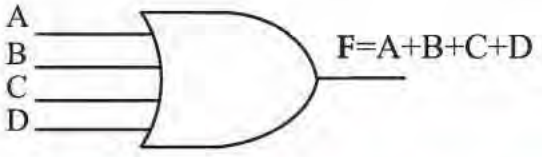
شـکل ۱۸-۹ -الـف نمـاد دروازه منطقی OR و شـکل ۱۸-۹ -ب رابطـه ورودی و خروجی در دروازه منطقی OR را نشان می دهد .



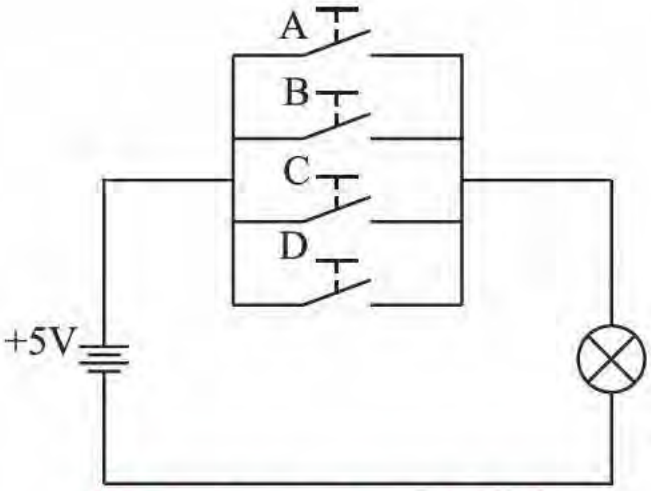
الف :نماد دروازه منطقی OR ب : رابطه خروجی دروازه منطقی OR

شکل ۱۸-۹ دروازه منطقی OR

یـک دروازه منطقـی OR می تواند بیـش از دو ورودی داشته باشد. شکل ۱۹-۹ الف، نماد یک دروازه منطقی OR با چنـد ورودی و شـکل ۱۹-۹ ب، مدار کلیدی آن نشـان می‌دهد .



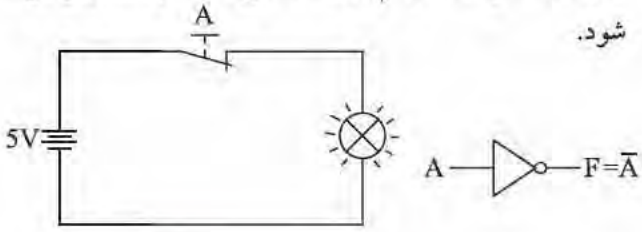
شکل ۱۹-۹ الف) نماد دروازه منطقی با چند ورودی



شکل ۱۹-۹ ب) مدار کلیدی دروازه منطقی OR

۹-۳-۳ دروازه منطقـی NOT : دروازه منطقـی NOT دارای یک ورودی و یک خروجی اسـت. خروجی آن زمانـی در وضعیت یک منطقی قرار می گیرد که ورودی آن در وضعیـت صفر منطقی باشـد. شـکل ۲۰-۹ الف نماد دروازه منطقی NOT را نشان می دهد.

برای بررسـی عملکـرد دروازه منطقی NOT به شـکل ۲۰-۹-ب توجه کنید. اگر کلید در وضعیت عادی باشد یعنی ورودی صفر منطقی شـود ، لامپ روشـن می ماند و چنانچه کلیـد را تحریک کنیـم (یک منطقی) لامـپ خاموش می شود.



الف :نماد دروازه منطقی NOT ب : مدار کلیدی دروازه منطقی NOT

شکل ۲۰-۹ دروازه منطقی NOT

در این مدار نیروی وارد بر کلید حالت یک منطقی و نبود نیرو حالت صفر منطقی است .

این نتایج در جدول ۵-۹ خلاصه شده است.

جدول ۵-۹

وضعیت نور لامپ	وضعیت کلید A
روشن	عادی
خاموش	تحریک شده

جدول ۵-۹ را می توان به صورت جدول ۶-۹ نیز نوشت جدول ۶-۹ جدول صحت دروازه منطقی NOT است.

جدول ۶-۹

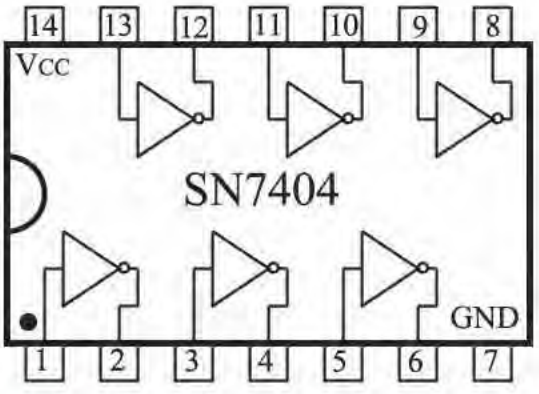
A	F
۰	۱
۱	۰

برای نشان دادن این که خروجی ، NOT ورودی است، از رابطه زیر استفاده می کنیم :

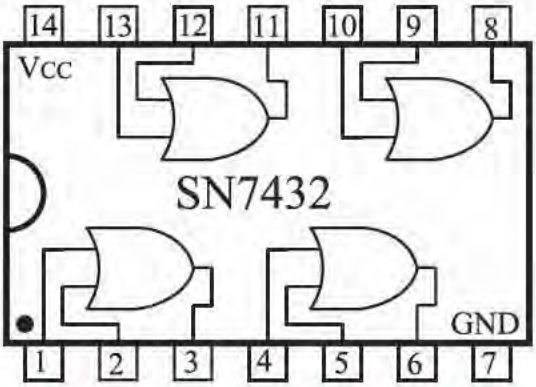
$$F = \overline{A}$$

$\overline{A}$ را A NOT (آنات) یا ناتِ A می‌خوانند .

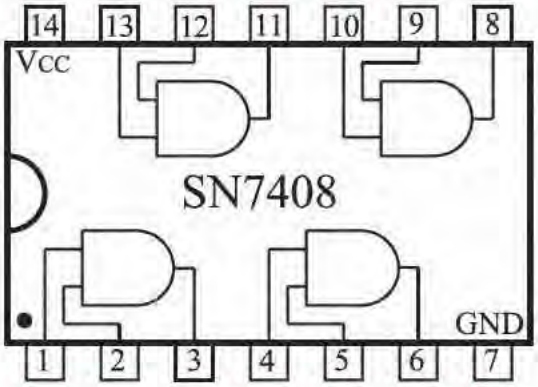
دروازه هـای منطقـی AND ، OR و NOT را بـه صـورت IC (مدار مجتمع)می سـازند و بـه بازار عرضه می‌کننـد. این ICهـا معمولاً ۱۴ یا ۱۶ پایه هسـتند و چند گیت در آن جای دارد . شـکل ۲۱-۹ ،سه نمونه IC شامل دروازه‌های منطقی فوق را نشان می‌دهد .



شکل ۲۱-۹- الف- نقشه داخلی دروازه های منطقی NOT به صورت آی سی



شکل ۲۱-۹-ب- نقشه داخلی دروازه های منطقی OR به صورت آی سی



شکل ۲۱-۹-ج- نقشه داخلی دروازه های منطقی AND به صورت آی سی

همان طور که از شـکل ۲۱-۹ مشخص است درهر IC تعـدادی حدود ۴ یا ۶ دروازه منطقی وجود دارد. هم چنین برای هـر IC یک پایه GND برای اتصـال زمین یا صفر ولـت و یک پایه V_{CC}+ برای ولتـاژ تغذیه ۵ ولت در نظر گرفته می‌شود .

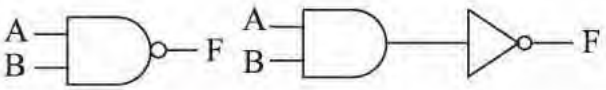
۹-۴ دروازه‌های منطقی ترکیبی

با ترکیـب برخی از دروازه های منطقی پایه با یکدیگر، دروازه های منطقی جدیدی ساخته می شوند که در مدارهای دیجیتالی و کامپیوتری کاربرد فراوانی دارند.

۹-۴-۱ دروازه‌منطقـی NAND: دروازه منطقـی NAND از ترکیـب دو دروازه منطقـی AND و دروازه منطقی NOT به وجود می آید. در دروازه منطقی NAND

ابتدا متغیرهای ورودی با یکدیگر AND شـده و حاصل به دسـت آمده NOT می شود. شـکل ۲۳-۹ – الف ترکیب دروازه منطقی NAND را نشان می دهد .

نماد دروازه منطقی NAND در شـکل ۲۲-۹ ب نشان داده شده است.



الف : ترکیب دروازه منطقی NAND ب : نماد دروازه منطقی NAND

شکل ۲۲-۹ دروازه منطقی NAND

بـرای این که نشـان دهیـم دو متغیر A و B بـا یکدیگر NAND شده اند از رابطه منطقی زیر استفاده می‌کنیم :

$$F=\overline{AB}$$

جدول صحت دروازه منطقی NAND را با اسـتفاده از جدول ۷-۹ می توانیم به دست آوریم. برای این منظور ابتدا ورودی ها را با یکدیگر AND و حاصل به دسـت آمده را NOT می‌کنیم .

جدول ۷-۹

A	B	F= AB	$F=\overline{AB}$
۰	۰	۰	۱
۰	۱	۰	۱
۱	۰	۰	۱
۱	۱	۱	۰

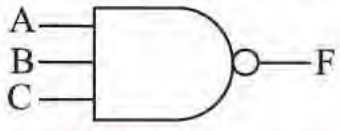
جـدول ۷-۹ را می توانیم به صورت خلاصه تر به شـکل جدول ۸-۹ بنویسیم .

جدول ۸-۹

A	B	$F=\overline{AB}$
۰	۰	۱
۰	۱	۱
۱	۰	۱
۱	۱	۰

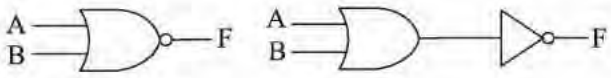
همـان طور که از جدول صحت ۸-۹ پیداسـت ،خروجی دروازه منطقی NAND زمانی در وضعیت یک منطقی قرار می گیرد که حداقل یکی از ورودی های آن در وضعیت صفر منطقی باشد.

دروازه منطقـی NAND نیز مانند دروازه منطقی OR یا AND می تواند بیش از دو ورودی داشته باشد . شکل ۲۳-۹ یک دروازه منطقی NAND رابا سه ورودی نشان می‌دهد.



شکل ۲۳-۹ دروازه منطقی NAND با سه ورودی

۹-۴-۲ دروازه منطقـی NOR : دروازه منطقـی NOR از ترکیب دروازه منطقی OR و دروازه منطقی NOT بـه وجود می آید . در دروازه منطقـی NOR ابتدا متغیرهای ورودی با یکدیگر OR شـده و سپس حاصل به دست آمده NOT می شود . شـکل ۲۴-۹ –الف عملکرد دروازه منطقی NOR وشکل ۲۴- ۹ –ب نماد دروازه منطقی NOR را نشان می دهد.



الف : ترکیب دروازه منطقی NOR ب : نماد دروازه منطقی NOR

شکل ۲۴-۹ دروازه منطقی NOR با دو ورودی

برای این که نشـان دهیم متغیـر A و متغیر B با یکدیگر NOR شده اند ، از رابطه منطقی زیر استفاده می کنیم :

$$F=\overline{A+B}$$

جدول صحـت دروازه منطقـی NOR را مـی توانیم با اسـتفاده از جدول ۹-۹ به دست آوریم . برای این منظور ابتدا ورودی هـا را با یکدیگر OR وسـپس حاصل را NOT می کنیم .

جدول ۹-۹

A	B	F= A+B	$F=\overline{A+B}$
۰	۰	۰	۱
۰	۱	۱	۰
۱	۰	۱	۰
۱	۱	۱	۰

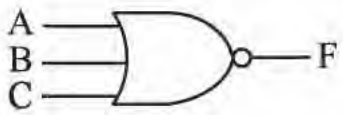
جدول ۹-۹ را می توانیم به صورت خلاصه تر طبق جدول ۱۰-۹ نشان دهیم .

جدول ۱۰-۹

A	B	$F=\overline{A+B}$
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۰

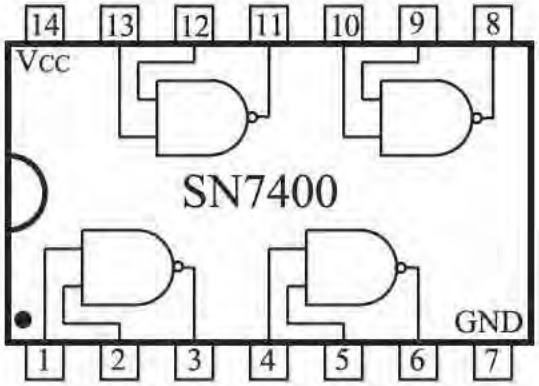
همان طور که از جدول ۱۰-۹ پیداست خروجی دروازه منطقی NOR زمانی در وضعیت یک منطقی است که همه ورودی های آن در وضعیت صفر منطقی باشند.

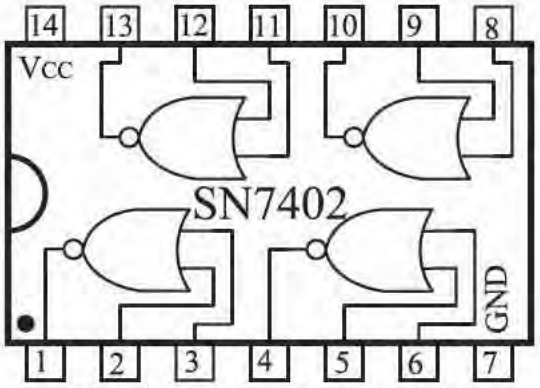
دروازه منطقی NOR نیز مانند بعضی از دروازه های منطقی می تواند بیش از دو ورودی داشته باشد. شکل ۲۵-۹ نماد یک دروازه منطقی با سه ورودی را نشان می دهد.



شکل ۲۵-۹ نماد دروازه منطقی NOR با سه ورودی

در شکل ۲۶-۹، IC های مربوط به دروازه های منطقی NAND و NOR نشان داده شده اند . این آی سی ها در بازار به فراوانی یافت می شوند . در قسمت های بعدی به دروازه های منطقی ترکیبی X-OR و X-NOR می پردازیم .



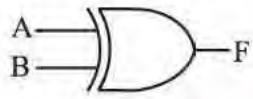


شکل ۲۶-۹ نمای داخلی آی سی هایی با دروازه منطقی NAND وNOR

نقشه داخلی آی‌سی‌های مختلف را می‌توانید از برگه اطلاعات آی سی استخراج کنید. با وجود این که اطلاعات داده شده‌در Datasheet معمولاً به زبان انگلیسی است، باید بتوانید اطلاعات مورد نیاز را استخراج کنید. برای دسترسی به برگه‌ی اطلاعات آی سی ها به کتاب های مربوط یا به سایت های اینترنتی مراجعه کنید .

۹-۴-۳- دروازه منطقی OR انحصاری یا XOR:

این دروازه منطقی فقط دارای دو ورودی است و خروجی این گیت زمانی در وضعیت یک منطقی قرار می گیرد که دو ورودی آن در سطح منطقی مشابه نباشند. نماد این دروازه منطقی در شکل ۲۷ – ۹ نشان داده شده است.



شکل ۲۷ – ۹ نماد دروازه منطقی XOR

جدول صحت دروازه منطقی XOR را در جدول ۱۱ –۹ مشاهده می کنید.

جدول ۱۱ –۹

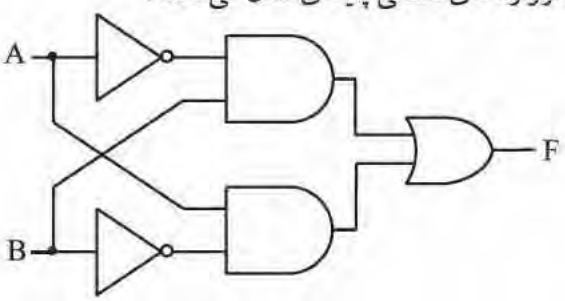
A	B	F = A⊕B
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۰

برای این که نشان دهیم متغیر A و متغیر B با یکدیگر XOR شده اند، از رابطه منطقی زیر استفاده می کنیم :

$$F=A\oplus B$$

$$F=\overline{A}B+A\overline{B}$$

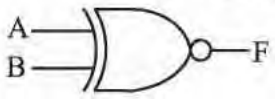
شکل ۲۸–۹ مدار دروازه منطقی XOR را با استفاده ازدروازه های منطقی پایه ای نشان می دهد .



شکل ۲۸–۹ ساختمان داخلی دروازه منطقی XOR

۹-۴-۴ دروازه منطقی NOR انحصاری یا XNOR:

این دروازه منطقی مانند XOR فقط دارای دو ورودی است و خروجی آن هنگامی در وضعیت یک منطقی قرار می گیرد که دو ورودی آن در یک سطح منطقی مشابه باشند (از یک نوع باشند). نماد این دروازه منطقی در شکل ۲۹–۹ نشان داده شده است. جدول صحت دروازه منطقی را درجدول ۱۲–۹ مشاهده می کنید .



شکل ۲۹–۹ نماد دروازه منطقی XNOR

جدول ۱۲–۹

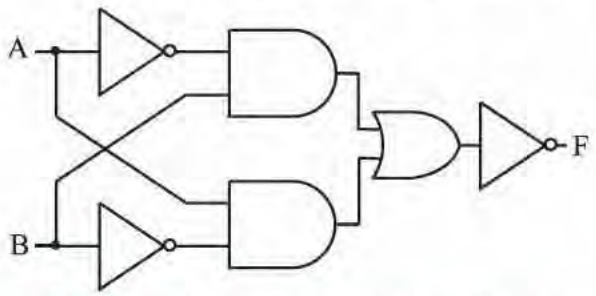
A	B	$F=\overline{A\oplus B}$
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۱

برای این که نشان دهیم متغیر A ومتغیر B با یک دیگر XNOR شده‌اند، از رابطه منطقی زیر استفاده می کنیم :

$$F=\overline{A\oplus B}$$

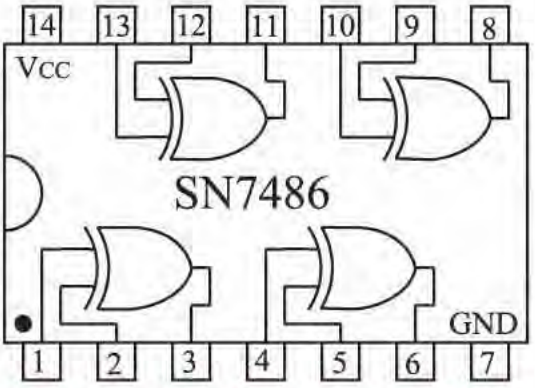
$$F=\overline{A}\,\overline{B}+AB$$

شکل ۳۰ – ۹دروازه منطقی XNOR را با استفاده از دروازه های منطقی پایه‌ای نشان می دهد.



شکل ۳۰ – ۹ساختمان داخلی دروازه منطقی XNOR

در شـکل ۳۱ -۹، IC مربوط به دروازه منطقیXOR نشـان داده شده اسـت . این IC در بازار به فراوانی یافت می‌شود.



شکل ۳۱ - ۹نمای داخلی IC با دروازه منطقیXOR

۵- ۹ساختمان داخلی دروازه های منطقی

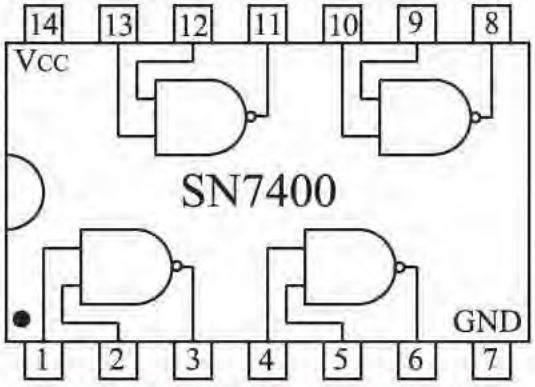
همان‌طور که در ابتدای این فصل گفته شـد به طورکلی یک دروازه منطقی ، یک مدار الکترونیکی نسبتاً ساده است که با توجه به سطوح ولتاژ تعریف شده صفر یا یک منطقی که بـه ورودی آن اعمـال می‌کنیم خروجـی آن نیز دارای یک سـطح ولتاژ تعریف شـده صفر یا یک منطقی می‌شود. مدار الکترونیکی دروازه های منطقی از یک سـری قطعات الکترونیک تشکیل می‌شود که مهم‌ترین آن‌ها ترانزیستورها هسـتند .تقسـیم بندی هایی که می توان برای دروازه‌های منطقی در نظر گرفت به نوع ترانزیستور و آرایش آن ها در مدارهای الکترونیکی بستگی دارد . بر این اساس یک سری تقسیم بندی‌هایی برای دروازه‌هایی منطقی در نظر می‌گیرند. دو نوع تقسـیم بندی برای دروازه‌هـای منطقی که در عمل به صورت IC سـاخته شده و متداول و حائز اهمیت است عبارتند از:

۱-۵-۹IC های‌سـری TTL (Transistor Transistor Logic)

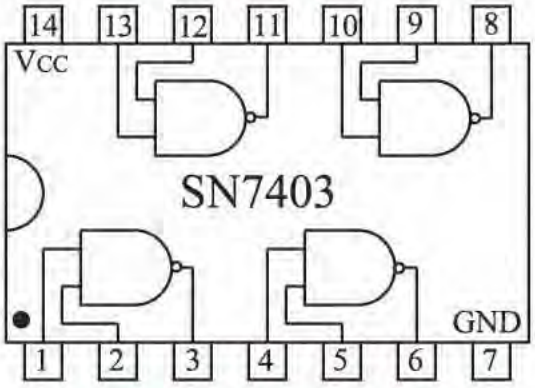
در این نوع IC ها ، دروازه های منطقی از ترانزیستورهای معمولی ساخته می شـوند وIC های آن با پیش شماره۷۴ شروع می شوند.

ولتاژ کار این آی سی ها از ۴/۷۵ تا ۵/۲۵ ولت است .

ICهـای TTL در دو نـوع معمولی (Totem pole) وکلکتور باز (Open Collector) ساخته می شوند . از نظر نماد و یا شکل پایه های IC، هیچ فرقی بین این دو نوع وجود ندارد و معمولاً به جای هم نمی توانند به‌کار روند . برای مثال IC به شماره ۷۴۰۰ شامل ۴ دروازه منطقی NAND از نوع معمولی است و IC شـماره ۷۴۰۳ نیز شامل ۴ دروازه منطقی NAND از نوع کلکتور باز اسـت. شکل ظاهری IC ها در شکل ۳۲-۹ نشان داده شده است .



الف- دروازه منطقی NAND از نوع معمولی



ب- دروازه منطقی NAND از نوع کلکتور باز

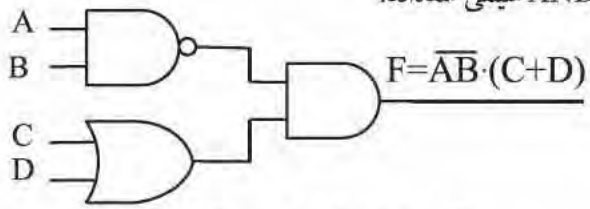
شکل ۳۲-۹

برای مشـخص شـدن این که دروازه های منطقی یک ICاز کدام نوع اسـت باید به کتاب های مرجع برای مثال TTL Data Bookمراجعه شود.

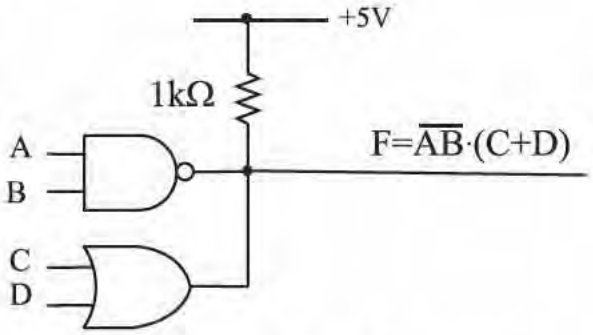
هنگام تعویض یک IC که شامل دروازه‌های منطقی یا سایر عناصر الکترونیکی است، IC جایگزین حتماً باید مشابه IC موجود در مدار باشد .

توجه داشته باشید که همیشه باید خروجی دروازه‌های منطقی از نوع کلکتور باز را با یک مقاومت ۱kΩ به V_{CC} + وصل کنید . از مزایای دروازه های منطقی از نوع کلکتور باز این است که می‌توان خروجی آن ها را به یکدیگر اتصال داد. در این صورت تمامی خروجی ها از نظر منطقی با یکدیگر AND می‌شوند. این نوع AND را AND سیمی می‌نامند.

در صورتی که در دروازه های منطقی معمولی مجاز به اتصال خروجی‌ها به یکدیگر نیستیم. در شکل ۳۳-۹ مزایای دروازه های منطقی از نوع کلکتور باز نشان داده شده است. توجه داشته باشد که در مدارهای شکل ۳۳-۹ الف وب با وجود این که در شکل ب یک گیت AND را حذف کردیم. خروجی های الف و ب مشابه است. به عبارت دیگر در شکل ۳۳-۹ب خروجی دو گیت NAND و OR با هم AND سیمی شده‌اند.



الف - دروازه های منطقی معمولی



ب - دروازه های منطقی از نوع کلکتورباز

شکل ۳۳-۹ خروجی دروازه های منطقی از نوع کلکتور باز را می توان با یک دیگر AND سیمی کرد .

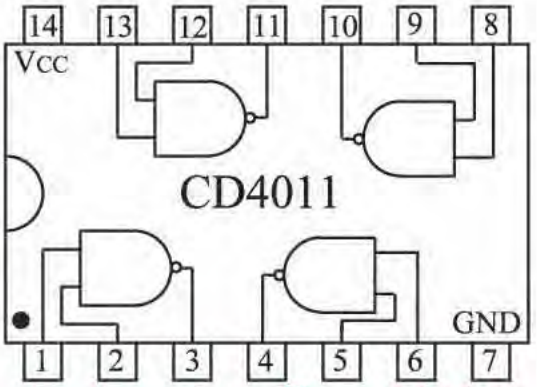
برای گیت‌های ترکیبی باید خروجی هر گیت را مشخص کنید و در نهایت تابع خروجی نهایی را به دست آورید .

۹-۵-۲ IC‌های با تکنولوژی CMOS

در این نوع IC‌ها ، دروازه های منطقی از ترانزیستورهای MOSFET ساخته شده اند . در داخل آی سی های مکمل (CMOS) هر دو نوع MOSFET با کانال P و N وجود دارد .

برای تشخیص پایه های آی سی باید از کاتالوگ یا کتاب اطلاعات آی سی استفاده کنید

شماره این نوع IC ها ، با پیش شماره ۴۰ شروع می شود. ولتاژ تغذیه این IC ها درمحدوده ۳ تا ۱۵ ولت قرار دارد . در این IC‌ها ولتاژی را که به تغذیه IC وصل می کنیم همان ولتاژ سطح یک منطقی است. توان مصرفی این IC‌ها نسبت به IC‌های TTL به مراتب کمتر است .در شکل ۳۴-۹ یک نمونه IC‌از نوع CMOS نشان داده شده است .



شکل ۳۴-۹ یک نمونه IC شامل ۴ عدد دروازه منطقی NAND از نوع CMOS

۹-۶ آزمایش شماره (۱)

زمان اجرا :۲ ساعت آموزشی

۹-۶-۱ هدف های آزمایش : استفاده از راهنمای آی‌سی‌های سری TTL و COMS

۹-۶-۲ تجهیزات، ابزار،قطعات‌و مواد موردنیاز:

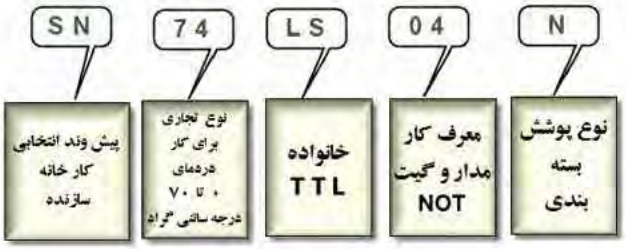
ردیف	نام ومشخصات	تعداد/ مقدار
۱	کتابچه راهنمای آی سی های سری TTL و COMS	از هر کدام یک جلد

۹-۶-۳ شرح خلاصه آزمایش :

اغلب آی سی‌هایی که برای آزمایش‌ها استفاده می کنیم از نوع TTL معمولی هستند. این آی سی‌ها به سری ۷۴ مشهورند زیرا دو رقم سمت چپ شماره سریال آن ها با ۷۴ شروع می‌شود .

برای شماره گذاری آی سی معمولاً حداکثر تعداد ۹ حرف یا عدد می‌آید که هر یک مفهوم خاصی را دارد . دسته‌بندی اعداد و حروف به این ترتیب است که ابتدا دو عدد ، سپس دو حرف و در ادامه سه عدد و در نهایت یک یا دو حرف قرار می گیرد .

درشکل ۳۵-۹ مشخصات مربوط به شماره گذاری یک نمونه آی سی نشان داده شده است .



درشکل ۳۵-۹

یک یا دو حرف انتهایی ، نوع بسته بندی را مشخص می کند که مفهومی به شرح زیر دارد :

سرامیکی	DIP	J
پلاستیکی	DIP	N
سرامیکی مسطح		W

مفهوم حروفی که بعد از شماره ۷۴ قرار می گیرد را در جدول ۱۳-۹ آورده ایم .

جدول ۱۳-۹

۷۴۰۴	نوع استاندارد	بدون حروف
۷۴H۰۴	سریع	H(High-speed)
۷۴L۰۴	کم مصرف	L (Low Power)
۷۴S۰۴	شانکی	S (Schottky)
۷۴LS۰۴	کم مصرف شانکی	LS (Low Power Schottky)
۷۴AS۰۴	شانکی اصلاح شده	AS (Advanced Schottky)
۷۴ALS۰۴	کم مصرف شانکی اصلاح شده	ALS (Advanced Low Power Schottky)

نکته مهم:

توجه داشته باشید که به خاطر سپردن اعداد و حروف مربوط به IC ضرورتی ندارد ، بلکه برای یافتن اطلاعات مربوط به آی‌سی باید بتوانید از برگه‌های اطلاعات یا Data sheet، مشخصات IC را استخراج کنید.

آی سی های سری TTL با ولتاژ تغذیه ۴/۷۵ تا ۵/۲۵ ولت کار می کنند. آی سی های سری CMOS با شماره سری ۴۰ شناخته می‌شوند و با ولتاژ ۳تا۱۵ ولت کار می کنند. در جدول۱۴-۹ برخی از اطلاعات مانند ولتاژ تغذیه (V_t)، قدرت، زمان تاخیر(t_d)، حداکثر جریان ورودی (I_{in} max) وحداکثر جریان خروجی (I_{out} (max)) مربوط به دو نوع آی سی سری TTL و CMOS را ملاحظه می کنید.

جدول ۱۴-۹

Family	Type	V_+(Volt)	V_-(volt)	Power	t_d(ns)	I_{in}(max)	I_{out}(max)
TTL	۷٤۰۰	۵±۵٪	۰	۱۰mW	۱۰	۱,٦mA	۵۰mA
	۷٤L۰۰			۱mW	۳۳	۱۸۰mA	۱۵mA
	۷٤H۰۰			۲۲mW	٦	۲mA	۱۰۰mA
	۷٤S۰۰			۱۹mW	۳	۲nA	۱۰۰mA
CMOS	٤۰۱۱	۳-۱۵	۰	۰,۰۱mW	۲۵-۵۰	۱۰PA	۱mA
		۱,۵-۷,۵	-۱,۵-۷,۵				

۴-۶- ۹مراحل اجرای آزمایش

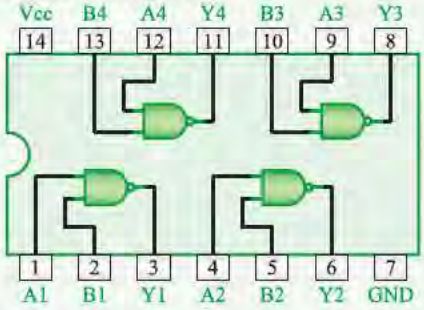
با توجه به قسمتی از برگه‌ی اطلاعات که در شکل ۳۶- ۹آمده است، اطلاعات فنی خواسته شده در مورد آی‌سی ۷۴۰۰را استخراج کنید.

DM74LS00
Quad 2-Input NAND Gate

- ***General Description***

This device contains four independent gates each of which performs the logic NAND function.

- ***Connection Diagram***



- ***Function Table***

$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

شکل ۳۶-۹

سوال ۱- شماره فنی آی سی را بنویسید.

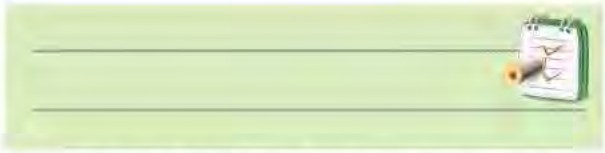
سوال ۲- از شماره فنی آی سی چه اطلاعاتی را می توانید استخراج کنید ؟ توضیح دهید .

سوال ۳- در داخل آی سی چند گیت وجود دارد ؟

سوال ۴- گیت های داخل آی سی ازچه نوع هستند ؟ نام ببرید.

سوال ۵- شماره پایه‌ی مربوط Vcc+ و GND کدام

است ؟



■ با توجه به قسمتی از برگه اطلاعات که در شکل ۳۷-۹ آمده است به سوال زیر پاسخ دهید .

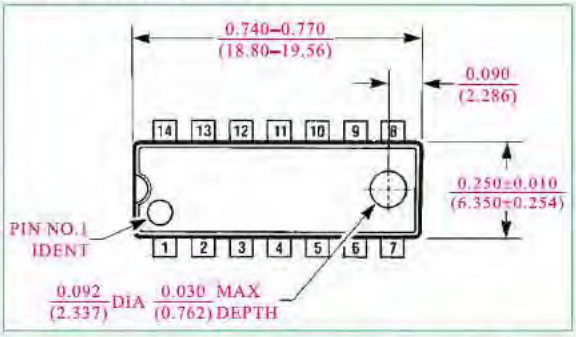
Absolute Maximum Ratings

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Recommended Operating Conditions

Symbol	Parameter	Max	Units
V_{CC}	Supply Voltage	5.25	V
V_{IH}	High Level Input Voltage	2	V
V_{IL}	Low Level Input Voltage	0.8	V
I_{OH}	High Level Output Current	αα	mA
I_{OL}	Low Level Output Current	8	mA
T_A	Free Air Operating Temperature	70	°C

Physical Dimenssions inches (millimeteres) unless otherwise noted



سوال ۶- مقدار ماکزیمم ولتاژ تغذیه آی سی چند ولت است ؟

سوال ۷- درجه حرارت کار آی سی در چه محدوده‌ی قرار دارد ؟

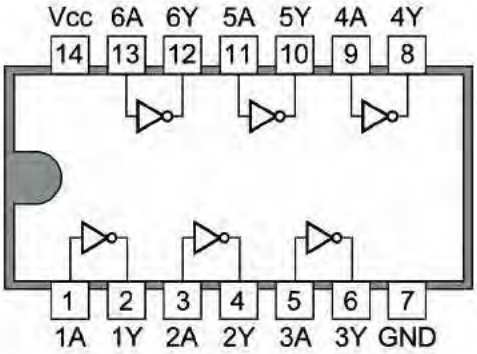
سوال ۸- درجه حرارت ذخیره سازی آی سی در چه محدوده ای قرار دارد؟

سوال ۹- ولتاژ ورودی در حالت سطح ولتاژ کم (low level) چندولت است؟

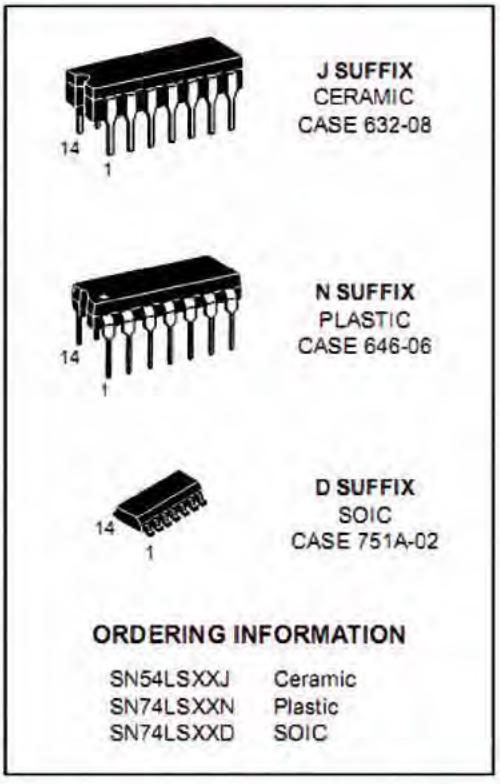
سوال ۱۰- جریان خروجی درسطح ولتاژ کم (low level) چند میلی آمپر است؟

■ با توجه به قسمتی از برگه اطلاعات که در شکل ۳۸-۹ -الف و ۳۸-۹-ب آمده است به سوال های زیر پاسخ دهید.

7404 Hex Inverters



شکل ۳۸-۹- الف قسمتی از برگه اطلاعات آی سی



شکل ۳۸-۹- ب قسمتی از برگه اطلاعات آی سی

سوال ۱۱- شماره فنی آی سی را بنویسید.

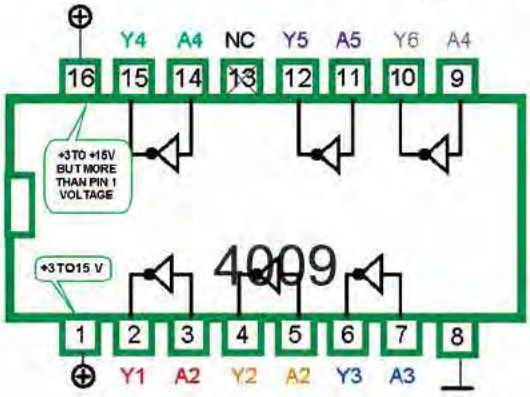
سوال ۱۲– از شماره فنی آی سی چه اطلاعاتی قابل دسترسی است ؟ توضیح دهید.

سوال ۱۳– در داخل آی سی چند گیت وجود دارد ؟ گیت ها از چه نوعی هستند؟

سوال ۱۴– آی سی چند پایه دارد ؟

سوال ۱۵– شماره پایه ی تغذیه Vcc+ و زمین آی سی کدام است ؟ شماره پایه های خروجی و ورودی دو عدد از گیت ها را مشخص کنید.

■ نمونه دیگری از قسمتی از برگه اطلاعات مربوط به یک نمونه آی سی که از کتاب اطلاعات (CMOS cook book) استخراج شده است را در شکل ۹-۳۹ ملاحظه می کنید با توجه به این برگه اطلاعات ، به سوالات پاسخ دهید.



Device is functionally equivalent to the 7404 (TTL) and 74C04 (CMOS) devices.

شکل ۹-۳۹

سوال ۱۶– شماره فنی آی سی را بنویسید.

سوال ۱۷– داخل آی سی چند گیت و جود دارد ؟

سوال ۱۸– نوع گیت را بنویسید.

سوال ۱۹– پایه تغذیه Vcc+ و زمین (GND) آی سی را بنویسید.

سوال ۲۰– مقدار ولتاژ تغذیه آی سی چند ولت است؟

سوال ۲۱– معادل این آی سی را در نوع TTL و نوع CMOS مشخص کنید .

■ با مراجعه به سایت ALLDATASHEET .COM مشخصات دو نمونه آی سی را پیدا کنید که درآن ها گیت‌های OR و AND باشد.

۹-۶-۵ نتایج آزمایش

نتایج حاصل از آزمایش را به طور خلاصه در چند سطر بنویسید.

زمان اجرا: ۴ ساعت آموزشی

۹-۷-۱ هدف آزمایش:

الف : به دست آوردن جدول صحت دروازه های منطقی AND ، OR ، NOT ، NAND و NOR با استفاده از آی‌سی .

۹-۷-۲ تجهیزات، ابزار، قطعات و مواد موردنیاز:

ردیف	نام ومشخصات	تعداد/مقدار
۱	مولتی متر دیجیتالی یا عقربه‌ای	یک دستگاه
۲	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۳	IC ۷۴۰۸	یک عدد
۴	IC ۷۴۳۲	یک عدد
۵	IC ۷۴۰۲	یک عدد
۶	IC ۷۴۰۰	یک عدد
۵	IC ۷۴۰۴	یک عدد
۶	IC ۷۴۸۶	یک عدد
۷	بردبرد یا برد آزمایشگاهی	یک قطعه
۸	دیود نوردهنده LED	یک عدد
۹	مقاومت ۱۰۰Ω	یک عدد
۱۰	کلید دوراهه (از نوع مینیاتوری)	دوعدد
۱۱	سیم‌های رابط	به اندازه کافی
۱۲	ابزار عمومی کارگاه الکترونیک	یک سری

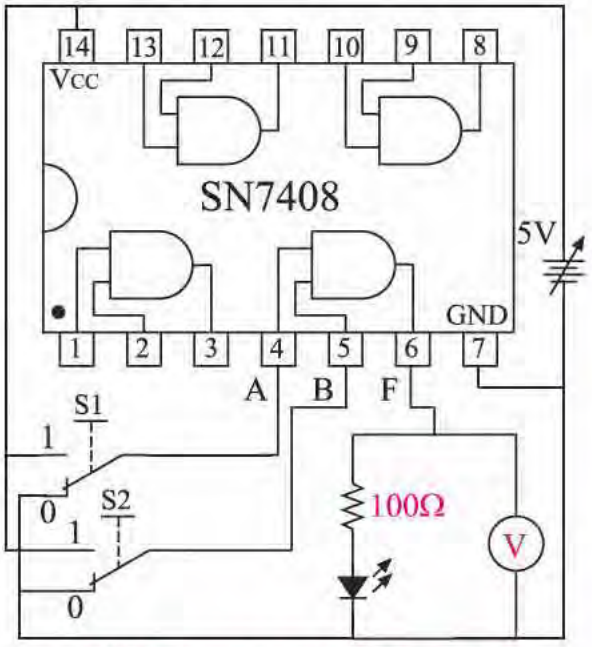
اگر کلید دو راهه در اختیار ندارید می توانید توسط یک تکه سیم، پایه آی سی را به زمین الکتریکی یا ۵+ ولت وصل کنید .

۹-۷-۳ مراحل اجرای آزمایش

الف : به دست آوردن جدول صحت دروازه منطقی AND با استفاده از آی سی.

- وسایل مورد نیاز را آماده کنید.
- مدار شکل ۴۰-۹ را روی برد برد یا برد آزمایشگاهی ببندید.

توجه در صورتی که برد آماده در اختیار دارید از برد آماده استفاده نمایید.



شکل ۴۰-۹ مدار عملی دروازه منطقی AND

- اگرمنبع تغذیه موجود در آزمایشگاه دارای ولتاژ ۵ ولت ثابت است از آن برای تغذیه مدار استفاده کنید.
- در صورتی که منبع تغذیه متغیر در اختیار دارید ابتدا ولتاژ منبع تغذیه را روی ۵ ولت تنظیم و سپس آن را به مدار اتصال دهید.

با قرار دادن کلیدهای S_1 و S_2 در حالات مختلف جدول

۹-۱۵ را تکمیل کنید.

توجه داشته باشید که ولتاژ خط تغذیه IC‌ها (Vcc) همان سطح ولتاژ یک منطقی است و ولتاژی که به پایه GND (زمین) وصل می‌شود، صفر منطقی است. اگر کلیدهای S_1 و S_2 در حالت یک قرار گیرند ولتاژ ۵ ولت (یک منطقی) را به ورودی دروازه منطقی اعمال می کند و اگر در حالت صفر قرار گیرند صفر ولت یا صفر منطقی را به ورودی دروازه منطقی اعمال می کند .

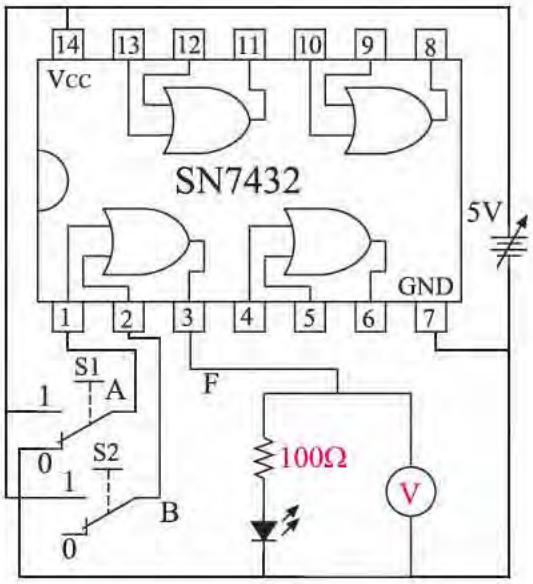
جدول ۹-۱۵

A	B	وضعیت نور LED	مقدار ولتاژی که ولت‌مترنشان می‌دهد	F =AB
۰	۰	خاموش		۰
۰	۱			
۱	۰			
۱	۱			

سوال ۲۲- خروجی دروازه منطقی AND که دارای دو ورودی A و B می باشد ، در چه حالتی برابر یک منطقی است ؟

منطقی OR با استفاده از آی سی.

مدار شکل ۹-۴۱ را روی برد برد یا برد آزمایشگاهی ببندید.



شکل ۹-۴۱ مدار عملی دروازه منطقی OR

منبع تغذیه را روی ۵ ولت تنظیم کنید و سپس آن را به IC اتصال دهید.

اگر منبع تغذیه موجود در آزمایشگاه دارای ولتاژ ۵ ولت ثابت است برای تغذیه IC از آن استفاده کنید.

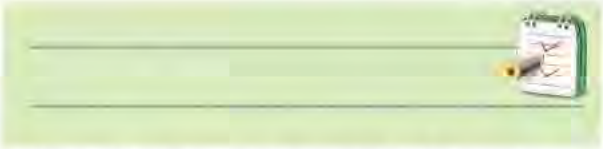
با استفاده از کلیدهای S_1 و S_2 به ورودی یک از دروازه های منطقی OR ، سیگنال های صفر ویک منطقی را اعمال کنید وضعیت خروجی را در هر حالت مشاهده کنید و در جدول ۹-۱۶ درج نمایید.

جدول ۹-۱۶

A	B	وضعیت نور LED	مقدار ولتاژی که ولت‌مترنشان می‌دهد	F =A+B
۰	۰			۰
۰	۱			
۱	۰			
۱	۱			

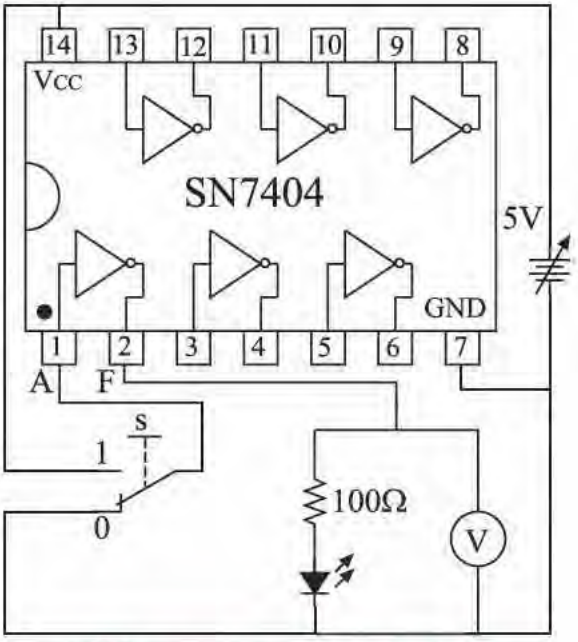
سوال ۲۳- خروجی دروازه منطقی OR که دارای دو

ورودی A و B می باشد در کدام حالت برابر با صفر منطقی است ؟



ج : به دست آوردن جدول صحت دروازه منطقی NOT با استفاده از آی سی.

■ مدار شکل ۴۲-۹ را روی برد برد یا برد آزمایشگاهی ببندید.



شکل ۴۲-۹ مدار عملی دروازه منطقی NOT

■ منبع تغذیه را روی ۵ ولت تنظیم و سپس آن را به IC اتصال دهید .

■ اگر منبع تغذیه موجود در آزمایشگاه دارای خروجی ۵ ولت ثابت است برای تغذیه IC از آن استفاده کنید .

■ با استفاده از یک کلید دو راهه ، صفر و یک منطقی را به ورودی دروازه منطقی NOT بدهید .

■ در هر دو حالت وضعیت خروجی را در جدول ۱۷-۹ یادداشت کنید .

جدول ۱۷-۹

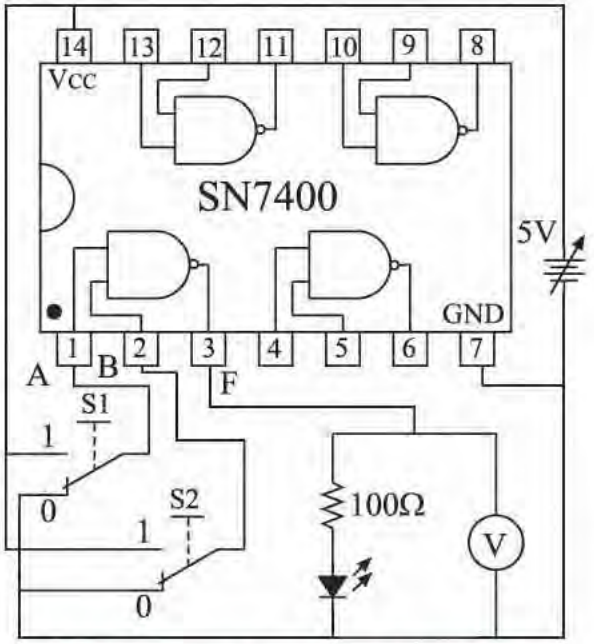
A	وضعیت نور LED	مقدار ولتاژی که ولت‌مترنشان می‌دهد	$F = \overline{A}$
۰			
۱			

سوال ۲۴- در یک گیت NOT آیا همواره سطح ولتاژ خروجی ، نفی (NOT) سطح ورودی می باشد یا خیر ؟

د : به دست آوردن جدول صحت دروازه منطقی (گیت) NAND با استفاده از آی سی.

■ وسایل و قطعات مورد نیاز را آماده کنید.

■ مدار شکل ۴۳-۹ را که قبلاً روی برد مدار چاپی ساخته شده است بررسی کنید.



شکل ۴۳-۹ مدار مربوط به دروازه منطقی NAND

■ اگر منبع تغذیه موجود در آزمایشگاه دارای ولتاژ ثابت ۵ ولت است از آن برای تغذیه IC استفاده کنید . در غیر این صورت ابتدا منبع تغذیه را روی ۵ ولت تنظیم و سپس آن را به مدار IC وصل کنید .

■با قرار دادن کلیدهای S_1 و S_2 در حالات مختلف، جدول ۱۸-۹ را تکمیل کنید.

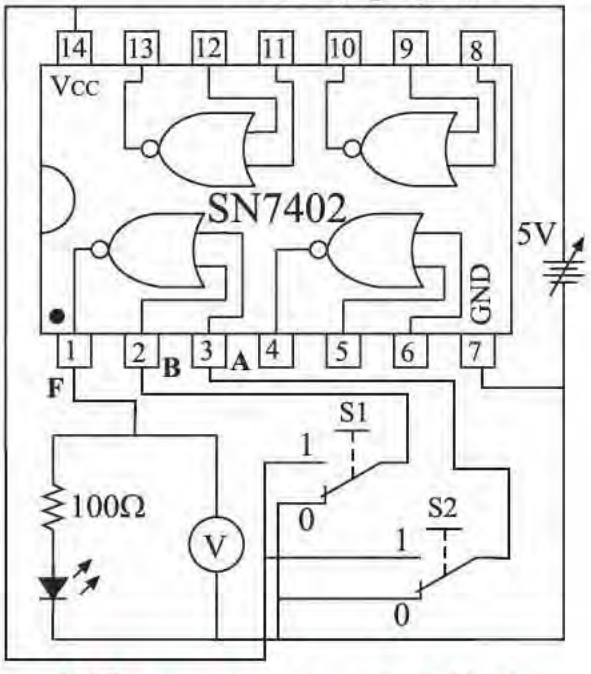
جدول ۱۸-۹

A	B	وضعیت نور LED	مقدار ولتاژی که ولت‌مترنشان می‌دهد	$F=\overline{AB}$
۰	۰			
۰	۱			
۱	۰			
۱	۱			

سوال ۲۵- در چه شرایطی خروجی گیت NAND در سطح منطقی صفر قرار دارد .

هـ: به دست آوردن جدول صحت دروازه منطقی NOR با استفاده از آی سی

■مدار شکل ۴۴-۹ را که قبلاً روی برد مدار چاپی ساخته شده است مورد بررسی قرار دهید .



شکل ۴۴-۹ مدار مربوط به دروازه منطقی NOR

■منبع تغذیه را روی ۵ ولت تنظیم کنید و سپس آن را به پایه Vcc آی سی (IC ۷۴۰۲) اتصال دهید .

■اگر منبع تغذیه موجود در آزمایشگاه دارای ولتاژ ثابت ۵ ولت است برای تغذیه IC، از این ولتاژ ثابت استفاده کنید.

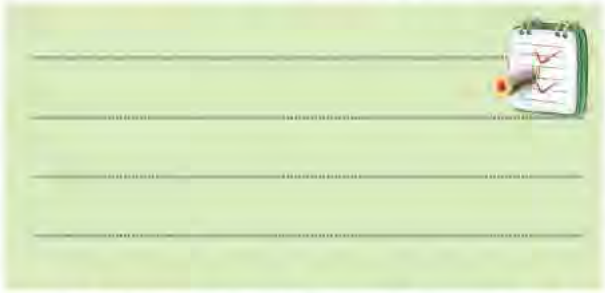
■با استفاده از کلیدهای S_1 و S_2 که به ورودی های یکی از دروازه های منطقی IC به شماره SN ۷۴۰۲ وصل شده‌اند . صفر و یک منطقی را مطابق جدول ۱۹-۹ به IC اعمال کنید.

■وضعیت خروجی دروازه مورد نظر را مشاهده کنید و نتایج به دست آمده را در جدول ۱۹-۹ بنویسید .

جدول ۱۹-۹

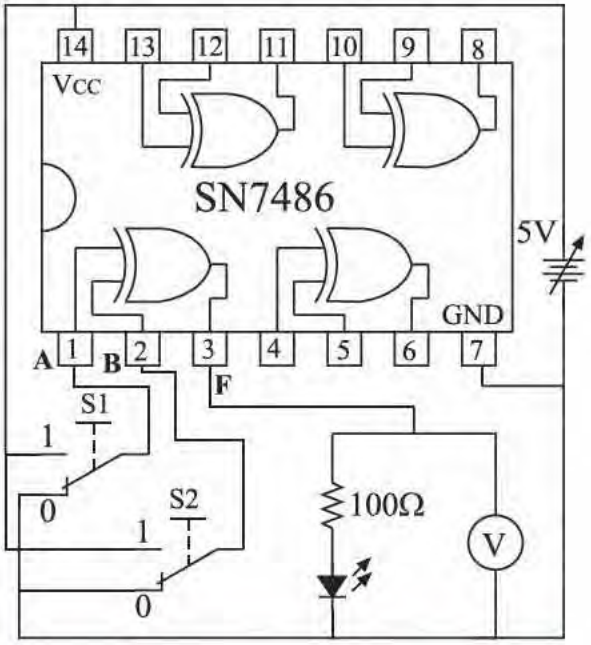
A	B	وضعیت نور LED	مقدار ولتاژی که ولت‌مترنشان می‌دهد	$F=\overline{A+B}$
۰	۰			
۰	۱			
۱	۰			
۱	۱			

سوال ۲۶- در چه شرایطی خروجی گیت NOR در سطح منطقی یک قرار می گیرد؟



و: به دست آوردن جدول صحت دروازه منطقی XOR با استفاده از آی سی

■مدار شکل ۴۵-۹ را که قبلاً روی برد مدار چاپی ساخته شده است مورد بررسی قرار دهید .



شکل ۴۵-۹ مدار مربوط به دروازه منطقی XOR

■ منبع تغذیه را روی ۵ ولت تنظیم کنید و سپس آن را به پایه Vcc آی سی (IC۷۴۸۶) اتصال دهید.

■ اگر منبع تغذیه موجود در آزمایشگاه دارای تغذیه ثابت ۵ ولت است از آن برای تغذیه IC استفاده کنید.

■ با استفاده از کلیدهای S۱ و S۲، به ورودی یکی از دروازه های منطقی XOR مطابق جدول ۲۰-۹ صفر و یک منطقی را اعمال کنید.

■ وضعیت خروجی را در حالات مختلف مشاهده کنید و نتایج را در جدول ۲۰-۹ بنویسید.

جدول ۲۰-۹

A	B	وضعیت نور LED	مقدار ولتاژی که ولت‌مترنشان می‌دهد	$F = A \oplus B$
۰	۰			
۰	۱			
۱	۰			
۱	۱			

۹-۷-۴ نتایج آزمایش

نتایج حاصل از این آزمایش ها را به طور خلاصه بیان کنید.

الف-

ب-

ج-

د-

هـ-

و-

آزمون پایانی فصل (۱-۹)
دروازه‌های منطقی

۱- در یک دروازه منطقی اگر همه ورودی ها یک باشند خروجی آن دروازه منطقی نیز برابر با یک منطقی می شود این دروازه منطقی کدام است ؟

الف) AND ب) OR

ج) NOT د) مورد الف وب

۲- خروجی یک دروازه منطقی OR که دارای دو ورودی A و B است در کدام حالت برابر با صفر منطقی است ؟

الف) حداقل یکی از ورودی های آن برابر یک باشد.

ب) همه ورودی های آن برابر یک باشند.

ج) همه ورودهای آن صفر باشند.

د) حداقل یکی از ورودی های آن صفر باشد.

۳- در رابطه منطقی F=A+B ، در کدام حالت F=۰ می‌شود ؟

الف) $A=۰،B=۱$

ب) $A=۱،B=۰$

ج) $A=۱،B=۱$

د) $A=۰ ، B=۰$

۴- در رابطه منطقی F=AB ، درکدام حالت F=۱ می‌شود؟

الف) $A=۱،B=۰$

ب) $A=۰،B=۰$

ج) $A=۰،B=۱$

د) $A=۱،B=۱$

۵- خروجی دروازه منطقی NAND هنگامی در وضعیت یک منطقی قرار می گیرد که :

الف) همه ووردی های آن صفر باشند .

ب) حداقل یکی از ورودی های آن صفر باشد.

ج) همه ورودی های آن یک باشند.

د) حداقل یکی از ورودی های آن یک باشد.

۶- خروجی دروازه منطقی NOR ، در کدام حالت در وضعیت یک منطقی قرار می گیرد ؟

الف) حداقل یکی از ورودی های آن یک باشند.

ب) حداقل یکی از ورودی های آن صفر باشد.

ج) همه ورودی های آن یک باشد.

ج) همه ورودی های آن صفر باشد.

۷- در کدام حالت خروجی دروازه منطقی XOR برابر با یک می شود ؟

الف) دو ورودی آن در یک سطح منطقی نباشد .

ب) دو ورودی آن در یک سطح منطقی باشد.

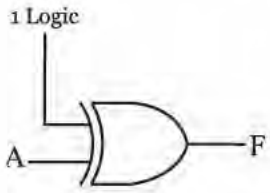
ج) همه ورودی های آن یک باشد .

د) همه ورودی های آن صفر باشد .

۸- در شکل ۴۶-۹ رابطه منطقی F کدام است ؟

الف)۱ ب) ۰

ج) A د) $\overline{A}$



شکل ۴۶-۹

۹- سطح ولتاژ یک منطقی درخروجی دروازه های منطقی بیش تردرکدام محدوده قرار نمی گیرد ؟

الف) ۴ تا ۵ ولت ب) ۳ تا ۴ ولت

ج) ۲ تا ۳ ولت د) ۱ تا ۲ ولت

۱۰- هنگام کار با IC های دروازه های منطقی با تکنولوژی CMOS چه نکاتی را باید مورد توجه قرار داد ؟

۱۱- محدود تغذیه ICهای با تکنولوژی CMOS کدام گزینه است ؟

الف) ۳-۱۵ V ب) ۴/۷۵-۵/۲۵ V

ج) ۵-۱۰ V د) ۵-۱۵ V

۱۲- فرق سیستم دیجیتال و آنالوگ را با ذکر مثال توضیح دهید.

۱۳- فرق صفر و یک منطقی با صفر و یک جبری را شرح دهید .

۱۴- نماد دروازه های منطقی پایه را همراه با جدول صحت آن‌ها رسم کنید .

۱۵- دروازه‌های منطقی NAND و NOR از کدام دروازه‌های منطقی پایه تشکیل شده‌اند؟ با رسم شکل نشان دهید.

۱۶- فرق دروازه منطقی OR با OR انحصاری را شرح دهید .

۱۷- نماد و مدار کلیدی دروازه منطقی NOT را رسم کنید.

۱۸- رابطه منطقی که نشان می‌دهد دو متغیر A و B با یکدیگر NAND شده‌اند را بنویسید.

۱۹- فرق دروازه‌های منطقی معمولی بادروازه‌های منطقی کلکتور باز(Open Collector) را شرح دهید .

۲۰- موارد کاربرد دروازه‌های منطقی کلکتورباز را نام ببرید.

۲۱- آی سی های سری TTL در کدام محدوده ولتاژ کارمی کنند ؟

۲۲- آی سی های سری TTL و CMOS هر کدام با چه پیش شماره ای شروع می شود؟

۲۳- تابع منطقی OR انحصاری به صورت $F = \overline{A}\,\overline{B} + AB$ است. صحیح ❐ غلط ❐

قبل از شروع قسمت دوم فصل ۹ به سوالات پیش آزمون۲-۹ پاسخ دهید .

۹-۸ جبر بول و ساده سازی توابع

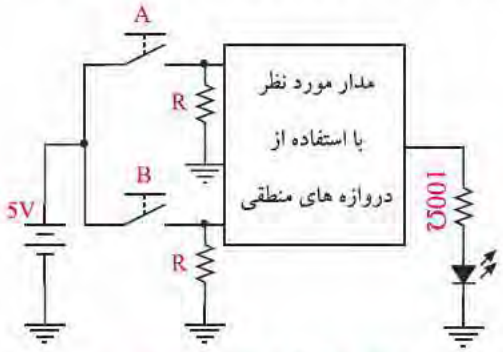
۹-۸-۱ ساده سازی توابع بول بااستفاده از جبربول:

به کمک دروازه های منطقی می توانیم مدارهایی طراحی کنیم که بتوانند یک کار خاص را انجام دهند، شکل ۴۷-۹.

شکل ۴۷-۹ کاربرد جبر بول

فرض کنید می خواهیم با استفاده از دروازه های منطقی مداری طرح کنیم که دارای مشخصات زیر باشد :

۱- دو کلید در ورودی و یک خروجی متصل به یک دیود نوردهنده(LED) داشته باشد، شکل ۴۸-۹.



شکل ۴۸-۹ طرح مدار منطقی و نحوه ارتباط ورودی ها و خروجی آن

۲- اگر هر دو کلید A وB باز یعنی A=۰ و B=۰ باشد دیود نوردهنده روشن شود.

۳- اگر کلید A باز و کلید B بسته یعنی A=۰ و B=۱ باشد دیود نوردهنده روشن شود.

۴- اگر کلید A بسته و کلید B باز یعنی A=۱ و B=۰ باشد دیود نوردهنده خاموش شود .

۵- اگر هر دو کلید A وB بسته یعنی A=۱ و B=۱ باشد دیود نوردهنده روشن شود

به جای مطرح کردن بندهای دو تا پنج می توانیم صورت مسئله را به صورت جدول ۲۱-۹ بیان کنیم

جدول ۲۱-۹

وضعیت نور دیود LED	وضعیت کلید B	وضعیت کلید A
روشن	باز	باز
روشن	بسته	باز
خاموش	باز	بسته
روشن	بسته	بسته

اگر روشن بودن دیود نوردهنده را یک منطقی و خاموش بودن آن را صفر منطقی در نظر بگیریم و باز بودن کلید را صفر منطقی و بسته بودن آن را یک منطقی بنامیم جدول ۲۱-۹ به صورت جدول ۲۲-۹ در می آید .

جدول ۲۲-۹

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

جدول صحت مسئله فوق را می توان به صورت یک عبارت جبری در آورد. عبارت جبری رابرای حالاتی از ورودی ها می نویسند که خروجی سیستم برابر یک می شود، جدول ۲۳-۹.

جدول ۲۳-۹

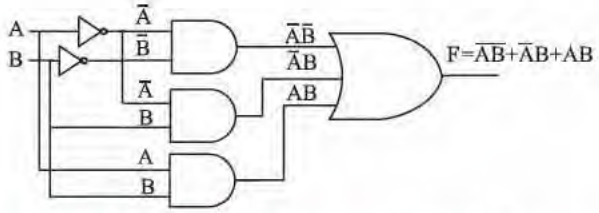
A	B	F	
۰	۰	۱	$\leftarrow \overline{A}\,\overline{B}=1$
۰	۱	۱	$\leftarrow \overline{A}B=1$
۱	۰	۰	
۱	۱	۱	$\leftarrow AB=1$

$$F = \overline{A}\,\overline{B} + \overline{A}B + AB$$

خروجی مدار مورد نظر = جمله اول + جمله دوم + جمله سوم

این عبارت خروجی را تابع بول و قوانین حاکم بر آن را جبر بول می نامند.

مدار شکل ۴۹-۹ مداری است که از گیت‌های AND و OR و NOT تشکیل شده است و خروجی آن همان تابع مورد نظر است .



شکل ۴۹-۹ مدار منطقی مربوط به تابع $F=\bar{A}\bar{B}+\bar{A}B+AB$

به سادگی می‌توانیم با استفاده از یک جدول صحت مشخص ، رابطه منطقی یا بولی آن جدول را استخراج کنیم .

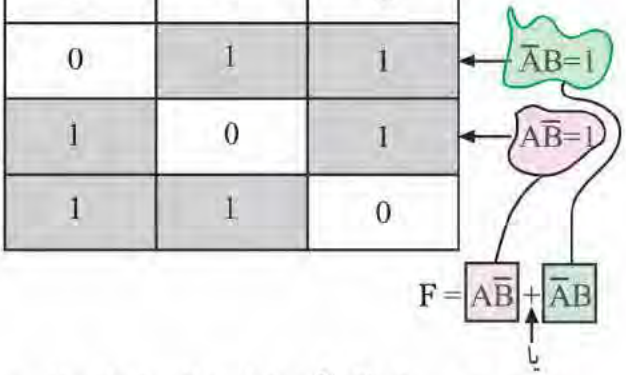
مثال ۱ : رابطه منطقی جدول صحت ۲۴-۹ با توجه به خروجی های F=۱ را بنویسید.

حل :

$F=\bar{A}B+A\bar{B}$

جدول ۲۴-۹

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0



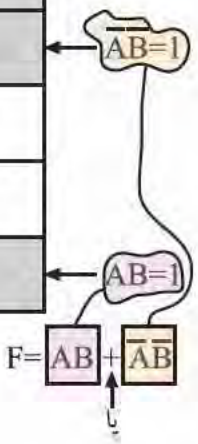
همچنین در صورتی که یک رابطه منطقی یا بولی داشته باشیم ، می توانیم جدول صحت مربوط به آن رابطه را رسم کنیم .

مثال ۲ : جدول صحت رابطه منطقی $F=\bar{A}\bar{B}+AB$ را بنویسید.

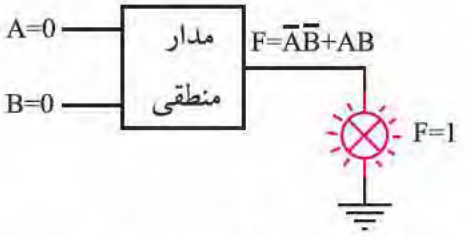
با توجه به رابطه منطقی F جدول صحت تابع به صورت جدول ۲۵-۹ است.

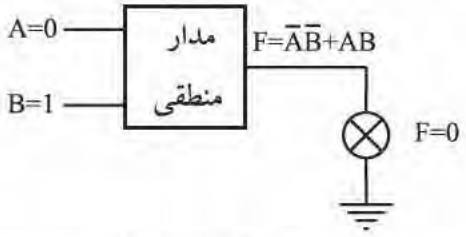
جدول ۲۵-۹

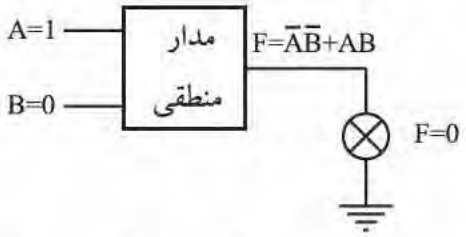
A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

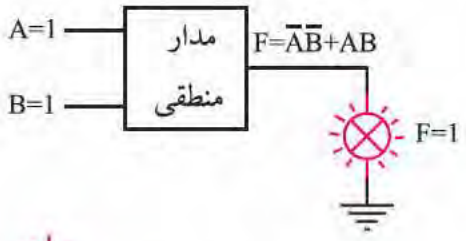


مفهوم رابطه منطقی $F=\bar{A}\bar{B}+AB$ این است که هنگامی F=۱ (F خروجی سیستم است) است که $\bar{A}\bar{B}$=۱ یا AB=۱ باشد در غیر این صورت F=۰ است و $\bar{A}\bar{B}$ هنگامی مساوی یک می شود که A=۰ و B=۰ باشد و همچنین AB هنگامی مساوی یک می شود که A=۱ و B=۱ شود، شکل ۵۰-۹.









لامپ در حالت روشن

شکل ۵۰-۹- خروجی تابع $F=\bar{A}\bar{B}+AB$ هنگامی یک است که $A=B=0$ یا $A=B=1$ باشد.

تمرین کلاسی ۱

جدول صحت مربوط به رابطه منطقی $F=\bar{A}B+A\bar{B}+AB$ را رسم کنید .

برای نوشتن یک رابطه منطقی ، ابتدا سعی می کنیم تا حد ممکن تابع را ساده کنیم (البته ممکن است تابع ساده نشود) سپس اقدام به طراحی آن می کنیم تاهنگام طراحی و ساخت از دروازه های منطقی کمتری استفاده شود. در حقیقت تابع ساده شده با تابع ساده نشده از نظر منطقی معادل است .

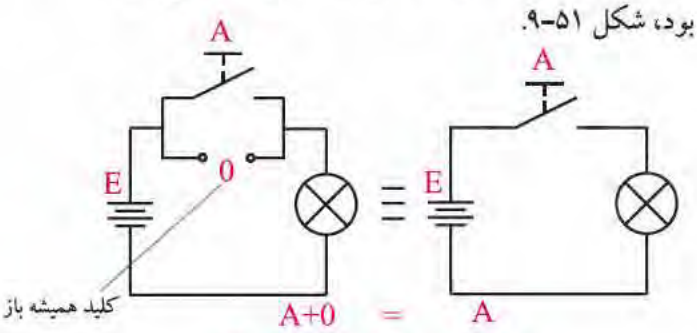
۹-۸-۲ قوانین جبر بول

بـه کمک پاره ای از قوانین حاکـم بر جبر بول می توانیم توابع را ساده کنیم .

در ذیل این قوانین مورد بررسی قرار می گیرند :

قانون ۱ $A+0=A$

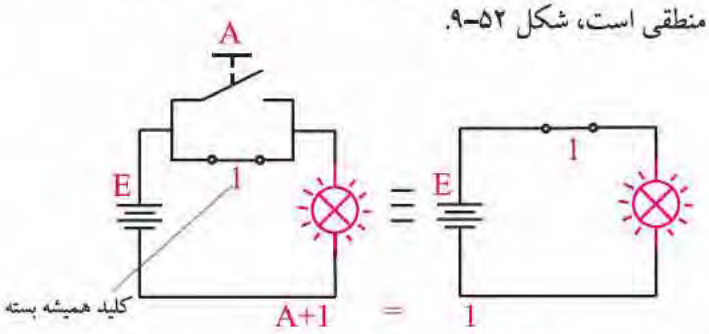
هر تابعی اگر با صفر OR شود ، حاصل همان تابع خواهد بود، شکل ۵۱-۹.



شکل ۵۱-۹ مدار کلیدی $A=A+0$

قانون ۲ $A+1=1$

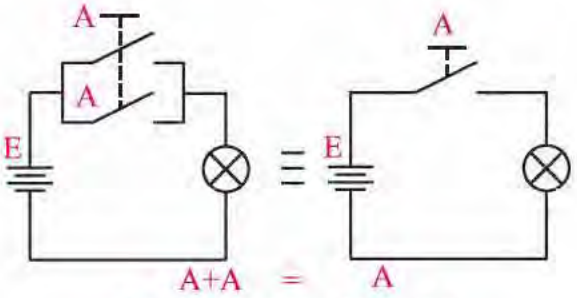
هر تابعی اگر با یک منطقی OR شود ، حاصل همان یک منطقی است، شکل ۵۲-۹.



شکل ۵۲-۹ مدار کلیدی $A+1=1$

قانون ۳ $A+A=A$

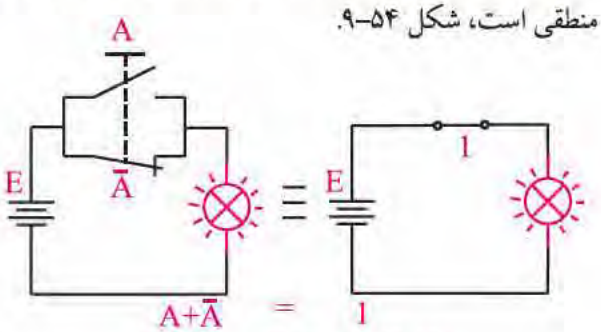
هر تابعی با خودش OR شـود ، حاصل همان تابع خواهد بود، شکل ۵۳-۹ .



شکل ۹-۵۳ مدار کلیدی A+A=A

قانون ۴ $A+\bar{A}=1$

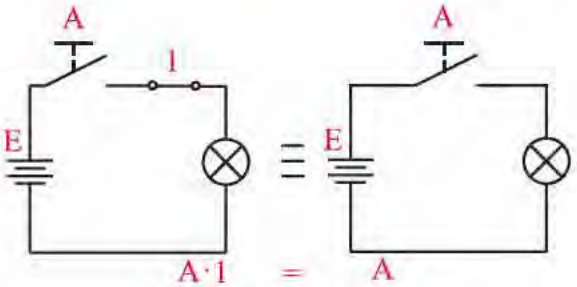
چنـان چه تابعـی با NOTخود ORشـود ، حاصل یک منطقی است، شکل ۹-۵۴.



شکل۹-۵۴ مدار کلیدی $A+\bar{A}=1$

قانون ۵ $A.1=A$

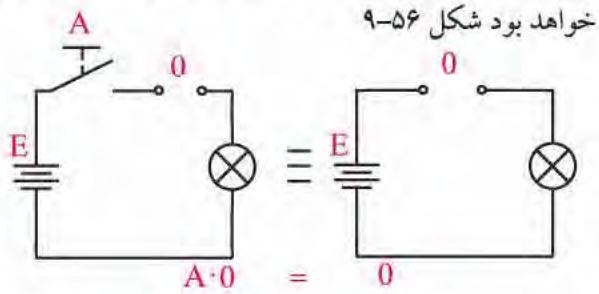
هر تابعی با یک AND شـود ، حاصل همان تابع خواهد بود ،شکل ۹-۵۵ .



شکل ۹-۵۵ مدار کلیدی A.1=A

قانون ۶ $A.0=0$

هـر تابعـی با صفر منطقـی AND شـود ، حاصل صفر خواهد بود شکل ۹-۵۶



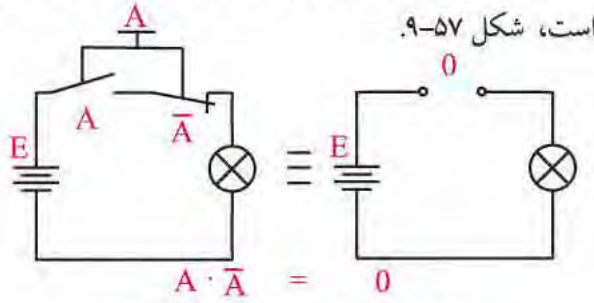
شکل ۹-۵۶ مدار کلیدی A.0=0

قانون ۷ $AA=A$

هر تابعـی با خودش AND شـود ، حاصـل همان تابع خواهد بود

قانون ۸ $A\bar{A}=0$

هـر تابعی بـا NOT خود ANDشـود ، حاصل صفر است، شکل ۹-۵۷.



شکل ۹-۵۷ مدار کلیدی $A.\bar{A}=0$

قوانیـن دیگری نیز وجود دارند که مشـابه قوانین ریاضی هستند و به طور خلاصه عبارتند از :

قانون ۹ $A(B+C)=AB+AC$

توزیع پذیری معادل فاکتورگیری در ریاضی

قانون ۱۰ توزیع پذیری $AB+C=(A+C)(B+C)$

قانون ۱۱ قضایای $\overline{A+B}=\bar{A}.\bar{B}$

قانون ۱۲ دمورگان $\overline{AB} = \bar{A}+\bar{B}$

اسـاس ساده سازی توابع جبر بول ، فاکتورگیری و حذف متغیر هاست.

مثال ۳ : تابع $F=\bar{A}\bar{B}+\bar{A}B$ را ساده کنید.

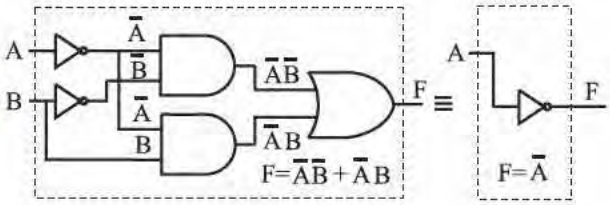
ابتدا از $\bar{A}$ که در هر دو جمله مشترک است فاکتور می‌گیریم .

$$F=\bar{A}(\bar{B}+B)$$

$$B+\bar{B}=1$$

$$F=\bar{A}.1=\bar{A}$$

در شکل ۵۸-۹ تابع ساده نشده و ساده شده رسم شده اند .



الف – مدار ساده نشده

ب – مدار ساده شده

شکل ۵۸-۹ مدار الف وب از نظر منطقی معادل یکدیگرند

علامت ≡ به معنی هم ارز بودن دو مدار از نظر منطقی است .

تمرین کلاسی ۲

تابع $F=AB+\bar{A}B+\bar{A}\bar{B}$ را به کمک روابط جبر بول ساده کنید .

تمرین کلاسی ۳

تابع خروجی مربوط به جدول ۲۶-۹ را بنویسید و آن را ساده نمایید .

جدول ۶۲-۹

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

شرح حال دانشمندان

جورج بول ۱۸۶۴-۱۸۱۵م

جورج بول از پدری کفاش و مادری خدمتکار در انگلستان به دنیا آمد. به منظور حمایت از خانواده و به دلیل مشکلات مالی، خیلی زود تحصیلات ابتدایی را ترک کرد. در سال های جوانی از طریق معلمی امرار معاش می کرد و در سال ۱۸۳۴ مدرسه ای را بنیان گذاشت. به تنهایی مطالعات ریاضیات پیشرفته را دنبال کرد و به واسطه ی انتشار مقالاتی در این زمینه به شهرت جهانی دست یافت. اولین مدال طلای ریاضیات را از انجمن سلطنتی لندن در سال ۱۸۴۴ دریافت کرد و به عنوان اولین پرفسور ریاضیات در کالج کوئین منصوب شد. او همچنین لقب **پدر منطق نمادین** و **بنیانگذار ریاضیات محض** را از آن خود ساخت.

برای کسب اطلاعات بیش تر در مورد زندگی نامه و فعالیت های این دانشمند، می توانید از طریق درج نام وی در یکی از موتورهای جستجو مانند Yahoo یا google اقدام کنید .

۳-۸-۹ ساده سازی توابع با استفاده از جدول کارنو

جدول کارنو شکل تغییر یافته ی جدول صحت است که به وسیله آن می توان ساده ترین حالت توابع منطقی را به دست آورد.

جدول کار نو دو متغیره

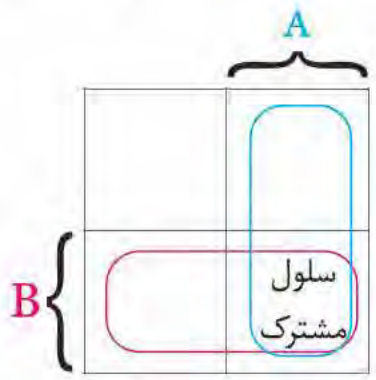
با داشتن دو متغیر در جدول صحت $۴=۲^۲$حالت خواهیم داشت برای دو متغیر A و Bجدول صحت به صورت جدول ۲۷- ۹در می آید.

جدول۲۷ -۹

تابع منطقی هر سطر	B	A	عدد معادل دسی مال هرسطر
$\overline{A}\overline{B}$	۰	۰	۰
$\overline{A}B$	۱	۰	۱
$A\overline{B}$	۰	۱	۲
AB	۱	۱	۳

در جدول کارنو چهار سلول وجود دارد. از این چهار سلول تعداد دو سلول به متغیر A و تعداد دو سلول به متغیر B اختصاص داده شده است .

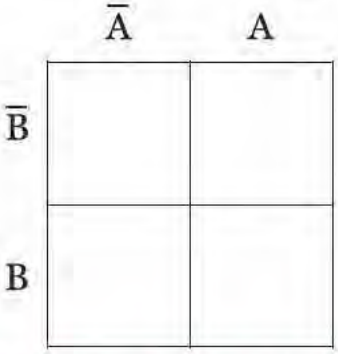
لذا جدول کارنوی دو متغیره مانند شکل ۵۹-۹ است .



شکل ۵۹-۹ جدول کارنوی دو متغیره

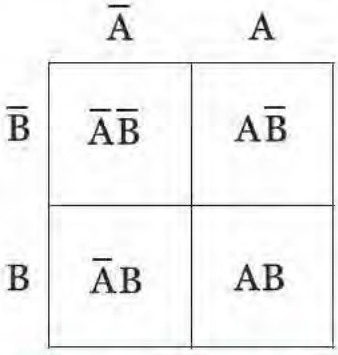
همان طور که مشاهده می شود متغیرهای A و B در یک سلول مشترک هستند.

در شکل ۶۰-۹ سلول هایی که به متغیر A تعلق ندارند به عبارتی مربوط به $\overline{A}$ هستند و نیز سلول های مربوط به متغیر $\overline{B}$ مشخص شده است .



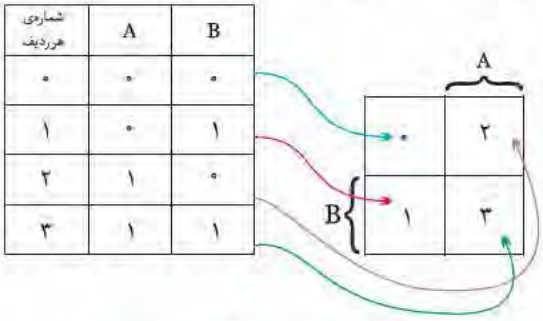
شکل ۶۰-۹ سلول های مربوط به متغیرهایA و B

در شکل ۶۱-۹ تابع منطقی مربوط به هر سطر جدول صحت در سلول مربوط به آن سطر نوشته شده است. توجه داشته باشید که ردیف بالا به A و$\overline{A}$ و ستون سمت چپ به B و$\overline{B}$ اختصاص دارد .



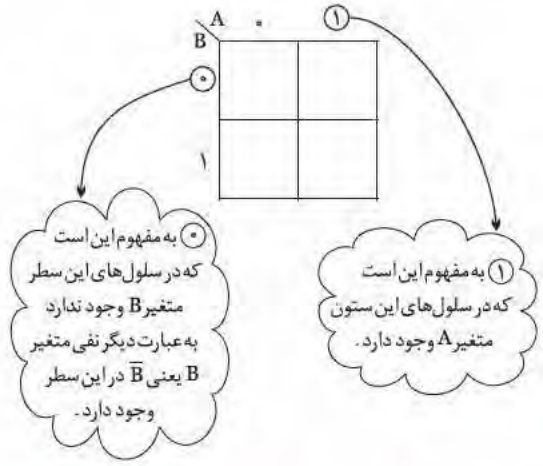
شکل ۶۱-۹ جدول کارنوی دو متغیره

می توان جای هر ردیف از جدول صحت را در نقشه کارنو به صورت شکل ۶۲-۹ نیز نمایش داد.



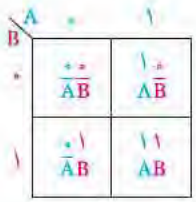
شکل ۶۲-۹ فرم تغییر یافته جدول صحت

با توجه به شکل ۶۲-۹ می توان فرم دیگری را برای نمایش جای سلول های متعلق به متغیرهای A و B در جدول کارنو انتخاب نمود، شکل ۶۳-۹.



شکل ۶۳-۹ نمایش جای سلول های متعلق به متغیرهای AوB

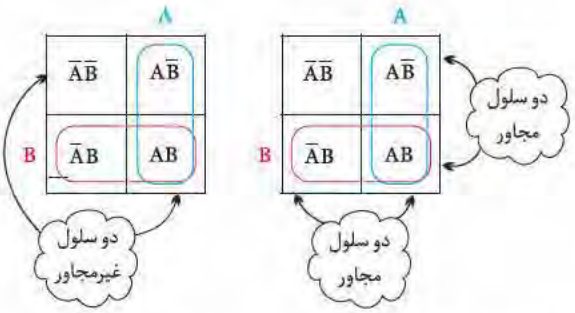
عدد مربوط به هر سلول و تابع منطقی آن را می توان مانند شکل ۶۴-۹ نمایش داد.



شکل ۶۴-۹ نمایش عدد مربوط به هر سلول در جدول کارنو

•سلول های مجاور

سلول هایی رامجاور گویند که وقتی تابع مربوط به آن سلول ها نوشته شوند، فقط در یکی از متغیرها (مانندAB و AC) یا یکی از حالت های متغیر (مانند AB ، $\bar{A}B$) با هم تفاوت داشته باشند و سایر قسمت ها مشابه باشند. در شکل ۶۵-۹- الف دو سلول مجاور و در شکل ۶۵-۹- ب دو سلول غیرمجاور نشان داده شده است .



الف : سلول مجاور ب : سلول غیر مجاور

شکل ۶۵-۹ سلول های مجاور و غیرمجاور

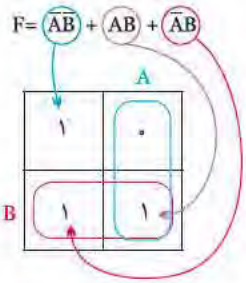
همان طور که مشاهده می شود سلول های کنارهم (غیرقطری) مجاور هستند و سلول های واقع در قطر مجاور نیستند.

•نمایش تابع در جدول کارنو

یکی از کاربردهای جدول کارنو ساده سازی توابع جبر بول می باشد. برای این منظور ابتدا تابع جبر بول را در جدول کارنو نمایش می دهیم و سپس آن تابع را ساده می کنیم .

مثال ۴ : $F=\bar{A}\bar{B}+AB+\bar{A}B$ را در جدول کارنو نمایش دهید .

حل : تابع دارای دو متغیر A وB است لذا نمایش هر عبارت از تابع در جدول کارنو به صورت شکل ۶۶-۹ در می آید .



شکل ۶۶-۹ نمایش تابع جبر بول در جدول کارنو

با استفاده از جدول کارنو می توانیم عبارت های مربوط به خانه هایی که در آن ها عدد یک قرار داد را بنویسیم مجموع این عبارت ها تابع موردنظر است.

تمرین کلاسی ۴ :

تابع $F=AB+\bar{A}B+\bar{A}\bar{B}$ را در جدول کارنو نمایش دهید

•ساده نمودن تابع توسط جدول کارنو

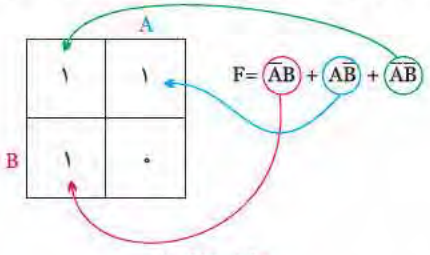
پس از نمایش تابع در جدول کارنو ، ابتدا سلول های مجاور را پیدا می کنیم ، سپس برای هر دو سلول مجاور از یک متغیر (حرف) و برای هرسلول غیر مجاور از دومتغیر (دو حرف) استفاده می کنیم .

مثال ۵ : تابع F را توسط جدول کارنو ساده کنید.

$F=\bar{A}B+A\bar{B}+\bar{A}\bar{B}$

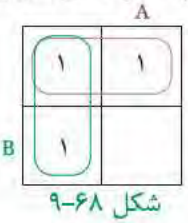
حل :

مرحله اول: نمایش تابع در جدول کارنو، شکل۶۷-۹.



شکل ۶۷-۹

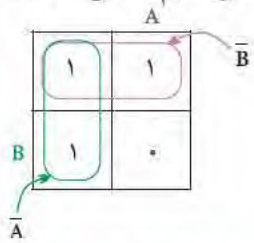
مرحله دوم: انتخاب سلول های مجاور،شکل ۶۸-۹.



شکل ۶۸-۹

مرحله سوم: نوشتن ساده ترین فرم تابع

برای این منظور برای هردو سلول مجاور از یک متغیر (حرف) استفاده می کنیم، شکل ۶۹-۹ .



شکل ۶۹-۹ $F=\bar{A}+\bar{B}$

تمرین کلاسی ۵:

تابع $F=AB+A\bar{B}+AB$ را با استفاده از جدول کارنو ساده کنید .

توجه داشته باشید که جدول کارنو شیوه جدید ساده سازی را ارائه نمی دهد بلکه فقط جملاتی را که می توان از آن ها فاکتور گرفت برای ما مرتب می کند.

جدول کارنو برای توابع سه متغیره باید دارای ۸ خانه باشد به عبارت دیگر سه متغیر می توانند هشت حالت مختلف به خود بگیرند ($۸=۲^۳$) ، جدول ۲۸-۹ جدول کارنو را برای سه متغیر (A،B،C) نشان می دهد اگر به جدول کارنو خوب دقت کنید مشاهده می کنید که از هر خانه به خانه مجاور در جهت افقی یا عمودی فقط یکی از متغیرهای جمله ها تغییر می کند .

جدول ۲۸-۹

AB / C	0 0	0 1	1 1	1 0
0	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$AB\bar{C}$	$A\bar{B}\bar{C}$
1	$\bar{A}\bar{B}C$	$\bar{A}BC$	ABC	$A\bar{B}C$

می توانیم توابع با ۳ متغیر ، ۴ متغیر و ... را نیز توسط جدول کارنو ساده نماییم .ساده سازی این جداول از بحث ما خارج است .

شرح حال دانشمندان

موریس کارنو

متولد ۱۴اکتبر ۱۹۲۴ در شهر نیویورک، فیزیکدان آمریکایی که نقشه کارنوی او در جبر بول مشهور است.او مطالعات خود را با فیزیک و ریاضیات در کالج شهر نیویورک آغاز کرد. پس از رفتن به دانشگاه ییل در سال ۱۹۲۴، موفق به کسب درجه دکترا در رشته فیزیک در سال ۱۹۵۲ شد.

کارنو در آزمایشگاه های بل، جدول کارنو، کدگذاری PCM و نیز کدگذاری مدارهای مغناطیسی را گسترش داد. کارنو در سال ۱۹۷۶ به عنوان رئیس انجمن IEEE (انجمن بین المللی استانداردهای مهندسی الکترونیک) انتخاب شد.

برای کسب اطلاعات بیش تر در مورد زندگی نامه و فعالیت های این دانشمند می توانید از طریق درج نام وی در یکی از موتورهای جستجو مانندYahoo یا google اقدام کنید .

آزمون پایانی ۲-۹
جبر بول و جدول کارنو

۱- توابع زیر را به کمک روابط جبر بول ساده کنید.

$F = \bar{A}\bar{B}+A\bar{B}+AB$

$F= AB\bar{C}+ABC+A\bar{B}\bar{C}+A\bar{B}C+\bar{A}\bar{B}$

$F= \bar{A}\bar{B}\bar{C}+\bar{A}B\bar{C}+ABC+AB\bar{C}+\bar{A}C$

۲- توابع زیر را به کمک جدول کارنو ساده کنید.

$F = \bar{A}\bar{B}+\bar{A}B$

$F = AB+\bar{A}B$

۳- جدول کارنوی مربوط به رابطه منطقی $F=\bar{A}B+A\bar{B}+AB$ را به همراه جدول صحت تابع رسم کنید و در نهایت تابع را ساده کنید.

۴- ساده شده تابع $\bar{A}\bar{B}+AB+\bar{A}B$ کدام است ؟

الف: $A+\bar{B}$

ب : $\bar{A}+B$

ج : $A+B$

د : $\bar{A}+\bar{B}$

۵- تابع زیر را به کمک جدول کارنو ساده کنید؟

$F = \bar{A}\bar{B}+A\bar{B}+\bar{A}B$

۶- تابع ساده شده مربوط به جدول کارنوی ۲۹ - ۹را بنویسید.

جدول ۲۹-۹

B \ A		
	۱	۱
	۱	

F= .....

۷-تابع ساده شده مربوط به جدول کارنوی ۳۰-۹را بنویسید.

جدول ۳۰-۹

B \ A		
	۰	۱
	۱	۱

F= .....

۸- جدول صحت مربوط به رابطه منطقی $F=AB+\bar{A}B$ را بنویسید.

۹- مدار منطقی مربوط به تابع $F=AB+\bar{A}B$ را به کمک گیت های AND ، OR و NOT رسم کنید .

۱۰- جدول کارنو برای توابع سه متغیره دارای ۸ خانه است. صحیح ☐ غلط ☐

۱۱- چنان چه تابعی با NOT خود OR شود ، حاصل (صفر☐ یک ☐) منطقی خواهد بود.

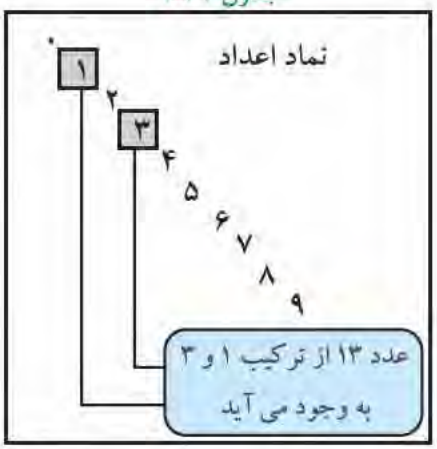
قبل از شروع قسمت سوم فصل (۹) به سوالات پیش آزمون ۳ -۹ پاسخ دهید.

قسمت سوم

۹-۹ سیستم های اعداد

۹-۹-۱ اعداد باینری : اعدادی که ما روزانه با آن ها سروکار داریم از ده عدد نماد ۰، ۱، ۲، ۳، ۴، ۵، ۶، ۷، ۸، ۹ تشکیل شده اند . برای شمارش از صفر تا نه از این نمادها به طور مستقیم استفاده می کنیم. برای اعداد بزرگ تر از نه نمادهای اعداد را با قواعد خاصی با هم ترکیب می‌کنیم مثلاً برای عدد۱۳ از نماد ۱ و۳ به صورت ۱۳ استفاده می‌کنیم .

جدول ۹-۳۱



نوشتن اعداد با تعداد نمادهای کم تر یا بیش تر از ده نیز به شرط این که تعداد نمادها دو و بیشتر از دو باشد امکان پذیر است .

بنابراین با دوعددنماد ۰ و۱ نیز می توان اعداد را نوشت. به این سیستم اعداد که در آن از دو نماد استفاده شده است سیستم دودویی یا باینری می گویند. در این سیستم برای نمایش عدد صفر از نماد ۰ و برای نمایش ۱ از نماد ۱ و برای نمایش اعداد بزرگ تر از یک از ترکیب ۰ و۱ طبق قواعد خاصی استفاده می کنیم . به عنوان مثال اعداد از صفر تا هشت به صورت جدول ۹-۳۲ نوشته می شوند .

جدول ۹-۳۲

صفر	0
یک	1
دو	10
سه	11
چهار	100
پنج	101
شش	110
هفت	111
هشت	1000

صفرها و یک ها همانند اعداد اعشاری ، دارای ارزش مکانی هستند ، مثلاً در سیستم اعشاری یا دهدهی که عدد ۴۳ نمایش داده شده است، چون ۳ در مکان اول قرار دارد دارای ارزش مکانی $۳=۳\times۱۰^{۰}$و عدد ۴ که در مکان دوم قرار دارد دارای ارزش مکانی $۴۰=۴\times۱۰^{۱}$ است، جدول ۹-۳۳.

جدول ۹-۳۳

۴	۳
$۴\times۱۰^{۱}=۴۰$	$۳\times۱۰^{۰}=۳$
ارزش مکانی ۴۰	ارزش مکانی ۳

در مورد اعداد باینری نیز رقم اول (از سمت راست به چپ)دارای ارزش $۱=۱\times۲^{۰}$و رقم دوم دارای ارزش مکانی $۲=۱\times۲^{۱}$ و رقم سوم اگر یک باشد دارای ارزش مکانی $۴=۱\times۲^{۲}$ است، جدول ۹-۳۴.

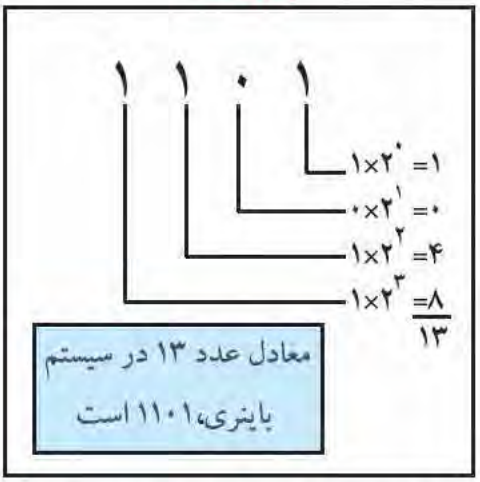
جدول ۹-۳۴

۱	۱
$۱\times۲^{۱}=۲$	$۱\times۲^{۰}=۱$
ارزش مکانی ۲	ارزش مکانی ۱

مثال ۶: عدد باینری (۱۱۰۱) معادل چه عددی در سیستم اعشاری است؟

حل: مطابق جدول ۳۵-۹ ارزش مکانی هر رقم را مشخص می کنیم.

جدول ۳۵-۹



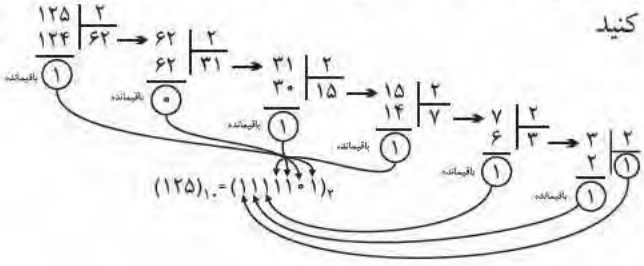
سیستم های اعداد که در کامپیوتر یا ماشین های محاسب به کار می روند باینری هستند. در اعداد باینری ، به هریک از صفر ها یا یک ها یک بیت (Bit) می گویند .

عدد ۱۰۱ یک عدد سه بیتی است

۹-۹-۲ تبدیل اعداد اعشاری به اعداد باینری:

یکی از روش های تبدیل اعداد اعشاری به اعدادباینری استفاده از روش تقسیم های متوالی است . در این روش عدد اعشاری را متوالیاً بر دو تقسیم می کنیم و این تقسیمات را آن قدر ادامه می دهیم تا آخرین خارج قسمت یک شود سپس در سمت چپ، آخرین خارج قسمت را می نویسیم و به ترتیب باقی مانده های به دست آمده را در جلوی آن قرار می دهیم .

مثال ۷: عدد اعشاری ۱۲۵ را به عدد باینری تبدیل کنید



تمرین کلاسی ۶:

عدد ۸۷ را به عدد باینری تبدیل کنید.

نکته مهم :

در اعداد باینری مثلاً (۱۱۰۱) بیت اول از سمت راست کم ارزش ترین بیت است و آخرین بیت در سمت چپ با ارزش ترین بیت است توجه داشته باشید که ارزش ارقام دقیقاً مشابه سیستم اعشاری است .

۱۱۰۱
کم ارزش ترین — با ارزش ترین

۹-۹-۳ تبدیل اعداد باینری به اعداد اعشاری (دهدهی):

دراعداد باینری (سیستم دودویی) اعداد به کار رفته ۰ و ۱ هستند . در این سیستم هر عدد متناسب با مکانی که در آن قرار می گیرد (یا موقعیت رقم) ارزش خاصی پیدا می کند به عنوان مثال عدد باینری ۱۰۰۱۱ ، دارای ارزش مکانی و ضرایب به صورت زیر است:

$$۱۰۰۱۱ = ۱\times۲^۴ + ۰\times۲^۳ + ۰\times۲^۲ + ۱\times۲^۱ + ۱\times۲^۰$$

$$(۱۰۰۱۱)_۲ = ۱۶ + ۰ + ۰ + ۲ + ۱ = (۱۹)_{۱۰}$$

تمرین کلاسی ۷ :

عدد باینری $_{2}(11001)$را به مبنای اعشاری تبدیل کنید.

درجدول ۳۶-۹ معادی باینری اعداد اعشاری ۰ تا ۱۵ نشان داده شد است .

جدول ۳۶-۹

باینری	اعشاری
۰	۰
۱	۱
۱۰	۲
۱۱	۳
۱۰۰	۴
۱۰۱	۵
۱۱۰	۶
۱۱۱	۷
۱۰۰۰	۸
۱۰۰۱	۹
۱۰۱۰	۱۰
۱۰۱۱	۱۱
۱۱۰۰	۱۲
۱۱۰۱	۱۳
۱۱۱۰	۱۴
۱۱۱۱	۱۵

در سیستم اعداد باینری به هر هشت بیت یک بایت (Byte) می گویند. واحد بزرگ تر از بایت ، کیلوبایت معادل ۱۰۲۴ بایت است .

ویژه‌ی دانش آموزان علاقه‌مند:

۹-۴-۹ سیستم های دیگر اعداد

سیستم های اعداد اکتال و هگزادسی مال نیز وجود دارند که این جا به طور مختصر به شرح آن می پردازیم، درسیستم اکتال مبنای عددنویسی عدد۸ است ودارای۸علامت (۰،۱،۲،۳،۴،۵،۶،۷) است . سیستم هگزادسی مال نیزمساوی ۱۶ تعریف می شود و در آن ۱۶ علامت (۰،۱،۲،۳،...،A،B،C،D،E،F) وجود دارد . در این سیستم برای نمایش اعداد بزرگتراز ۹ و کمتر از ۱۶ از علامت های (A،B،C،D،E و F) استفاده می کنیم .مثلاً عدد ۱۰ را نمی‌توانیم به همین صورت نشان دهیم ، چون یک عدد دو رقمی است که هم صفر و هم یک دارد و با صفر و یک اصلی اشتباه می شود. به همین دلیل از حروف به شرح زیر استفاده می کنیم۱۵=F، ۱۴=E، ۱۳=D، ۱۲=C، ۱۱=B و ۱۰=A در جدول ۳۷-۹ سه سیستم اکتال ، هگزادسی مال و اعشاری با یکدیگر مقایسه شده‌اند .

جدول ۳۷-۹

هگزادسی مال(۱۶)	اکتال (۸)	اعشاری (۱۰)
۰	۰	۰
۱	۱	۱
۲	۲	۲
۳	۳	۳
۴	۴	۴
۵	۵	۵
۶	۶	۶
۷	۷	۷
۸	۱۰	۸
۹	۱۱	۹
A	۱۲	۱۰
B	۱۳	۱۱
C	۱۴	۱۲
D	۱۵	۱۳
E	۱۶	۱۴
F	۱۷	۱۵

برای تبدیل اعداد در مبنای اکتال و هگزا دسی مال به اعداد اعشاری همان روشی که در تبدیل اعدادباینری به اعداداعشاری استفاده شد را به کار می بریم. در این روش همان طور که قبلاً گفته شده است از ارزش مکانی ارقام استفاده می کنیم .

مثال ۸ : عدد اکتال ۷۲۳ را در سیستم اعشاری بنویسید.

حل : $(723)_8=7\times8^2+2\times8^1+3\times8^0=(467)_{10}$

مثال ۹ : عدد هگزا دسی مال ۵A۱ را در سیستم اعشاری بنویسید.

حل :

$$(5A1)_{16}=5\times16^2+A\times16^1+1\times16^0$$
$$=5\times256+10\times16+1$$
$$=(1441)_{10}$$

۵-۹-۹ کد BCD: بعضی از ماشین های محاسبه گر الکترونیکی عملیات ریاضی را در کد BCD (Binary Coded Decimal) انجام می دهند .

در کد BCD هر رقم دهدهی را با چهار بیت باینری معادل آن نشان می دهند .

مثال ۱۰ : معادل باینری و BCD اعداد اعشاری ۳،۹ و ۵ را بنویسید .

حل :

$(3)_{10}=(11)_2=(0011)_{BCD}$

$(9)_{10}=(1001)_2=(1001)_{BCD}$

$(5)_{10}=(101)_2=(0101)_{BCD}$

در جدول ۳۸-۹ تفاوت نمایش ارقام دهدهی صفر تا ۹ به صورت باینری و BCD نشان داده شده است .

جدول ۳۸-۹

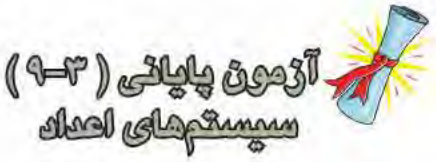
عدد BCD	عدد باینری	عدد دهدهی
۰۰۰۰	۰	۰
۰۰۰۱	۱	۱
۰۰۱۰	۱۰	۲
۰۰۱۱	۱۱	۳
۰۱۰۰	۱۰۰	۴
۰۱۰۱	۱۰۰	۵
۰۱۱۰	۱۰۱	۶
۰۱۱۱	۱۱۱	۷
۱۰۰۰	۱۰۰۰	۸
۱۰۰۱	۱۰۰۱	۹

توجه :
در کد BCD وزن های مختلفی وجود دارد که در این کتاب فقط از وزن ۱، ۲، ۴، ۸ آن استفاده می شود .

ویژه‌ی دانش آموزان

علاقه‌مند:

آیا می دانید برای کد کردن حروف الفبای فارسی به چند بیت نیاز است ؟ از چه رابطه ای تعداد بیت‌ها به دست می آید ؟



۱- معادل باینری اعداد اعشاری ۰ تا ۱۵ را در جدول ۳۹-۹ بنویسید.

جدول ۳۹-۹

باینری	اعشاری
	۰
	۱
	۲
	۳
	۴
	۵
	۶
	۷
	۸
	۹
	۱۰
	۱۱
	۱۲
	۱۳
	۱۴
	۱۵

۲- عدد ۱۶ در مبنای دهدهی معادل چه عددی در مبنای باینری است ؟

$(16)_{10}=(.....)_{2}$

۳- عدد $(۱۱۰۰۱۱)_{2}$ در مبنای ۲ را به مبنای اعشاری تبدیل کنید .

$(۱۱۰۰۱۱)_{2}=(.....)_{10}$

۴- در عدد باینری $(۱۱۰)_{2}$ کم ارزش ترین بیت و با ارزش‌ترین بیت کدام است ؟

$(۱۱۰)_{2}$

۵- ارزش مکانی و ضرایب اعداد نشان داده شده در عدد باینری $(۱۱۰۰۱۱)_{2}$ را بنویسید

۱ ۱ ۰ ۰ ۱ ۱

۶- در کد BCD هر رقم دهدهی را با (چهار ❐ ، دو ❐) بیت باینری نشان می‌دهند.

۷- معادل کد BCD اعداد دهدهی $(۹)_{10}$ و $(۱۲)_{10}$ را بنویسید.

۸- در سیستم اعداد باینری یک کیلو بایت معادل چند بایت است؟

۹- عدد باینری ۱۱۰۱۱۰ را به عدد اعشاری تبدیل کنید.

۱۰- در سیستم اعداد باینری به هر هشت بیت یک بایت (Byte) می گویند.

صحیح ❐ غلط ❐

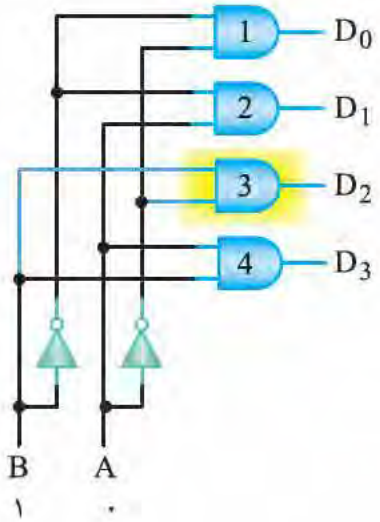
قبل از شروع قسمت چهارم فصل (۹) به سوالات پیش آزمون ۴-۹ پاسخ دهید.

قسمت چهارم

۹-۱۰ مدارهای ترکیبی (رمزگشا و رمزگذار)

۹-۱۰-۱ مدارهای رمزگشا (Decoder)

برای دریافت اطلاعات از دستگاه های محاسباتی دیجیتالی مداری مورد نیاز است که اطلاعات را از حالت دودویی به اعشاری تبدیل کند. خروجی این مدارها معمولاً به نمایشگرها متصل می شود. این تبدیل کننده ها را رمزگشا و عملی که انجام می دهند را رمز گشایی می نامند. در شکل ۷۰-۹ یک رمزگشایی ۴←۲ (بخوانید ۲ به ۴) و در جدول ۴۰-۹ جدول صحت آن نشان داده شده است.



شکل ۷۰-۹ مدار رمزگشای ۴←۲

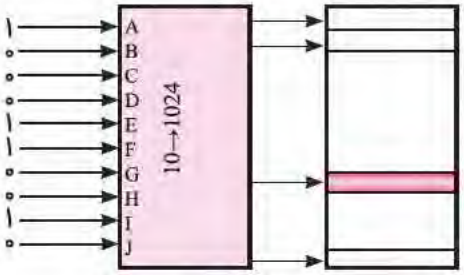
جدول ۴۰-۹ جدول صحت مدار رمزگشا

B	A	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

ورودی های A و B را ورودی های آدرس و خروجی های D_0، D_1، D_2، D_3 را خروجی های داده می نامیم.

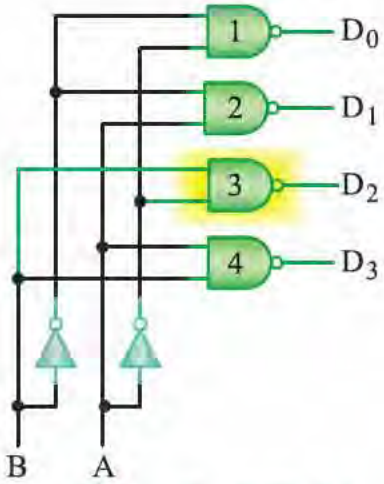
همان طور که در شکل دیده می شود، خروجی دروازه شماره ۱ فقط به ازای ترکیب ورودی BA=۰۰ فعال می شود (۱ می شود) یعنی $D_0=\overline{A}\,\overline{B}$ به همین ترتیب می توانیم بنویسیم $D_1=A\overline{B}$، $D_2=\overline{A}B$، $D_3=AB$

از رمزگشا ها برای آدرس دهی اجزای مختلف یک سیستم (گیرنده یا فرستند اطلاعات) نیز استفاده می شود، مثلاً اگر بخواهیم کلمه ای را در یک سطر معین حافظه بنویسیم یا آن را از سطر معینی از حافظه بخوانیم، نخست باید محل سطر مورد نظر را مشخص کنیم در شکل ۷۱-۹ با استفاده از عدد باینری (۳۰۵)=(۰۱۰۰۱۱۰۰۰۱)، سطر سیصد و پنجم از یک حافظه با ظرفیت ۱۰۲۴ کلمه آدرس دهی شده است.



شکل ۷۱-۹ آدرس دهی مکان یک کلمه معین از حافظه

ممکن است رمز گشا با دروازه‌های NAND ساخته شده باشد. در این صورت، حالت فعال خروجی ها «۰» خواهد بود. در شکل ۷۲-۹ یک رمزگشای ۴←۲ نشان داده شده است. جدول ۴۱-۹ جدول صحت دکودر ۴←۲ با حالت فعال Low را نشان می دهد.



شکل ۷۲-۹ رمزگشای ۴←۲

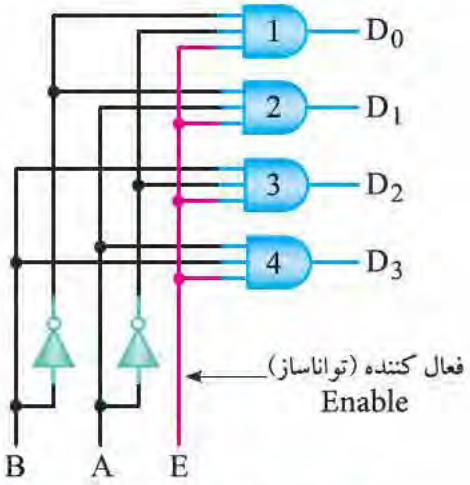
جدول ۴۱-۹ جدول صحت رمزگشای ۴-۲

B	A	D_0	D_1	D_2	D_3
۰	۰	۰	۱	۱	۱
۰	۱	۱	۰	۱	۱
۱	۰	۱	۱	۰	۱
۱	۱	۱	۱	۱	۰

همان طور که در شکل نشان داده شد، دروازه‌ی شماره ۳ در حالت فعال است و ورودی های این دروازه از $\overline{A}$ و B گرفته شده است .

در بعضی از رمزگشاها علاوه بر ورودی های آدرس ، یک ورودی فعال کننده (Enable) (تواناساز) نیز پیش بینی شده است. اگراین ورودی در حالت غیر فعال نگه داشته شود ، رمزگشایی انجام نخواهد شد .

درشکل ۷۳-۹ یک رمزگشا ۴←۲ باخط تواناساز را به همراه جدول صحت آن در جدول ۴۲-۹ مشاهده می کنید .



شکل ۷۳-۹ رمزگشا ۴←۲ با خط تواناساز

جدول ۴۲-۹ رمزگشا ۴←۲ با خط تواناساز

E	B	A	D_0	D_1	D_2	D_3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

نکته مهم:

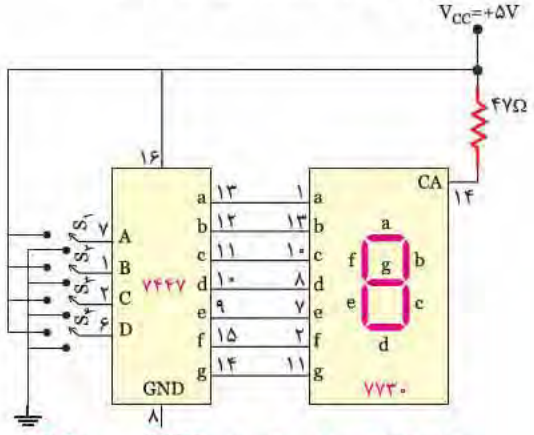
در آی سی ها از کلمات Enable و Disable استفاده می کنند. کلمه Enable به معنی فعال کننده و Disable به معنی غیر فعال کننده به کار می رود .

بـا توجه به جدول صحت ۴۲-۹ هر گاه یک ورودی را با X نشان دهند به معنای این است که اگر ارزش منطقی این ورودی صفر یا یک باشد برای خروجی مدار بی تفاوت است. در سطر اول جدول صحت چون ورودی E در صفر منطقی قرار گرفته است عمل رمزگشایی انجام نمی شود .

معرفی یک نمونه مدار رمزگشا (Decoder)

یک نمونه از مدارهای رمزگشا که در سیستم های دیجیتالی کاربرد دارد ، دیکو در BCD به هفت قطعه ای (7.Seg) است .

این رمز گشا عدد BCDداده شده را به کد هفت رقمی معادل آن برای راه اندازی هفت قطعه ای (7.Seg) تبدیل می کند .در شکل ۷۴-۹ مدار یک دیکو در BCD به 7.Seg نشان داده شده است . در این مدار آی سی ۷۴۴۷ یک آی سی دیکودر BCD به 7.Seg است .



شکل ۷۴-۹ مدار رمزگشای BCD به 7.Seg

آی سی ۷۷۳۰ نمایشگر هفت قسمتی آند مشترک است. پایه ۱۴ آند مشترک (common anode) ورودی مشترک برای تمام LED هاست.

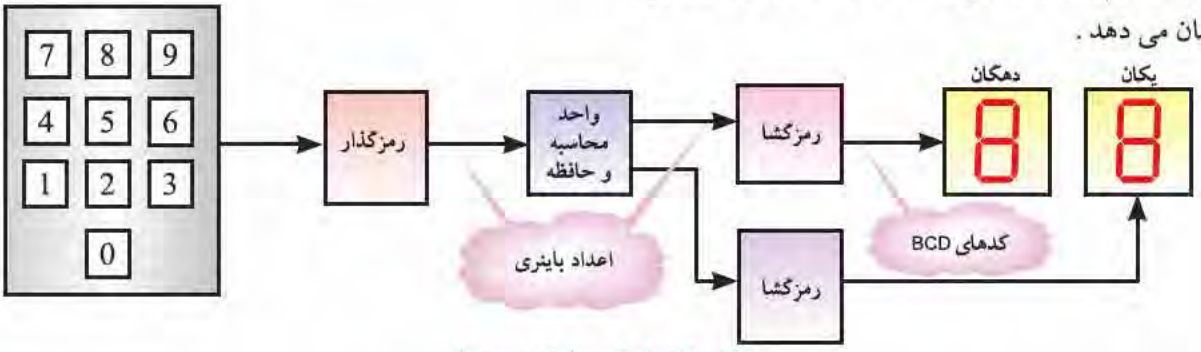
در این مدار کلیه کلیدها S۱،S۲،S۳،S۴ ورودی های آی سی هستند و پایه های a،b،c ، d،e،f،g خروجی های آی سی می باشند ، که به7.Seg اتصال می یابند.

تمرین کلاسی ۸ :

یک رمزگشا با ۸ خط خروجی دارای چند خط آدرس است؟

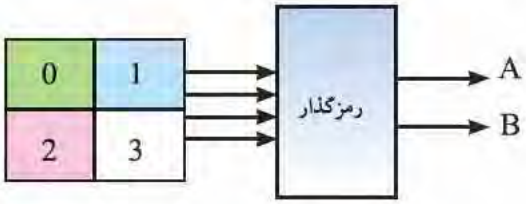
۹-۱۰-۲ مدارهای رمزگذار (Encoder)

اعدادی که به کامپیوتر یا سامانه‌ی دیجیتالی داده می شود در سیستم دهدهی هستند. چون کامپیوتر با اعداد باینری کار می کند اعداد دهدهی باید به اعداد باینری تبدیل شوند. مداری که اطلاعات را از حالت دهدهی به باینری تبدیل می کند، رمزگذار نام دارد ، شکل ۷۵-۹ یک سامانه ی دیجیتالی را نشان می دهد .



شکل ۷۵-۹ یک سامانه دیجیتال

در شکل ۷۶-۹ بلوک دیاگرام یک رمزگذار ۲←۴ به همراه جدول صحت این رمزگذار نشان داده شده است.

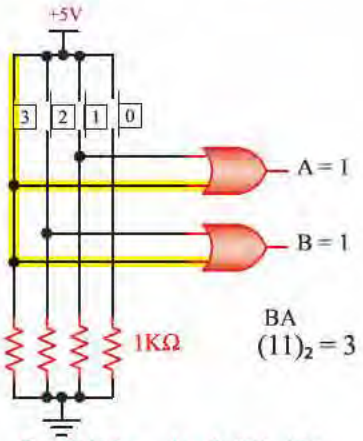


شکل ۷۶-۹ بلوک دیاگرام رمزگذار ۲←۴

جدول ۴۳-۹ جدول صحت رمز گذار ۲←۴

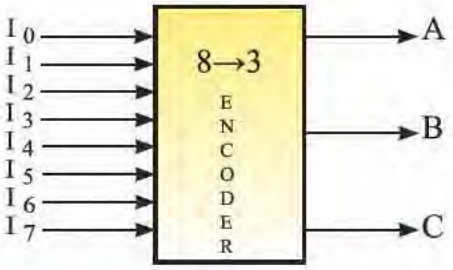
I_3	I_2	I_1	I_0	B	A
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

همان طور که مشاهده می کنید ، یک صفحه کلید با شماره های صفر تا سه را می توان به دو خط باینری، تبدیل کرد. در هر لحظه باید فقط یکی از ورودی های رمزگذار در حالت فعال قرار گیرد تا درست عمل کند. مدار رمزگذار ۲←۴ را می توان مطابق شکل ۷۷-۹ طراحی کرد. چنانچه کلید ۳ فشرده شود ورودی گیت هایOR برابر «۱» منطقی می شود و عدد باینری سه «۱۱» را در خروجی رمز گذار ایجاد می کند .



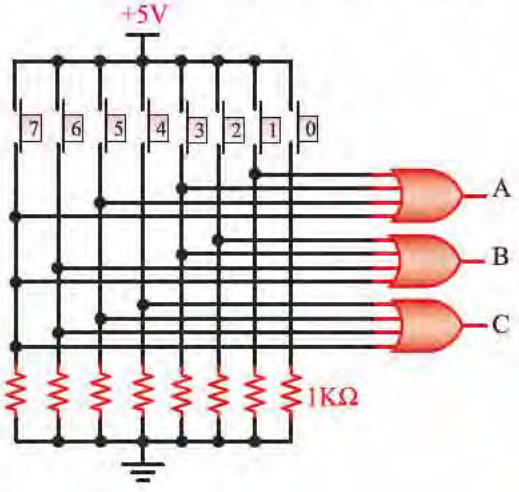
شکل ۷۷-۹ مدار رمزگذار ۲←۴

در شـکل ۷۸-۹ دیاگرام یک رمزگذار ۳←۸ (بخوانید ۸ به ۳) نشان داده شده است .



شکل ۷۸-۹ بلوک دیاگرام رمز گذار ۳←۸

مدار این رمزگذار در شکل ۷۹-۹ رسم شده است .



شکل ۷۹-۹ مدار رمزگذار ۳←۸

همان گونه که در شکل ۷۹-۹ مشاهده می کنید ، با فشردن هر کلید ، افت ولتاژ دو سـرمقاومت هـای 1kΩ ، حدوداً ۵ ولت می شـود و یکی از ورودهای گیت OR در سطح یک منطقی قرار می گیرد. در این وضعیت خروجی گیت OR نیز در وضعیت یک منطقی است .

۹-۱۱ آزمایش شماره ۳

زمان اجرا : ۲ ساعت آموزشی

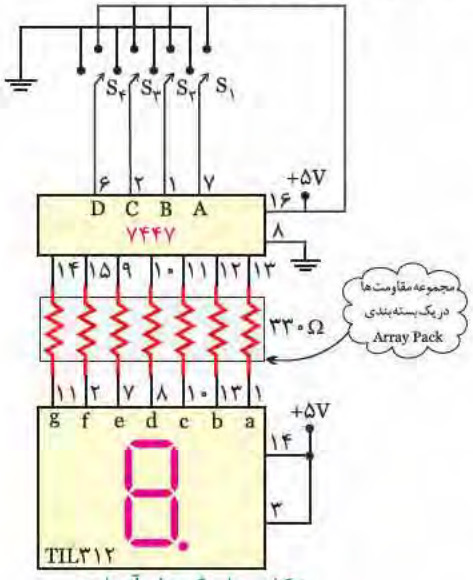
۹-۱۱-۱ هدف آزمایش : بررسـی عملکرد مدار رمز گشا (BCD به 7.Seg)

۹-۱۱-۲ تجهیزات، ابزار،قطعات و مواد موردنیاز:

ردیف	نام ومشخصات	تعداد/ مقدار
۱	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۲	دی کودر BCD به 7.Seg	یک عدد
۳	برد مدار چاپی آزمایش	یک قطعه
۴	سیم رابط	به مقدار لازم
۵	مولتی متر دیجیتالی	یک دستگاه

۹-۱۱-۳ مراحل اجرای آزمایش

- وسایل و قطعات مورد نیاز را آماده کنید
- مـدار شـکل ۸۰-۹ را که قبلاً روی بـرد مدار چاپی ساخته شده است ، بررسی کنید .



شکل ۸۰-۹ مدار آزمایش

■ اگرمنبع تغذیه موجود در آزمایشگاه دارای ولتاژ ثابت ۵ ولت اســت از آن برای تغذیه آی سی استفاده کنید در غیر این صورت ابتدا منبع تغذیه را روی ۵ ولت تنظیم وسـپس آن را به مدار وصل کنید.

به یاد داشته باشید که :

ولتـاژ تغذیه IC، ولتاژ سـطح منطقی یک اسـت و ولتاژ زمین (GND) ولتاژ سطح منطقی صفر است .

اگـر کلیدهای S_1 تـا S_4 در حالت ۱ قـرار گیرند ، ولتاژ ۵ ولـت به ورودی آی سـی ۷۴۴۷ می رسـد . چنان چه این کلیدها در حالت صفر باشـند ، صفر ولت یـا صفر منطقی به ورودی آی سـی ۷۴۴۷ داده می شود . مثلاً برای نمایش عدد 5 بـر روی 7.Seg ، کلیدهـای S_1 و S_3 در وضعیـت یک و کلیدهـای S_2 و S_4 در وضعیت صفر قـرار می گیرند. عدد باینری ۰۱۰۱ معادل عدد دسیمال ۵ است .

■ با قراردادن کلیدهای S_1 تا S_4در حالت های مختلف ، جـدول ۴۴-۹ را تکمیـل کنید و عدد نمایش داده شـده بر روی هفت قطعه ای 7.Seg را در جدول یادداشت نمایید .

جدول ۴۴-۹

S_4	S_3	S_2	S_1	B
۰	۰	۰	۰	
۰	۰	۰	۱	
۰	۰	۱	۰	
۰	۰	۱	۱	
۰	۱	۰	۰	
۰	۱	۰	۱	5
۰	۱	۱	۰	
۰	۱	۱	۱	
۱	۰	۰	۰	
۱	۰	۰	۱	

سـوال ۲۷ : بـرای نمایش عـدد 7 (هفت) کدام یـک از کلیدهای S_1 تا S_4در وضعیت یـک منطقی و کدام یک در وضعیت صفر قرار می گیرند؟ توضیح دهید .

سـوال ۲۸ : در حالتـی که وضعیت کلیدهـای S_1 تا S_4 مطابق جدول ۴۵-۹ باشند ، ورودی های a، b، c، d، e، f وg دارای چه سطح منطقی از ولتاژ هستید ؟

در جدول ۴۵-۹ یادداشت کنید

جدول ۴۵-۹

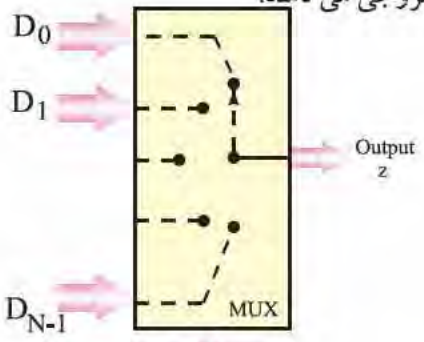
S_4	S_3	S_2	S_1	a	b	c	d	e	f	g
۱	۰	۰	۱							

۹-۱۱-۴ نتایج آزمایش

نتایـج حاصل از آزمایش را در ۴ سـطر بـه طور خلاصه بنویسید.

بخش دوم
مدارهای ترکیبی(مالتی پلکسر و دمالتی پلکسر)
۹-۱۲ مدارهای متمرکز کننده یا تسهیم کننده (Multiplexer)

مالتی پلکسر یکی از پرکاربردترین مدارهای ترکیبی است که مانند یک انتخاب کننده (Selector) عمل می کند. این مدار با توجه به آدرسی که برای آن انتخاب می شود ، به یکی از ورودی ها اجازه عبور می دهد. به عبارت دیگر ، عملکرد آن شبیه یک کلید چند حالته است با این تفاوت که حالت کلید به صورت دیجیتالی انتخاب می شود. دیاگرام عملیاتی یک مالتی پلکسر در شکل ۹-۸۱ نشان داده شده است . ورودی های انتخاب حالت را ورودی های آدرس (Address input) و ورودی های اصلی مالتی پلکسر ورودی های داده (Data input) و خروجی مالتی پلکسر همان تابع خروجی است که آن را به اختصار خروجی تابع یا خروجی می نامند.



ورودی های آدرس یا انتخاب

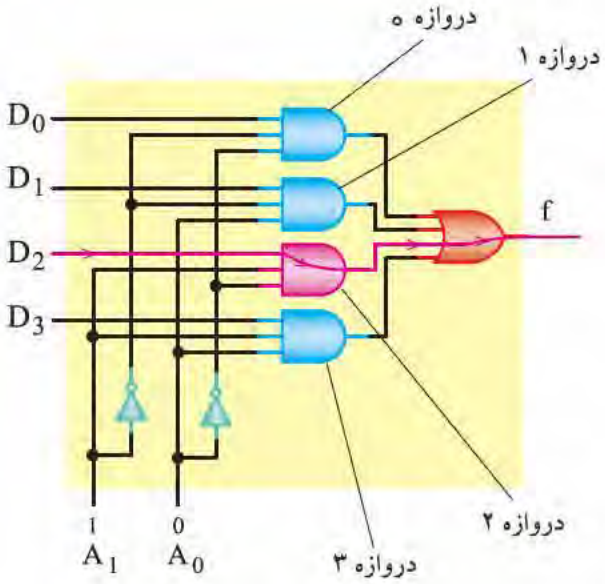
شکل ۹-۸۱ دیاگرام یک مالتی پلکسر

در شکل ۹-۸۲ مدار یک مالتی پلکسر ۱←۴ (بخوانید ۴ به ۱) نشان داده شده است . در این شکل **ورودی های اصلی مالتی پلکسر با D_0،D_1،D_2،D_3** ورودی های آدرس آن با A_0،A_1 و **خروجی مدار با F** مشخص شده است.

با توجه به شکل ۹-۸۲ معادله بولی تابع F را می نویسیم

$$F=\bar{A}_1\bar{A}_0D_0+\bar{A}_1A_0D_1+A_1\bar{A}_0D_2+A_0A_1D_3$$

مثال ۱۱ : به چه دلیل برای عبور اطلاعات مربوط به D_2رابطه خروجی به صورت $A_1\bar{A}_0D_2$ است توضیح دهید؟



شکل ۹-۸۲ مدار متمرکز کننده ۱←۴

در تابع F_1 برای مثال حالت $A_0=0$و $A_1=1$ را انتخاب می کنیم. دراین حالت فقط جمله ی A_1A_0 برابر «۱» است لذا خواهیم داشت:

$$F=0\times D_0+0\times D_1+1\times D_2+0\times D_3=D_2$$

یعنی F عیناً از D_2 تبعیت می کند به عبارت دیگر اگر آدرس $A_1A_0=10$ داده شود ، فقط دروازه‌ی شماره ۲ را برای عبورD_2 بازمی کند ، بقیه ی حالت های تابع را نیز به همین ترتیب می توانیم مشخص کنیم .

تمرین کلاسی ۹

برای باز شدن دروازه منطقی شماره ۱ و عبور D_1 خطوط آدرس A_1A_0 چه حالتی دارند ؟

تمرین کلاسی ۱۰ :

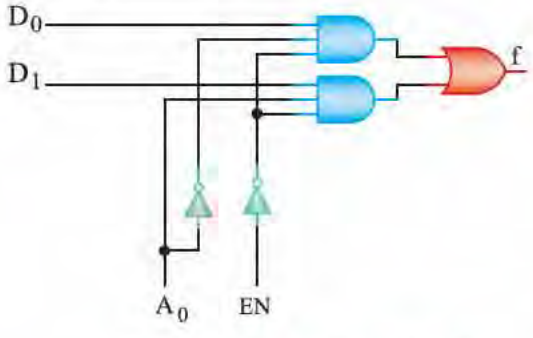
اگر ورودی های آدرس $A_1=1$و $A_0=1$باشد، کدام خروجی ها فعال می شود ؟ توضیح دهید.

دراغلب مالتی پلکسر ها علاوه بر ورودی های آدرس، یک خط کنترل اضافی نیز پیش بینی شده است. این ورودی اضافی رابا نام های فعال ساز(تواناساز) Enable مشخص می کنند.

چنان چه این ورودی در یک حالت از پیش تعریف شده «۰»یا «۱» باشد ، همه دوازده های AND را مسدود می سازد و از انتقال اطلاعات ورودی به خروجی مدار جلوگیری می کند. به عبارت دیگر این ورودی مقدم بر ورودی های آدرس است. در شکل ۸۳ – ۹یک مالتی پلکسر ۱ → ۲با ورودی تواناساز و در جدول۴۶ – ۹جدول صحت آن نشان داده شده است.

جدول۴۶ – ۹جدول صحت مالتی پلکسر ۱ →۲

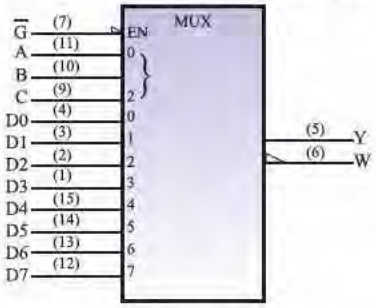
A_0	EN	F
×	۱	۰
۰	۰	D_0
۱	۰	D_1



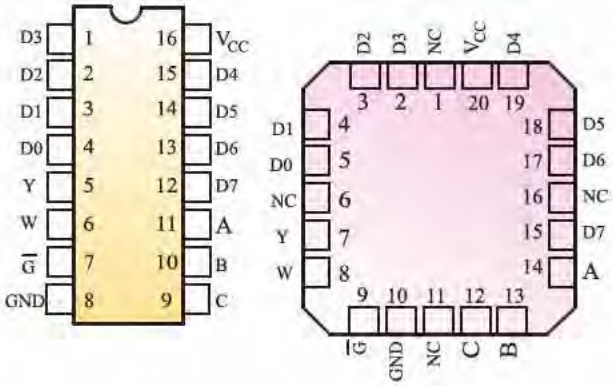
شکل ۸۳-۹ مدار یک مالتی پلکسر ۱→۲

در شکل ۸۴–۹ مدار یک مالتی پلکسر ۱→۸ که به شماره تجارتی ۷۴۱۵۱ به بازار عرضه می شود را مشاهده می کنید در شکل ۸۴–۹ –الف نماد واستاندارد آی سی ، در شکل ۸۴–۹ –ب تصویر IC از بالا و شماره پایه های آن نشان داده شده است. این آی سی در دو نوع Dual (موازی) و Flat (تخت) ساخته می شود .

در شکل ۸۵–۹ مدار داخلی آی سی مالتی پلکسر ۱→۸ نشان داده شده است .



الف– نماد استاندارد

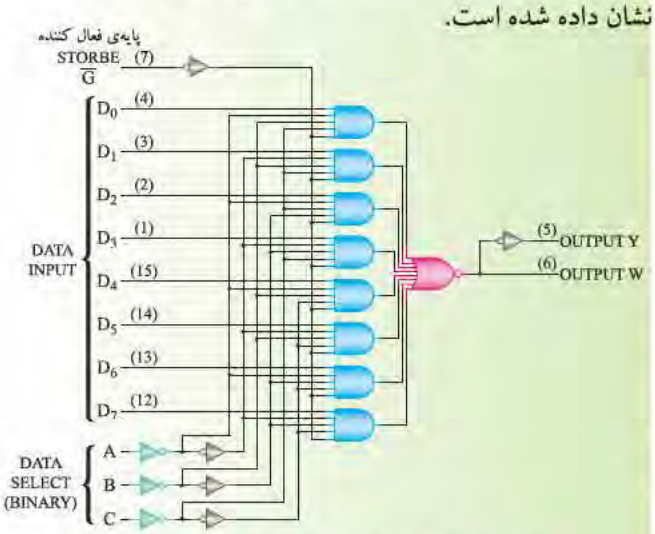


ب– تصویر از بالا و شماره پایه ها

شکل ۸۴–۹ آی سی مالتی پلکسر

ویژه هنرجویان علاقه مند:

در شکل ۸۵–۹ مدار داخلی آی سی مالتی پلکسر ۱→۸ نشان داده شده است.



شکل ۸۵–۹ مدار داخلی مالتی پلکسر ۱→۸

جدول صحت آی سی SN ۷۴۱۵۱ را در جدول ۴۷-۹ مشاهده می کنید. خروجی W معکوس خروجی Y است .

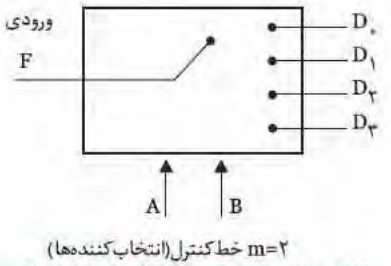
جدول ۴۷-۹ جدول صحت مالتی پکسر SN ۷۴۱۵۱

Input				Output	
Select			Strobe		
C	B	A	$\overline{G}$	y	w
X	X	X	H	L	H
L	L	L	L	D_0	$\overline{D_0}$
L	L	H	L	D_1	$\overline{D_1}$
L	H	L	L	D_2	$\overline{D_2}$
L	H	H	L	D_3	$\overline{D_3}$
H	L	L	L	D_4	$\overline{D_4}$
H	L	H	L	D_5	$\overline{D_5}$
H	H	L	L	D_6	$\overline{D_6}$
H	H	H	L	D_7	$\overline{D_7}$

۹-۱۳ دمالتی پلکسر یا پخش کننده (Demultiplexer)

دمالتی پلکسر مداری است که اطلاعات را از یک خط در ورودی خود دریافت می کند و آن را به یکی از 2^n خط خروجی انتقال می دهد . انتخاب یک خط خروجی توسط m خط انتخاب کننده (Selector line) تعیین می شود . شکل ۸۶-۹ بلوک دیاگرام یک د مالتی پلکسر را نشان می دهد . بلوک دیاگرام ، مدار را مانند کلیدی نشان می دهد که ورودی f را با فرمانی که از دو خط A و B می گیرد . به یکی از خروجی های D_0 تا D_3 انتقال می دهد .

M=۲ خط کنترل (انتخاب کننده ها)



m=۲ خط کنترل (انتخاب کننده ها)

شکل ۸۶-۹ بلوک دیاگرام دمالتی پلکسر

با انتخاب AB=۰۰ اطلاعات ورودی F به خط خروجی D_0 انتقال می یابد . با انتخاب AB=۰۱ اطلاعات ورودی F به خط خروجی D۱ و با انتخاب AB=۱۰ به D۲ و با انتخاب AB=۱۱ به D۳ انتقال می یابد با توجه به نکات بیان شده می توان جدول صحت دمالتی پلکسر فوق را به صورت جدول ۴۸-۹ نشان داد .

جدول ۴۸-۹

انتخاب گرها		خروجی ها			
A	B	D_0	D_1	D_2	D_3
۰	۰	F	۰	۰	۰
۰	۱	۰	F	۰	۰
۱	۰	۰	۰	F	۰
۱	۱	۰	۰	۰	F

با توجه به جدول، تابع منطقی هر خروجی به صورت زیر نوشته می شود

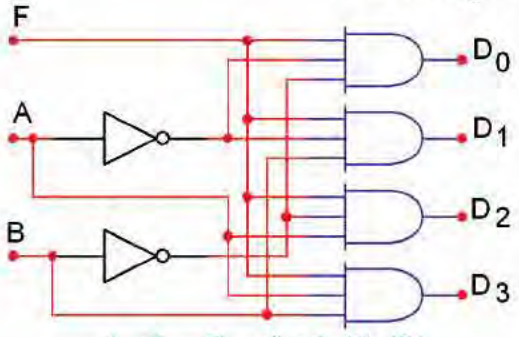
$D_0=\overline{A}\,\overline{B}F$

$D_1=\overline{A}BF$

$D_2=A\overline{B}F$

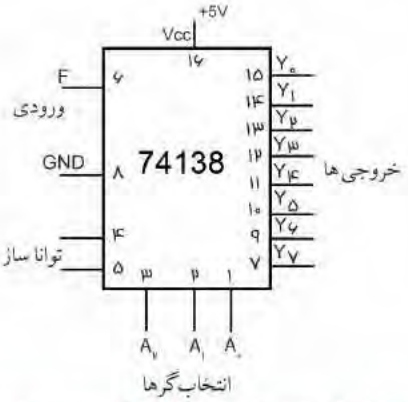
$D_3=ABF$

مدار این دمالتی پلکسر با توجه به رابطه منطقی D_0 تا D_3 مانند شکل ۸۷-۹ است .



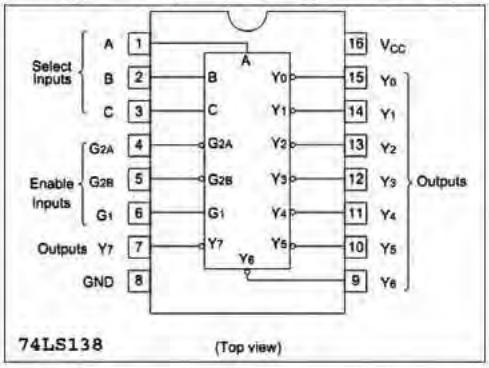
شکل ۸۷-۹ دمالتی پلکسر ۴←۱

آی سی ۷۴۱۳۸ یک دمالتی پلکسر ۸←۱ با سه خط انتخاب گر است. شکل ۸۸-۹ مدار این آی سی را نشان می دهد .



شکل ۸۸-۹ مشخصات پایه های آی سی دمالتی پلکسر

تصویر پایه‌های آی‌سی از بالا به صورت شکل ۸۹-۹ است.



شکل ۸۹-۹ تصویر از بالا و شماره پایه ها

به طور کلی دمالتی پلکسر در مواردی که اطلاعات از یک منبع دریافت می شود و در چند منبع دیگر قرار می گیرد، به کار می رود. برای مثال می توان قرار دادن اطلاعات خروجی از یک رایانه به چند ترمینال را ذکر کرد .

توجه

شماره آی سی بیان شده در این فصل جهت آشنایی با مدار داخلی آن ها است و نباید اطلاعات مربوط به شماره آی سی و شماره پایه های آن را به خاطرسپرد .

در صورت نیاز به برگه های اطلاعات که در Data book وجوددارد مراجعه کنید . همچنین در آزمون ها با ارائه نقشه می توان مشخصات فنی را مورد سوال قرار داد .

۹-۱۴ آزمایش شماره ۴

زمان انجام آزمایش : ۲ ساعت

۹-۱۴-۱ هدف آزمایش : بررسی عملکرد مدار مالتی پلکسر

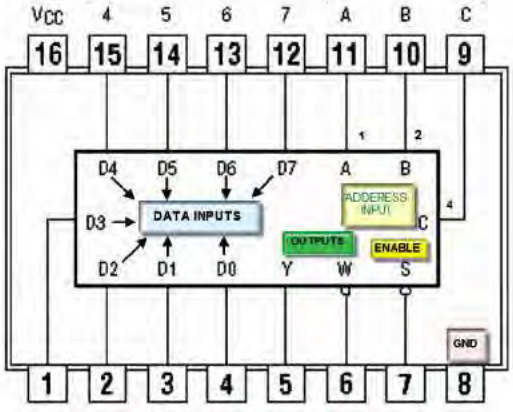
۹-۱۳-۲ تجهیزات، ابزار،قطعات‌و مواد موردنیاز:

ردیف	نام ومشخصات	تعداد/ مقدار
۱	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۲	بردبرد یا برد آزمایشگاهی	یک عدد
۳	دیود نوردهنده LED	یک عدد
۴	مقاومت ۱۵۰Ω و ۴۷۰Ω/ $\frac{۱}{۴}$ وات	از هر کدام یک عدد
۵	آی سی ۷۴۱۵۱	یک عدد
۶	ابزار عمومی کارگاه الکترونیک	یک سری

۹-۱۴-۳ مراحل اجرای آزمایش :

الف : شناسایی پایه های آی سی مالتی پلکسر ۱←۸

■ آی سی ۷۴۱۵۱، مالتی پلکسر ۱←۸ است. نماد و شماره پایه های آی سی مطابق شکل ۹۰-۹ است .



شکل ۹۰-۹ شماره ی پایه های آی سی

■ آی سی ۷۴۱۵۱ را در اختیار بگیرید و شکل آن را رسم کنید

محل ترسیم :

■ اطلاعات روی آی سی را بنویسید.

■ پایه های آی سی را شناسایی کنید و کار هر پایه را به اختصار در جدول ۴۹-۹ شرح دهید .

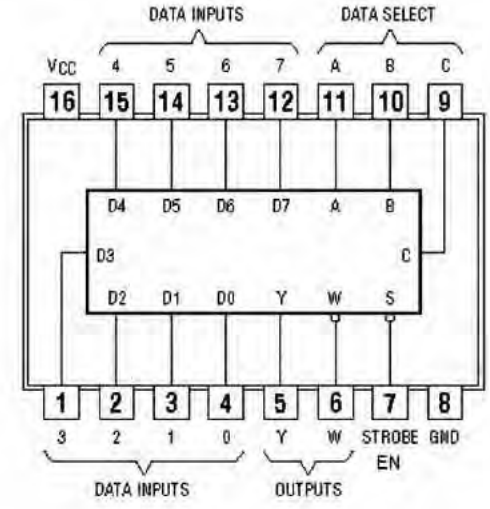
جدول ۴۹-۹

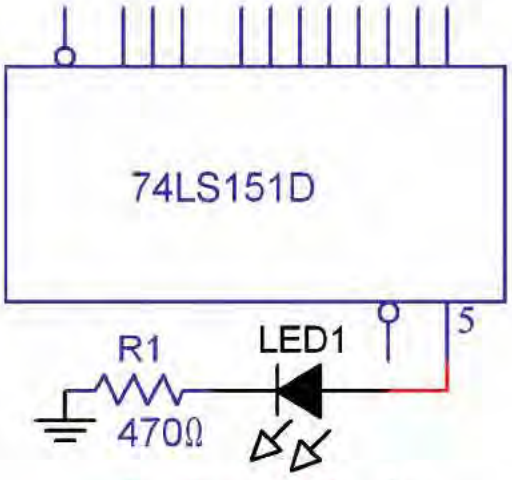
شماره پایه	کار هر پایه به اختصار
۱	
۲	
۳	
۴	
۵	
۶	
۷	
۸	
۹	
۱۰	
۱۱	
۱۲	
۱۳	
۱۴	
۱۵	
۱۶	

ب : بررسی عملکرد آی سی مالتی پلکسر

■ مدار شکل ۹۱-۹ را روی برد برد ببندید.

Vcc=+ ۵volt





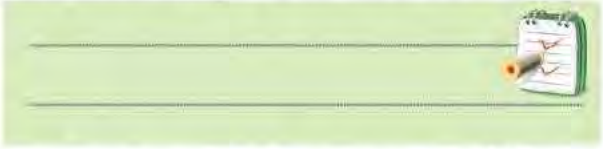
شکل ۹۱-۹ آی سی مالتی پلکسر

■ تغذیه ی مدار را به آی سی وصل کنید(پایه‌ی ۸ به زمین الکتریکی و پایه‌ی ۱۶به ۵+ ولت وصل شود).
پایه ی ۷ (EN) را آزاد قرار دهید و یا به ۵+ ولت وصل کنید.

■ آدرس A=۰ ، B=۰ و C=۰ را انتخاب کنید . برای این منظـور پایه های ۹، ۱۰ و ۱۱را به زمین الکتریکی وصل کنید در این حالت زمانی که EN=۰ شود اطلاعات ورودی D_0به

خروجی منتقل می شود.

■ D_0 را زمین کنید و EN=0 قرار دهید در این حالت سطح ولتاژ پایه ۵ (خروجی) ۰ منطقی و LED خاموش است . این مطلب را تحقیق کنید و نتایج راياددداشت نمائید .



■ D_0 را برابر (۱) منطقی قرار دهید. برای این منظور D_0 را ۵+ ولت وصل کنید. سطح ولتاژ پایه ی (۵) و وضعیت LED را مورد بررسی قرار دهید و نتایج را یادداشت کنید.

■ آدرس ABC را برابر ۱۰۱ انتخاب کنید.

اطلاعات کدام ورودی توسط آدرس فوق به خروجی انتقال پیدا می کند ؟

■ ورودی مورد نظر رادر سطح ولتاژ ۰ و۱ قرار دهید و در هر مرحله EN=۰ قرار دهید و سطح ولتاژ خروجی و وضعیت LED را مورد بررسی قرار داده و نتایج را یادداشت کنید .

سوال ۲۹ : اگر آدرس ABC =۱۱۰ باشد اطلاعات کدام ورودی به خروجی انتقال پیدا می کند ؟

سوال ۳۰ : اگر با اطلاعات پایه شماره ۱۲ به خروجی انتقال یابدآدرس ABC را بنویسید

۹-۱۴-۴ نتایج آزمایش

نتایج حاصل از این آزمایش را به طور خلاصه در چند سطر بنویسید .

آزمون پایانی فصل (۴-۹)
مدارهای ترکیبی

۱- یک دیکودر با سه خط آدرس در ورودی دارای چند خط خروجی است ؟

۲- یک 7.Segment با نقطه‌ی اعشار دارای چند LED است ؟

۳- اگر مدار رمز گشا از گیت های NAND ساخته شده باشند در این صورت حالت فعال خروجی ها (صفر ☐ ، یک ☐) خواهد بود.

۴- در مدارهای رمزگشایی که دارای ورودی فعال کننده (enable) هستند ، اگر این ورودی غیرفعال باشد رمزگشایی انجام نخواهد شد.

صحیح ☐ غلط ☐

۵- مدار دیکودر اطلاعات (دهدهی ☐ باینری ☐) در ورودی رابه اطلاعات (دهدهی ☐ باینری ☐) در خروجی تبدیل می کند .

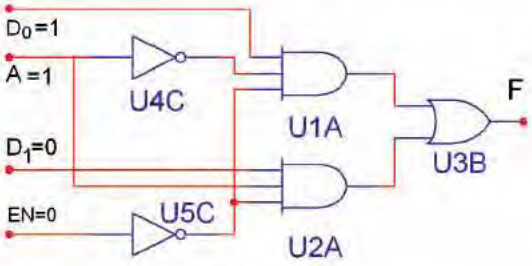
۶- در مدار رمزگذار درهر لحظه فقط یکی از ورودی های مدار در حالت فعال می باشد

صحیح ☐ غلط ☐

۷- مهم ترین کاربرد رمزگشا آدرس دهی به حافظه است.

(صحیح ☐ غلط ☐)

۸- نام مدار شکل ۹۲-۹ ..... است و مقدار خروجی مدار ۹۲-۹ برابر (صفر ☐ یک ☐) منطقی است .



شکل ۹۲-۹

۹- برای بردن اطلاعات ثبت شده از یک حافظه رایانه به چندین ترمینال خروجی از مدار (مالتی پلکسر ☐ دمالتی پلکسر ☐)استفاده می‌کنیم.

۱۰- کلمات enable و disable در آی سی ها به چه معنا است ؟

۱۱- برای راه اندازی هفت قطعه ای۷.Segment از چه مداری استفاده می شود ؟

۱۲- بلوک دیاگرام مربوط به دمالتی پلکسر ۴←۱ را رسم کنید.

۱۳- بلوک دیاگرام مربوط به مالتی پلکسر ۱←۴ را رسم کنید .

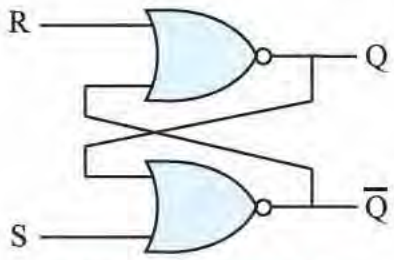
قبل از شروع قسمت پنجم فصل ۹ به سوالات پیش آزمون ۹-۵ پاسخ دهید.

قسمت پنجم - مدارهای ترتیبی

۹-۱۵ بررسی انواع مدارهای فلیپ فلاپ (Flip Flop)

۹-۱۵-۱ بررسی کلی : حفظ اطلاعات در سلول های حافظه توسط مدار فلیپ فلاپ انجام می شود. فلیپ فلاپ ها تـا مادامی که تغذیه مدار برقرار اسـت می توانند اطلاعات را که به صورت صفر یا یک هسـتند در خـود نگه دارند. فلیپ فـلاپ ها بایـد در هر زمان اطلاعات راکه بـه صورت ۰ یا ۱ منطقی اسـت بپذیرنـد و در خود نگه دارند . بدیهی اسـت با تغییر حالت در اطلاعات ورودی ، اطلاعات موجود در حافظه تغییر می کند .

۹-۱۵-۲ مـدار پایه ای فلیپ فـلاپ : مدار فلیپ فلاپ را می توان با اسـتفاده از دو گیت NOR مطابق شـکل ۹-۹۳ بـه وجـود آورد . در مـدار از خروجی یـک گیت به ورودی گیت دیگر اتصال داده شـده اسـت که مسیر فیدبک را ایجاد می کند .

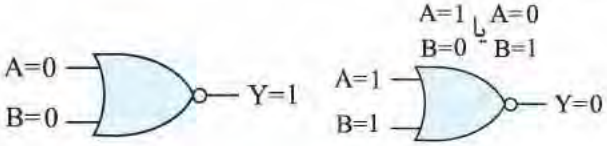


شکل ۹-۹۳ مدار فلیپ فلاپ

ایـن فلیپ فلاپ دارای دو خروجی اسـت که یکی Q و دیگـری نفی آن $\overline{Q}$ (کیونات) نـام دارد. دو ورودی آن Sو R نام دارند . S حرف اول کلمه Set و R حرف اول کلمه Reset (ری ست) است .

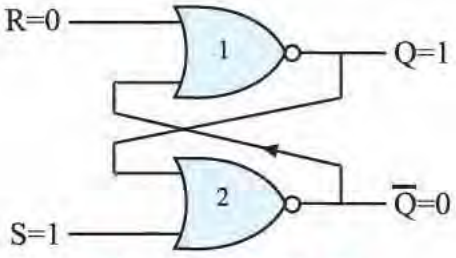
۹-۱۵-۳ طرز کار مدار فلیپ فلاپ S-R

همان طوری که قبلاً در مورد گیت NOR گفته شد اگر حداقل یکی از ورودی های گیت NOR یک باشد خروجی آن صفر است و تنها زمانی که تمام ورودی گیت NOR صفر باشـد خروجی آن ۱ می شود شکل ۹-۹۴ این دو وضعیت را نشان می دهد .



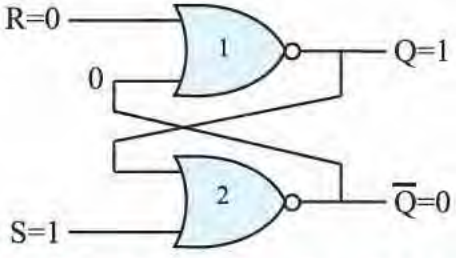
شکل ۹-۹۴ وضعیت ورودی های گیت NOR

فـرض کنیم در لحظه شـروع مطابق شـکل ۹-۹۵ S=۱، و R=۰ است .



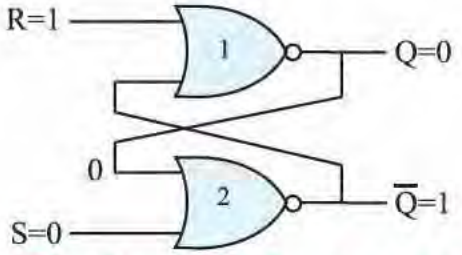
شکل ۹-۹۵ فلیپ فلاپ RS

در ایـن حالت چـون یکی از ورودی های گیت شـماره دو ، ۱ اسـت خروجی آن $\overline{Q}$ مسـاوی با صفر خواهد شد . از طرفی خروجـی ۰= $\overline{Q}$ به یکی از ورودی های گیت شـماره یک فیدبک شـده اسـت . این فیدبک هـر دو ورودی گیت NOR شـماره یک را صفر می کند و ۱= Q می شـود. این شـرایط در خروجی به صورت پایدار باقی می ماند تا ورودی ها تغییر حالت دهند. شـکل ۹-۹۶ وضعیت خروجی گیت ها را نشان می دهد .



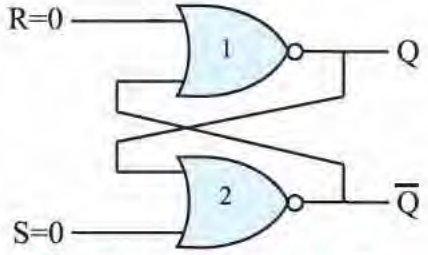
شکل ۹-۹۶ اگر S=۱ و R=۰ باشد Q=۱ و $\overline{Q}$=۰ می شود

اگر مطابق شکل ۹۷-۹ ورودی ها به S=۰ و R=۱ تغییر حالت دهند ، چون یکی از ورودی های گیت NOR شماره یک برابر با یک است خروجی آن یعنی Q=۰ می شود. از طرفی Q=۰ به یکی از ورودی های گیت NOR شماره دو فیدبک می شود و هر دو ورودی این گیت را صفر می کند بنابراین $\overline{Q}$=۱ می شود .



شکل ۹۷-۹ حالتی که S=۰ و R=۱ است Q=۰ ، $\overline{Q}$=۱ می شود .

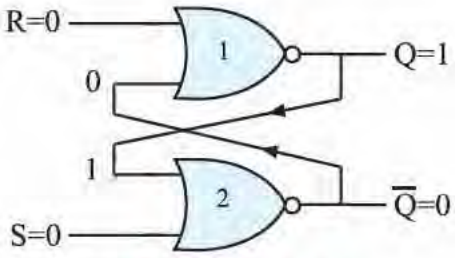
اگر مطابق شکل ۹۸-۹ S=۰ و R=۰ شود چون هر دو ورودی صفر هستند نمی توانند وضعیت خروجی گیت هارا تعیین کنند. وضعیت خروجی هر گیت به ورودی دیگر آن یعنی به ورودی فیدبک شده بستگی دارد .



شکل ۹۸-۹ درحالتی که S=۰ و R=۰ خروجی ها به Q و $\overline{Q}$ بستگی دارند .

در این شرایط دو حالت پیش می آید .

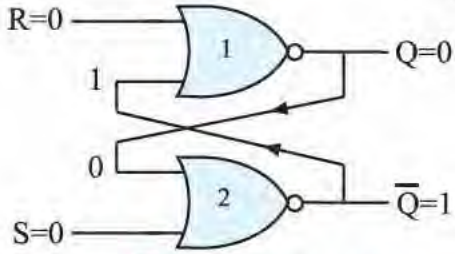
الف : اگر مطابق شکل ۹۹-۹، $\overline{Q}$=۰ و Q=۱ باشد در این صورت خروجی درهمین حالت یعنی $\overline{Q}$=۰، Q=۱ باقی می ماند (چرا ؟)



شکل ۹۹-۹ Q=۰ ، Q=۱

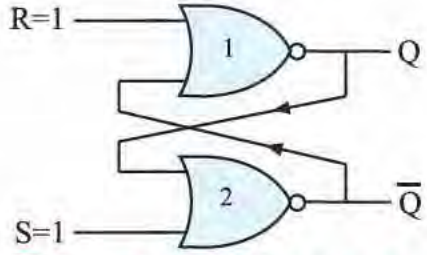
ب – ممکن است مطابق شکل ۱۰۰-۹، Q=۰ ، $\overline{Q}$=۱ باشد در این صورت Q=۰ و $\overline{Q}$=۱ باقی می ماند .

پس در شرایط S=۰ و R=۰ وضعیت Q و $\overline{Q}$ تغییر نمی کند ومشابه آخرین حالت قبل از این مرحله ، پایدار باقی می ماند.



شکل ۱۰۰-۹ Q=۰ ، $\overline{Q}$=۱ حافظه در همین حالت باقی می ماند

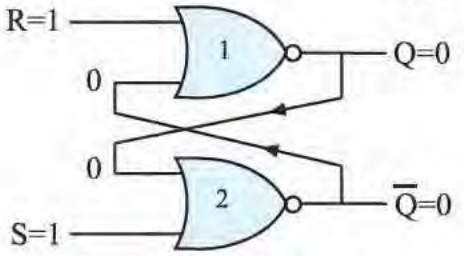
در صورتی که مطابق شکل ۱۰۱-۹ ، S=۱ و R=۱ شود چون یکی از ورودی های گیت های NOR یک است خروجی آن ها یعنی Q و $\overline{Q}$ برابر باصفر می شود .



شکل ۱۰۱-۹ اگر S=۱ و R=۱ باشد Q و $\overline{Q}$ در چه حالتی باقی می ماند ؟

این حالت یعنی Q=$\overline{Q}$ = ۰ تعریف نشده است و نباید ایجاد شود زیرا اگر بعد از مرحله R=S=۱ که Q=$\overline{Q}$=۰ شده است ورودی های S و R به صفر تغییر حالت دهند ، خروجی فلیپ فلاپ بین ۰ و ۱ نوسان می کند و بعد از چند مرحله نوسان ، Q به طور تصادفی روی ۰ و یا ۱ ثابت می ماند و

قفل می شـود . حالت R=S=۱ را حالت ممنوعه می گویند ، شکل ۱۰۲-۹



شکل ۱۰۲-۹ اگر S=۱ و R=۱ شود Q=۰ =$\overline{Q}$ خواهد شد این حالت را حالت ممنوعه می گویند .

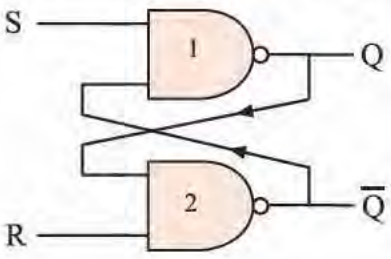
چهار حالت بررسـی شـده برای فلیپ فـلاپ در جدول درسـتی ۵۰-۹ نشـان داده شده اسـت. منظور از Q_t وضعیت حافظـه در لحظـه t و منظور از Q_{t-1} وضعیـت حافظه قبل از لحظه t(Q_t) است .

جدول ۵۰-۹ جدول درستی فلیپ فلاپ R-S با گیت NOR

S	R	Q_t
۰	۰	Q_{t-1}
۰	۱	۰
۱	۰	۱
۱	۱	حالت ممنوعه

۹-۱۵-۴ مدار فلیپ فلاپ S-R با گیت NAND

مدار فلیپ فلاپ رابا گیت NAND نیز می سازند .شکل ۱۰۳-۹ فلیـپ فـلاپ S-R را با گیت NAND نشـان می دهد.



شکل ۱۰۳-۹ فلیپ فلاپ S-R یا NAND

چهار حالت ممکن بـرای حالت S-R وجود دارد. این ۴ حالت مشابه فلیپ فلاپ S-R با گیت NOR است.

در جدول درسـتی ۵۱-۹ چهار حالت ورودی و وضعیت خروجی Q و$\overline{Q}$ برای فلیپ فلاپ با گیت NAND مشخص شده است .

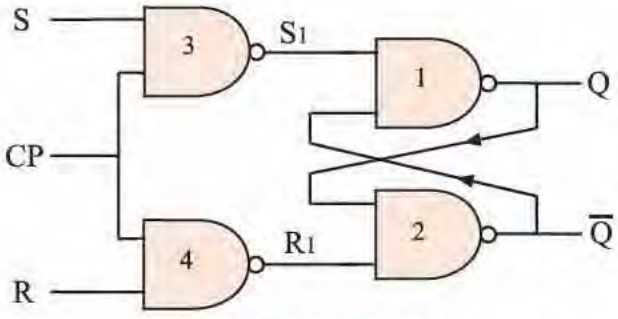
جدول ۵۱-۹ جدول درستی فلیپ فلاپ R-S با گیت NAND

S	R	Q_t
۰	۰	حالت ممنوعه
۰	۱	۱
۱	۰	۰
۱	۱	Q_{t-1}

تفاوت فلیپ فـلاپ با گیـت NAND و فلیپ فلاپ با گیت NOR در خروجی آن ها اسـت . جـداول ۵۰-۹ را با ۵۱-۹ مقایسه کنید .

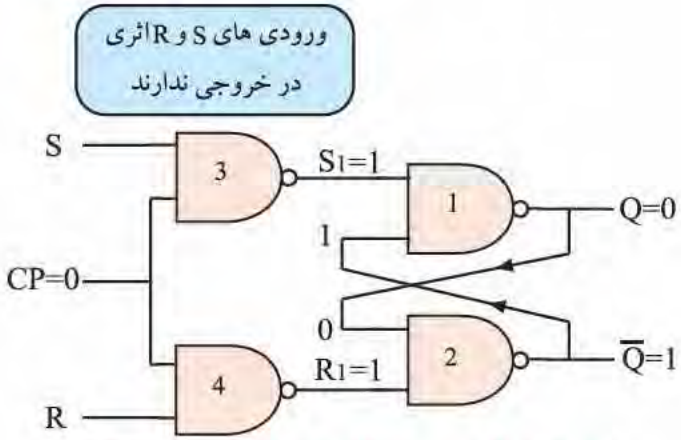
۹-۱۵-۵ فلیـپ فـلاپ S-R با پالس سـاعت (CP- clock pulse)

فلیپ فلاپ S-R سـاعتی از یک مدار S-R سـاده و دو گیت NAND اضافی مطابق شکل ۱۰۴-۹ تشکیل می شود.

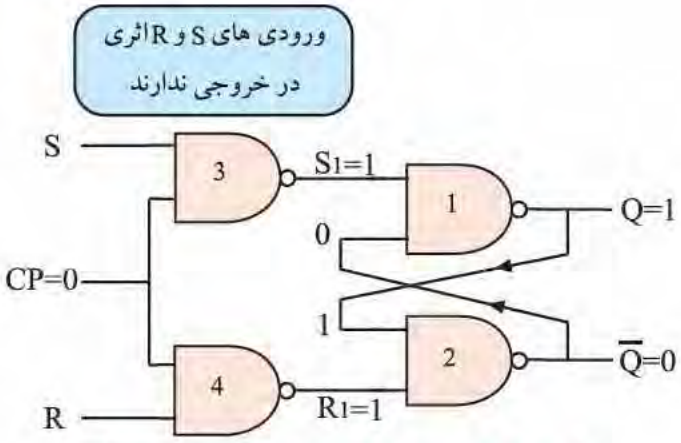


شکل ۱۰۴-۹ S-R ساعتی

پالـس سـاعت ورودی (CP) بـه عنوان یک سـیگنال فعال سـاز عمل می کنـد. هنگامی که CP=۰ اسـت S_1 و R_1 یک می شـود در این شـرایط خروجی Q و$\overline{Q}$ تغییر وضعیت نمی دهند و حالت قبل خودرا حفظ می کنند. شکل ۱۰۵-۹ و ۱۰۶-۹ این حالت ها را نشان می دهد .



شکل ۱۰۵-۹ خروجی Q=۰ حالت قبل را حفظ می کند و ثابت می ماند



شکل ۱۰۶-۹ خروجی Q=۱ حالت قبل را حفظ می کند و ثابت می ماند

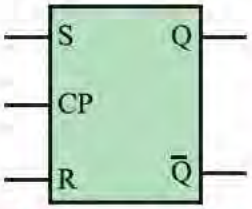
اگر CP=۱ شود خروجی گیت NAND شماره ۳ و ۴ بر اساس ورودی های S و R تغییر می کند و در این حالت خروجی Q و $\overline{Q}$ مطابق جدول دوستی فلیپ فلاپ S-R می شود ، شکل ۱۰۷-۹

شکل ۱۰۷-۹ CP=۱ است Q و $\overline{Q}$ از مقادیر S و R تبعیت می کنند .

جدول ۵۲-۹ جدول درستی فلیپ فلاپ S-R ساعتی را نشان می دهد. نماد بلوکی S-R ساعتی در شکل ۹۸-۹ آمده است. عیب اساسی دو نوع فلیپ فلاپ SR و SR ساعتی حالت ممنوعه آن است .

جدول ۵۲-۹ جدول درستی S-R ساعتی

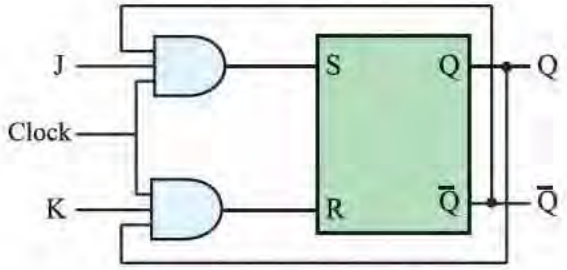
خروجی در لحظه t			خروجی قبل از لحظه t
Q_t	R	S	CP
Q_{t-1}	۰	۰	۰
Q_{t-1}	۱	۰	۰
Q_{t-1}	۰	۱	۰
Q_{t-1}	۱	۱	۰
Q_{t-1}	۰	۰	۱
۰	۱	۰	۱
۱	۰	۱	۱
حالت ممنوعه	۱	۱	۱



شکل ۱۰۸-۹ نمای بلوکی S-R ساعتی

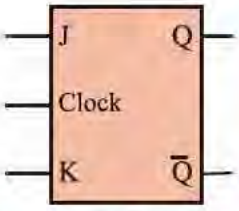
۹-۱۵-۶ فلیپ فلاپ J-K

همان طور که قبلاً ذکر شده اشکال عمده فلیپ فلاپ S-R مربوط به حالت تعریف نشده آن یعنی وضعیت R=S=۱ است. برای اصلاح این حالت از فلیپ فلاپ J-K استفاده می شود . در شکل ۱۰۹- ۹ مدار فلیپ فلاپ J-K رسم شده است .



شکل ۹-۱۰۹ فلیپ فلاپ J-K

نماد بلوکی فلیپ فلاپ J-K را در شکل ۹-۱۱۰ مشاهده می کنید.



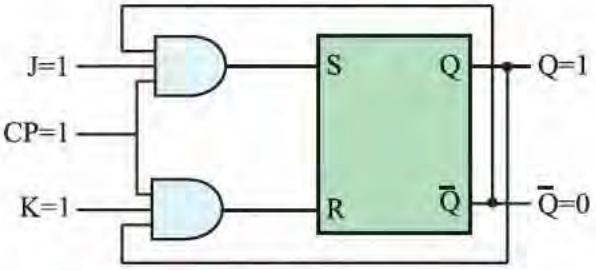
شکل ۹-۱۱۰ نماد بلوکی فلیپ فلاپ J-K

جدول درستی فلیپ فلاپ J-K در جدول ۹-۵۳ آمده است.

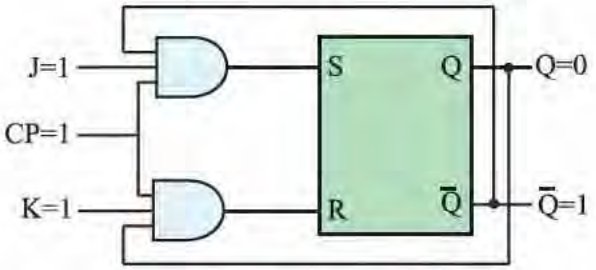
۹-۵۳ جدول درستی فلیپ فلاپ J-K

J	K	Q_t
۰	۰	Q_{t-1}
۰	۱	۰
۱	۰	۱
۱	۱	$\overline{Q_{t-1}}$

این جدول نشان می دهد حالت ممنوعه برطرف شده است یعنی هنگامی که J=K=۱ می شود اگر فلیپ فلاپ مطابق شکل ۹-۱۱۱ در حالت Set یعنی Q=۱ قرار داشته باشد، وضعیت آن تغییر می کند و Reset می شود. بنابراین مطابق شکل ۹-۱۱۲ خروجی Q=۱ به حالت Q=۰ تغییر حالت می دهد.



شکل ۹-۱۱۱ J=۱ و K=۱ خروجی Q = ۱ است.



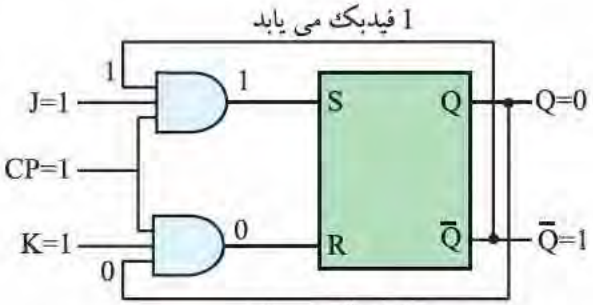
شکل ۹-۱۱۲ در وضعیت J=۱ و K=۱، Q و $\bar{Q}$ برعکس حالت قبل شده است.

همچنین اگر فلیپ فلاپ در وضعیت Reset یعنی Q=۰ باشد با برقراری J=K=۱ به وضعیت Set می رود یعنی Q=۱ می شود، به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می دهد. این وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی(Toggle) می نامند.

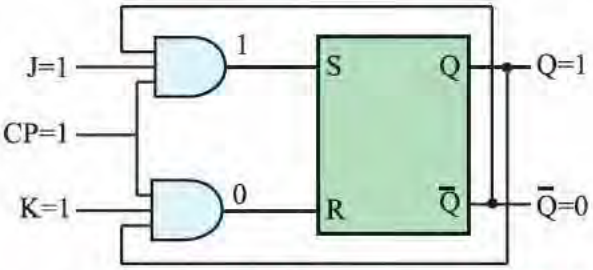
باید توجه داشت تغییر وضعیت Q و $\bar{Q}$ زمانی رخ می دهد که پالس ساعت فعال باشد، (CP=۱)، طبیعی است اگر پالس ساعت فعال نباشد یعنی CP=۰ شود Q و $\bar{Q}$ تغییر وضعیت نمی دهند و حالت اولیه خود را حفظ می کنند.

۹-۱۵-۷- عیب فلیپ فلاپ J-K

همان طور که مشاهده کردید فلیپ فلاپ J-K توانسته است حالت تعریف نشده ی فلیپ فلاپ S-R را برطرف کند. چون خروجی های $\bar{Q}$ و Q مستقیماً به ورودی ها فیدبک شده اند، اگر در حالت J=K=۱، پالس ساعت برابر با(۱) باقی بماند به دلیل وجود فیدبک، مقادیر $\bar{Q}$ و Q مرتباً تغییر می کنند و خروجی فلیپ فلاپ دائماً بین صفر و یک نوسان می کند. در شکل ۹-۱۱۳ و ۹-۱۱۴ تغییر وضعیت $\bar{Q}$ و Q نشان داده شده است.

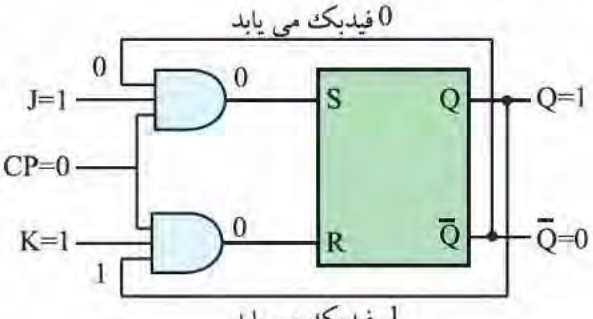


شکل۱۱۳ -۹ J=۱ ،K=۱ وQ=۰



شکل۱۱۴ - ۹بافیدبک خروجیQ و Q̄به ورودی وضعیت جدید Q=۱ و Q̄=۰ ظاهر شده است.

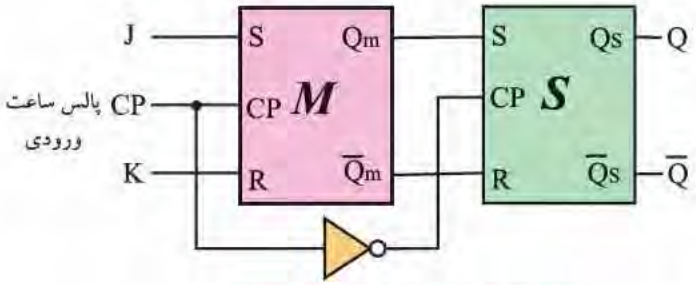
حـال اگر مطابق شـکل۱۱۵ -۹، CP=۰ شـود ، در این لحظه Q روی آخرین وضعیت خود ثابت می ماند . این حالت فلیپ فلاپ را پدیده دور خود چرخیدن(Race Around) می گوینـد. بـرای برطرف کـردن این عیـب از فلیپ فلاپ J-K-MSاستفاده می شود.



شکل۱۱۵-۹ Q وQ̄فیدبک می شوند چون CP=۰ است خروجی تغییر نمی کند.

۹-۱۵-۸ فلیپ فلاپ JK-MS (MS= Master Slave)

نوع دیگری از فلیپ فلاپ وجود دارد که آن راJK-MS مـی نامند . این فلیپ فـلاپ از دو فلیپ فلاپ S-R جداگانه درست شده است که یکی مستر (Master) ودیگری اسلیو (Slave)نام دارد . شکل۱۱۶ - ۹نقشه بلوکی فلیپ فلاپ را نشـان می دهد . توجه داشته باشید که در نقشه بلوکی خطوط فیدبک از Q و Q̄ به ورودی ها رسم نشده است.



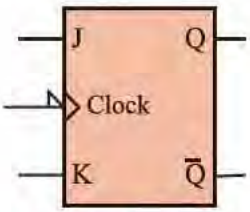
شکل۱۱۶ - ۹نقشه بلوکی فلیپ فلاپ JK-MSبدون رسم مسیر فیدبک

جدول درستی فلیپ فلاپJK-MS مانند جدول درستی فلیپ فلاپ JK است . فقط در فلیپ فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می شوند.

جـدول۵۴ - ۹جدول درسـتی فلیپ فـلاپ JK-MS را نشـان می دهد. نماد بلوکی فلیپ فلاپ JK-MS را در شکل ۱۱۷- ۹ملاحظه می کنید.

جدول۵۴ - ۹جدول درستی فلیپ فلاپJK-MS

j	K	CP	Q_t
0	0	↓	Q_{t-1} حالت قبلی را حفظ می کند.
0	1	↓	0 Reset
1	0	↓	1 Set
1	1	↓	$\overline{Q_{t-1}}$ حالت قبلی عکس می شود.

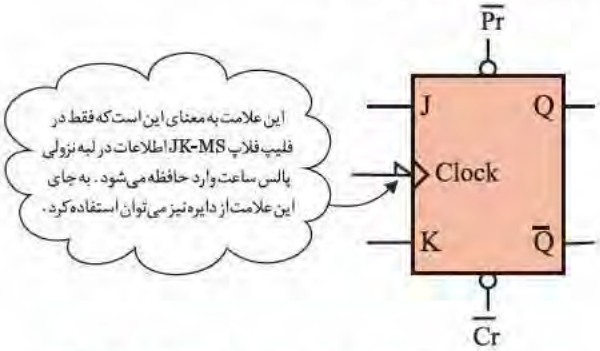


شکل۱۱۷ - ۹نماد بلوکی فلیپ فلاپJK-MS

۹-۱۵- ۹عملکـرد ورودی های پیـش تنظیمPre (Preset)و پاک کردن Clr (Clear)

در زمـان وصل تغذیه به مدار فلیپ فـلاپ ، وضعیتی که حافظـه درآن قـرار می گیرد یعنی حالـت Q در انواع فلیپ فلاپ ها کاملاً تصادفی اسـت. بـرای ایجاد یک حالت معین وتعریف شـده اولیه ، از ورودی Preset و Clear اسـتفاده می کنیم.

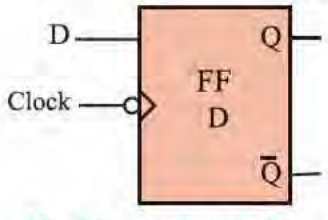
به عنوان مثال در یک ماشـین حساب برای انجام عملیات جدید ضروری اسـت کـه اطلاعـات قبلـی از حافظه پاک شود. گاهی نیز ممکن اسـت بخواهیم قبل از اجرای عملیات ،اطلاعـات جدید را در حافظه قرار دهیـم . در این حالت با اسـتفاده از ۲ خط Preset و ،Clear قبل از این که از طریق J و Kبخواهیـم اطلاعات را وارد حافظه کنیم حافظه را پاک (خالی) یاپر می کنیم . در خاتمه این دوخط را غیرفعال نموده وتوسـط ورودی های J و Kاطلاعات جدیـد را وارد حافظه می کنیم . در شـکل۱۱۸ - ۹نمـاد بلوکی فلیپ فلاپ J-K با خط Pr و Clr رسم شده است.



شکل۱۱۸ - ۹نماد بلوکی فلیپ فلاپ JK با Pr وClr

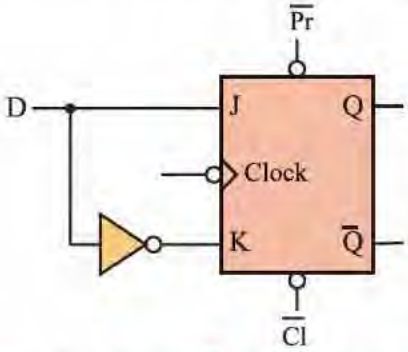
۱۰-۱۵- ۹فلیپ فلاپ نوع(Delay) D:

این فلیپ فلاپ تنها دارای یک ورودی است که ورودیD نام دارد ، شکل۱۱۹ -۹.



شکل ۱۱۹-۹ فلیپ فلاپ D

از این فلیپ فلاپ به عنوان یک سلول ثبات (ثبت کننده) اسـتفاده می کنند زیرا اطلاعات ورودی آن پس از هر پالس سـاعت وارد حافظه فلیپ فلاپ شده و تا پالس ساعت بعدی حفظ می شود . این فلیپ فلاپ را می توان به کمک هر یک از انواع فلیپ فلاپ JK ، SR یا JK-MSسـاخت . برای این منظـور باید ورودی S را نفی کنیم. سـپس آن را به R اتصال دهیـم. همچنین می توان ورودی J را نفی کرد وبه ورودیK اتصال داد. شـکل ۱۲۰ - ۹یک فلیپ فلاپ D را با استفاده از فلیپ فلاپ J-K نشان می دهد.



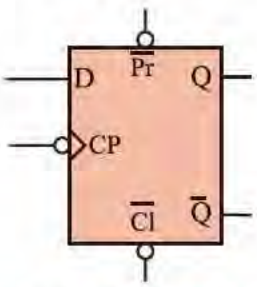
شکل۱۲۰ - ۹فلیپ فلاپ D با استفاده از فلیپ فلاپJK

جدول درستی فلیپ فلاپ D مطابق جدول۵۵ - ۹است

جدول۵۵ - ۹جدول درستی فلیپ فلاپD

CP	D	Q
⎍	0	0
⎍	1	1

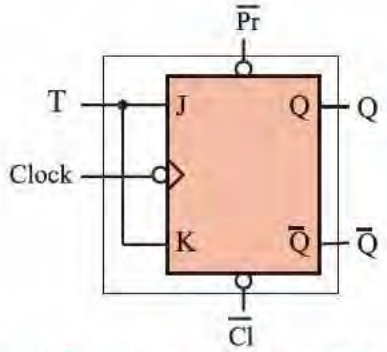
در شـکل۱۲۱ - ۹نماد بلوکی فلیپ فلاپ نوع D رسـم شده است.



شکل ۱۲۱-۹ نماد مداری فلیپ فلاپD

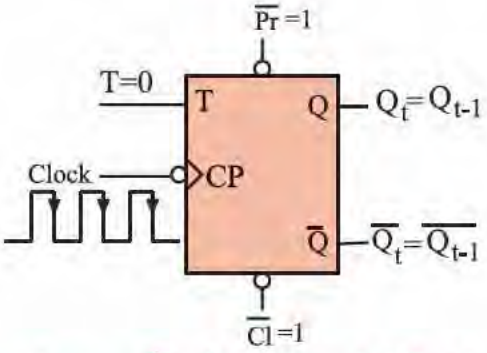
۱۱-۱۵- ۹فلیپ فلاپ نوع(Toggle) T:

اگـر دو ورودی فلیپ فلاپ JK را به هـم وصل کنیم و اتصال مشـترک را T بنامیم . فلیپ فلاپ جدیدی ساخته می شـود که به آن فلیـپ فلاپ نوع T یا کلیدی گویند. شـکل ۹-۱۲۲ نحوه تبدیل فلیپ فلاپ J-K را به T نشان می دهد.



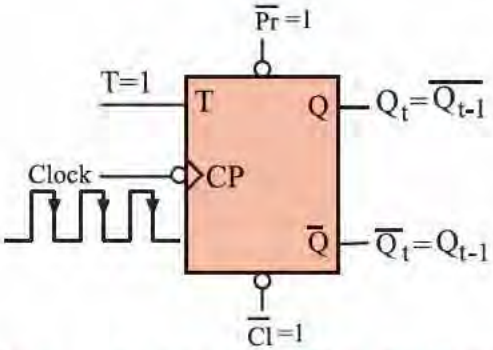
شکل۱۲۲ - ۹تبدیل فلیپ فلاپ J-K به T

با توجه به شـکل درمی یابیم که اطلاعات ورودی های J و Kبا هم برابرند. پس اگر T=۰ باشـد ، مطابق شکل۱۲۳ -۹ J=K=۰ است . دراین صورت حافظه بدون تغییر می ماند.



شکل۱۲۳-۹ T=۰است وQ و $\overline{Q}$تغییر نمی کند.

حال چنانچه T=۱ باشد J=K=۱ است. طبق شکل۱۲۴ -۹ بـا هر پالـس سـاعت وضعیت حافظـه برعکـس حالت قبل می شـود. یعنی اگر حافظه Set اسـت به حالتReset واگر Resetاست به حالت Set می رود.



شکل۱۲۴-۹ T=۱است در لبه نزولی پالس ساعت Q_t برعکس می شود .

جدول ۹-۵۶ جدول درسـتی T-FF را براساس عملکرد JK-FF نشـان مـی دهد . این جدول را مـی توان به صورت جدول ۹-۵۷ خلاصه کرد .

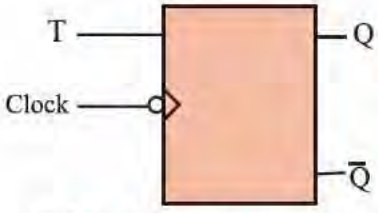
جدول ۹-۵۶ جدول درستی T-FF براساس عملکرد JK-FF

T	CLK	J	K	Q_{t-1}	Q_t
0	↓	0	0	0	→ 0
0	↓	0	0	1	→ 1
1	↓	1	1	۰	→ 1
1	↓	1	1	1	→ ۰

جدول ۹-۵۷ جدول درستی T-FF

T	CP	Q_t	
0	↓	Q_{t-1}	حالت قبلی را حفظ می کند.
1	↓	$\overline{Q_{t-1}}$	حالت قبلی عکس می شود.

نماد بلوکی فلیپ فلاپ T در شکل ۹-۱۲۵ آمده است .



شکل ۹-۱۲۵ نماد بلوکی T-FF

۹-۱۶ آزمایش شماره ۵

زمان اجرا: ۲ ساعت آموزشی

۹-۱۶-۱هدف آزمایش: بررسی رفتار انواع فلیپ فلاپ ها

۹-۱۶-۲ تجهیزات، ابزار، قطعات و مواد مورد نیاز:

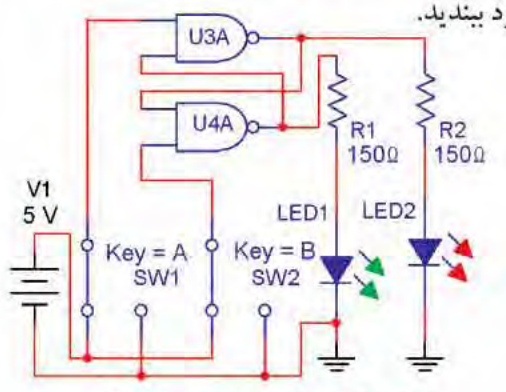
ردیف	نام ومشخصات	تعداد/ مقدار
۷	منبع تغذیه ۳۰-۰ ولت ۱A	یک دستگاه
۸	بردبرد یا برد آزمایشگاهی	یک قطعه
۱	IC ۷۴۱۰	یک عدد
۲	IC ۷۴۱۱	یک عدد
۳	IC ۷۴۰۲	یک عدد
۴	IC ۷۴۰۰	دو عدد
۵	LED قرمز	یک عدد
۶	LED سبز	یک عدد
۹	سیم رابط	به مقدار لازم
۱۰	مقاومت ۱۵۰Ω	دو عدد
۱۱	ابزار عمومی کارگاه الکترونیک	یک سری

در صورت موجـود بودن برد آماده ، از آن ها برای انجام آزمایش های زیر استفاده کنید .

۹-۱۶-۳ مراحل اجرای آزمایش:

الف- بررسی فلیپ فلاپ SR :

■ با استفاده از آی سی ۷۴۰۰ مدار شکل ۹-۱۲۶ را روی برد برد ببندید.



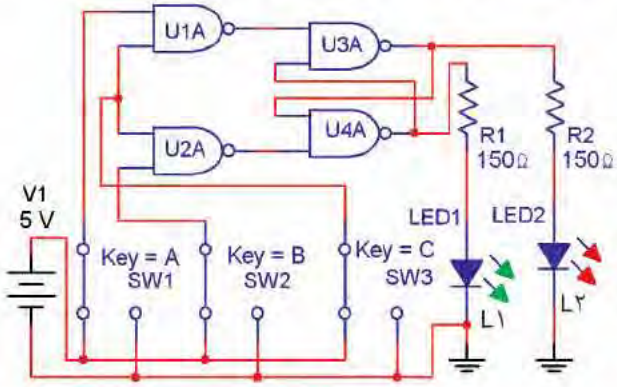
شکل ۹-۱۲۶ مدار آزمایش RS-FF

■ بـا تغییر وضعیـت کلیدها، حالت خاموش یا روشـن لامپ ها را مشاهده سپس جدول صحت ۹-۵۸را کامل کنید.

جدول ۹-۵۸

وضعیت خروجی ها بعد از تغییر وضعیت		وضعیت قبلی خروجی ها		وضعیت ورودی ها	
L_1	L_2	L_1	L_2	SW_2=R	SW_1=S

■ مدار RS-FF را مطابق شکل ۹-۱۲۷ اصلاح کنید و دوباره جدول صحت ۹-۵۹ را کامل کنید .



شکل ۹-۱۲۷

جدول ۹-۵۹

وضعیت خروجی ها بعد از تغییر وضعیت		وضعیت قبلی خروجی ها		وضعیت ورودی ها		
L_1	L_2	L_1	L_2	SW_2	SW_1	SW_3

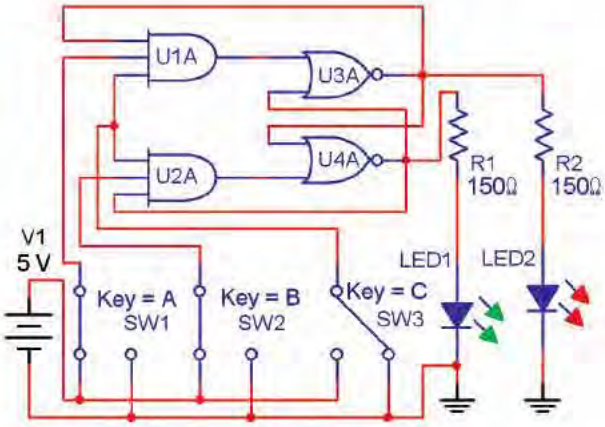
سوال ۳۱: آیا حالت غیر مجاز مدار شکل ۱۲۶-۹ برطرف شده است ؟

سوال ۳۲: مدار شکل ۱۲۷-۹ بر مدار شکل ۱۲۶-۹ چه برتری دارد ؟

توجه : در صورت داشتن وقت اضافی آزمایش های زیر را اجرا کنید

ب : بررسی فلیپ فلاپ JK

■ با استفاده از آی سی های ۷۴۰۲، ۷۴۱۱، ۷۴۰۴ مدار شکل ۱۲۸ - ۹را روی برد برد ببندید.



شکل ۱۲۸-۹

■ با تغییر وضعیت کلیدها وضعیت روشنایی لامپ های L_1 و L_2 را مشاهده نمود. سپس جدول صحت ۶۰-۹ را کامل کنید .

جدول ۶۰-۹

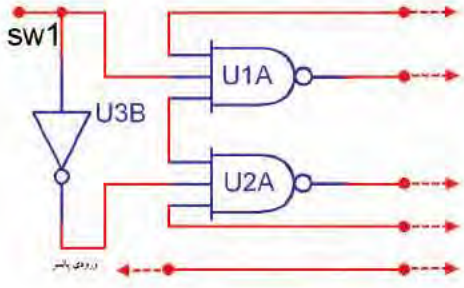
وضعیت خروجی ها بعد از تغییر وضعیت		وضعیت قبلی خروجی ها		وضعیت ورودی ها		
L_2	L_1	L_2	L_1	SW_1	SW_2	SW_3

■ وضعیت روشنایی لامپ های L_1و L_2 را در حالتی که هر سه کلید SW_1، SW_2و SW_3در حالت منطقی «۱» است به دقت مشاهده کنید .

سوال ۳۳: آیا در شدت نور آن ها نسبت به حالت هایی که حداقل یکی از کلیدها در حالت منطقی «۰» باشد تغییری مشاهده می کنید ؟ علت آن چیست ؟

ج : بررسی مدار فلیپ فلاپ D

■ اینک ورودی مدار را مانند شکل ۱۲۹-۹ تغییر دهید ؛ سپس با تغییر وضعیت SW_1وضعیت روشنایی L_1و L_2پس از هر فرمان پالسر را مشاهده ونتیجه مشاهدات خود را بنویسید



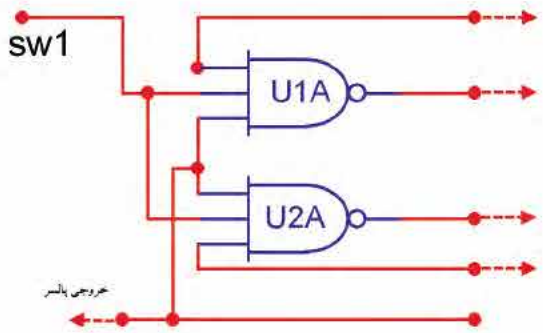
شکل ۱۲۹-۹

نتیجه مشاهدات

د : بررسی مدار فلیپ فلاپ T

■ اکنـون ورودی هـای مدار شـکل ۱۲۸-۹ را مانند شکل ۱۳۰-۹ تغییر دهید.

■ دوباره پـس از ایجاد حالت‌های مختلف برای کلید SW_1 هر بار با فشـردن و رها کردن کلید پالسر – وضعیت روشنایی L_1 و L_2 را مشاهده کنید و نتیجه‌ی مشاهدات خود را بنویسید



شکل ۱۳۰-۹

نتیجه مشاهدات :

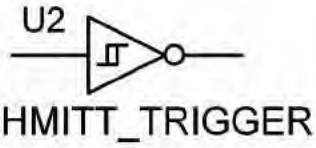
۹-۱۶-۴ نتایج آزمایش

نتایج حاصل از آزمایش های الف ، ب ، ج و د را به طور خلاصه بیان کنید.

۹-۱۷ اشمیت تریگر(Schmitt Trigger)

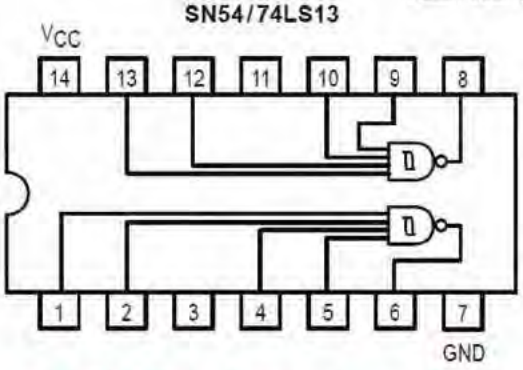
اشـمیت تریگرمداری است که می تواند موج های مثلثی یا سینوسـی رابه موج مربعـی (پالس) تبدیل کند. اشـمیت تریگـر به صورت گیت های دیجیتالی نیز سـاخته می‌شـود. ایـن گیت ها بـه علت داشـتن دو حالت پایـدار ، در ردیف مولتی ویبراتورها قرار دارند و دارای دو سـطح ولتاژ آسـتانه (Thre Shold) هسـتند. عمل کـردن آن ها به این صورت اسـت هرگاه ولتاژ ورودی از سـطح ولتاژ اول بیش تر شود، این گیت سـوئیچ نموده وتغییـر وضعیت می دهد و اگر ولتاژ ورودی از سطح ولتاژ دوم کم تر شد، وضعیت گیت به حالت اول خود برمی گردد. به این ترتیب می توان از موج سینوسـی یا مثلثی ، پالس‌های مربعی ساخت .

نماد گیت اشمیت تریگر به صورت شکل ۹-۱۳۱ است .



شکل ۹-۱۳۱ نماد اشمیت تریگر

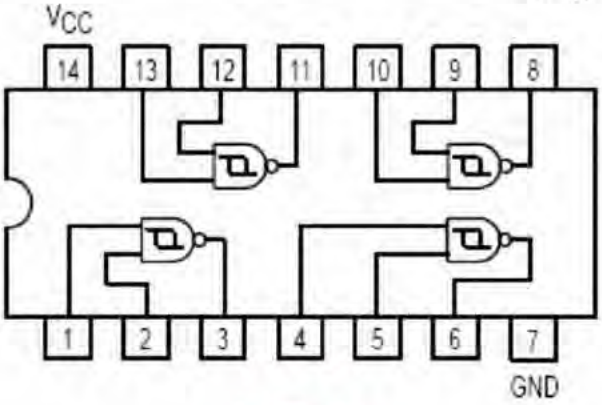
یک نمونه آی سی اشمیت تریگر آی سی ۷۴LS۱۳ است شـکل پایه ها و گیت های داخل آی سـی در شکل ۹-۱۳۲ رسم شده است.



شکل ۹-۱۳۲ آی سی اشمیت تریگر با NAND چهار ورودی

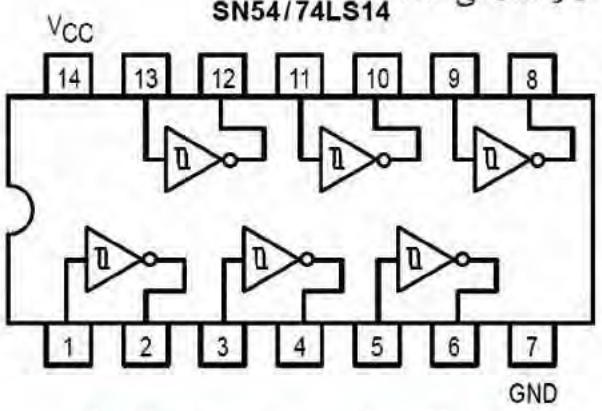
گیت های داخل آی‌سی دو سطح ولتاژ ۱/۷ ولت و ۰/۹ ولت دارنـد. وقتی ورودی گیت از ۱/۷ ولت بیش تـر شود خروجی به تـراز (۰) منطقی (L) می آیـد و اگر ورودی تا ۰/۹ ولت کاهش یابـد. خروجی به تراز (۱) منطقی (High) می‌رسد.

اگر یکـی از ورودی هـا (L) باشـد ، خروجی درتراز (H) باقی می ماند و گیت دیگرتحریک نمی شود . نوع دیگر آی سـی اشمیت تریگر آی سـی ۷۴LS۱۳۲ است که شماره پایه‌ها و گیت های داخل آی سی را در شکل ۹-۱۳۳ مشاهده می کنید .



شکل ۹-۱۳۳

نمونه‌ی دیگر از آی سـی اشـمیت تریگر با شـماره فنی ۷۴۱۴ نیز وجود دارد که شـامل شـش گیت NOT اسـت. شـکل ۹-۱۳۴ گیت های داخل آی سی و شماره ی پایه های آن را نشان می‌دهد .



شکل ۹-۱۳۴ آی سی اشمیت تریگر NOT

ورودی Low هرگیـت، خروجی را بـه تراز High می برد. دو سطح ولتاژ این آی سی نیز ۱/۷ ولت و ۰/۹ ولت است.

آزمون پایانی ۵-۹ انواع فلیپ فلاپ

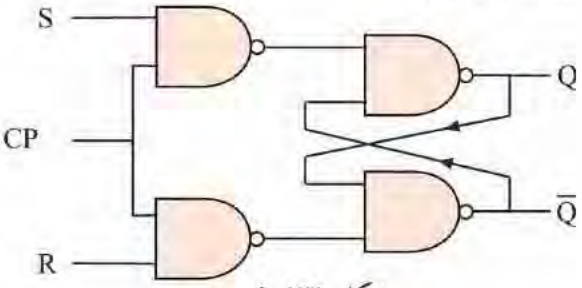
۱- حالت غیر مجاز در مدار فلیپ فلاپ S-R شکل ۱۳۵-۹ با پالس ساعت کدام است ؟

الف) S=۰ ، R=۰

ب) S=۱ ، R=۱

ج) S=۰ ، R=۱

د) S=۱ ، R=۰

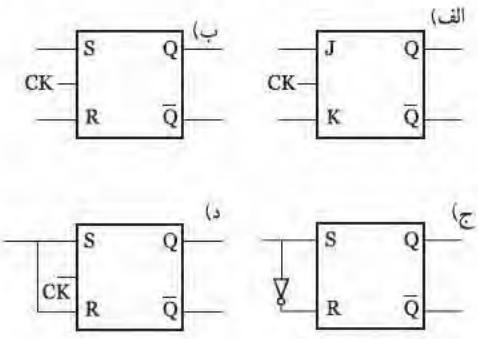


شکل ۱۳۵-۹

۲- اشکال مدار فلیپ فلاپ SR را شرح دهید، در کدام نوع فلیپ فلاپ این عیب برطرف شده است ؟

۳- برای ثبت چهار بیت اطلاعات (۱۱۰۱) در حافظه به ..... سلول حافظه (فلیپ فلاپ) نیاز است .

۴- کدام نماد فلیپ فلاپ نوع (D) را نشان می دهد ؟



۵- جدول صحت فلیپ فلاپ نوع T را بنویسید و کار برد آن را شرح دهید.

۶- جدول صحت ۶۱-۹ مربوط به چه نوع فلیپ فلاپی است؟

الف) R-S　　ب) J-K

ج) D　　د) T

جدول ۶۱-۹

A	B	Q_t
۰	۰	Q_{t-1}
۰	۱	۰
۱	۰	۱
۱	۱	Q_{t-1}

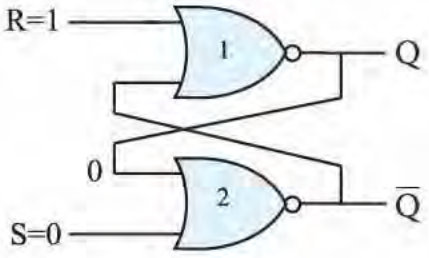
۷- جدول صحت ۶۲-۹ را کامل کنید ؟

جدول ۶۲-۹

CK	J	K	Q_t
۰	×	×	
۱	۰	۰	
۱	۰	۱	
۱	۱	۰	
۱	۱	۱	

۸- حفظ اطلاعات در سلول های حافظه توسط مدار..... انجام می شود.

۹- در مدار شکل ۱۳۶-۹ اگر ورودی های S=۰ و R=۱ باشد ، مقدار خروجی Q و $\overline{Q}$ را به دست آورید .



شکل ۱۳۶-۹

۱۰- نمای بلوکی فلیپ فلاپ J-K را رسم کنید.

۱۱- عیب فلیپ فلاپ J-K را شرح دهید .

۱۲- کاربـرد ورودی هـای Preset و Clear در فلیـپ فلاپ MS-JK با ذکر مثال شرح دهید.

۱۳- کاربرد مدار اشمیت تریگر را بیان کنید.

۱۴- در یک مدار اشـمیت تریگر اگر سطح ولتاژ ورودی از ۱/۷ ولت بیش تر شـود و یا سطح ولتاژ ورودی تا ۰/۹ ولت کاهش یابد خروجی در چه سطح منطقی قرار می گیرد ؟